

VLSIの省電力演算回路

5H-9

小林芳直

日本アイ・ビー・エム株式会社東京基礎研究所

1. はじめに

高速演算回路を少ない消費電力で実現するための計算機アーキテクチャである。浮動小数点演算回路では演算とIEEE 754に準拠した正規化が交互に行われる。正規化の処理はMSBの1の位置を見つけることとまるめである。正規化の機能のうち丸めの機能だけを持たせた加算器もしくは積算器を使えば演算を連続して実行できるようになる。演算をするたびにMSBの1の位置が拡散していくので連続演算には制限がある。しかしながら3回程度の演算を連続して行い、結果を1回の正規化ですますことができるようになるので、回路のレイテンシと発熱を削減することができる。不正規数を受け入れて不正規数を出力する演算回路の構成法とテスト方法について説明する。

2. 正規化

IEEE 754の正規化は次のようなものである。

- 1) まずMSBの1の位置を見つける。
- 2) MSBの1の位置から有効桁数+1ビットを切り取る。有効桁数からはみだした1ビットをガード・ビットという。
- 3) 有効桁数+2ビット目以降に1が存在する場合は1、存在しない場合は0になるスティッキー・ビットを作る。ここまででラウンデ

イングの用意ができたので、ラウンド・オープン規則に従ってラウンディングを行う。

- 4) 有効桁のLSBが0の場合はガード・ビットが1でかつ、スティッキー・ビットが1のときに桁上がりをする。有効桁のLSBが1の場合はガード・ビットが1のときに桁上がりをする。
- 5) 有効桁のすべてのビットとガード・ビットが1の場合は桁上がりの結果、指数部分を+1し、仮数部分を0にする。以上で正規化が終了する。

3. 拡張フォーマット

正規化する前の数の表現方法として図1の拡張フォーマットを導入した。サイン・ビットは1ビットでIEEE 754のまま、イクスポネントは1ビット増やして9ビット、マンティッサはMSBの隠された1を表す1ビットと、1ビットのガード・ビット、1ビットのスティッキー・ビットを追加して26ビットにする。合計で36ビットになる。演算を続行するとマンティッサ先頭の1の位置に1ビット分の不確定が追加される。このために演算一回につき拡張フォーマットのビット数が37、38、39、40ビットと1ビットずつ増えていく。イクスポネントは080Xから17FXまでが有効であり、07F以下は0、180以上は無限大として扱われる。こうして1回前に起きたInf、Zero、NaNといった異常処理を保持することができる。現実的には不正規数の連続演算は4段程度が限界であり、正規化の処理を入れるのが望ましい。

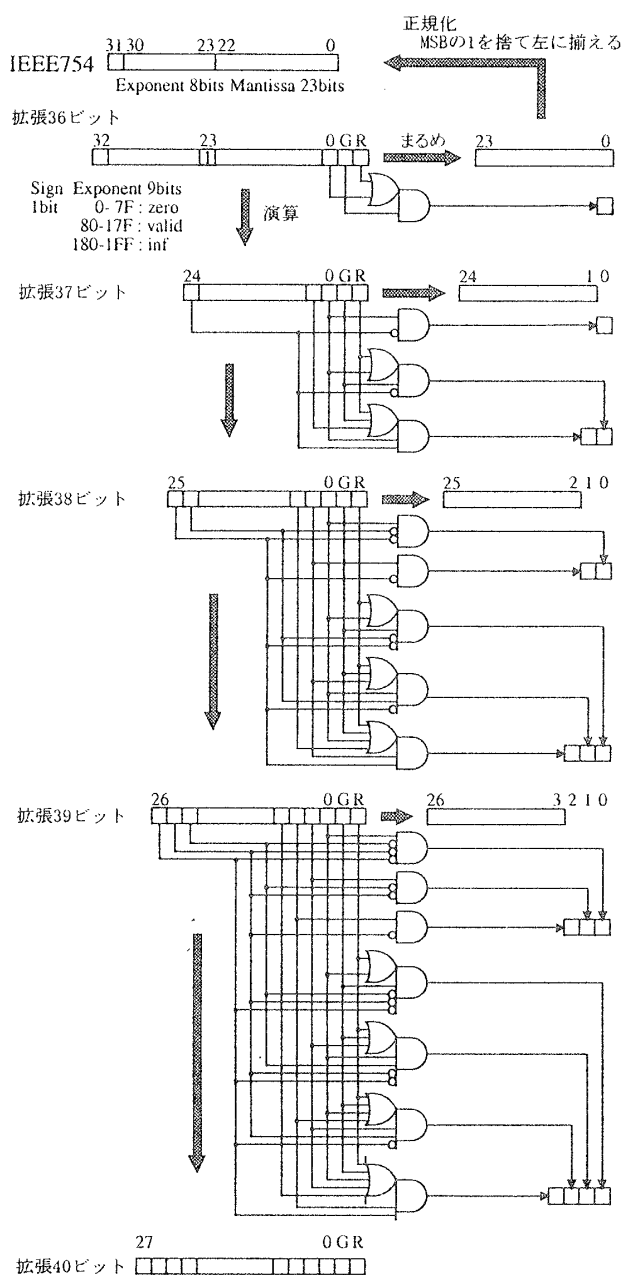


図1 拡張フォーマット

4. 2乗回路の特殊性

2乗回路の場合は、図2のようにあらかじめもとの数を $\sqrt{2}$ と比較することによってMSBの1の位置を特定することができる。また2乗回路場合は積項の数が普通の積算器の場合の n^2 から $n \cdot C^2$ になるので回路サイズを約半分ににすることができる。

このため2乗回路の出力を拡張フォーマットであらわしたものは36ビットになる。 $\sqrt{2}$ と比較する回路は、正規化のために必要なプライオリティ・エンコーダ+バレルシフタの代役をしてくれるので、回路は簡単になり動作速度も速い。一般的に使える回路技術である。

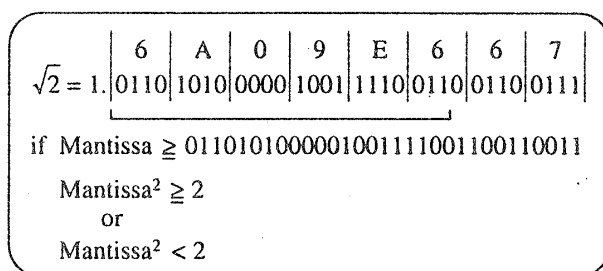


図2 2乗回路の演算

5. テスト方式

不正規数を使った演算回路のテスト方法について述べる。演算回路のテストをするときには入出力ともに正規数であることがのぞましい。正規数から不正規数に変換する簡単な回路を入力につなぎ、不正規数から正規数に変換する回路を出力につなげば一般の演算回路と同じようにテストすることができる。入出力回路をつないだ状態で回路のデバッグを行い、動作した部分は入出力回路をはずして直接つなぐことによってレイテンシを改善することができる。

6. まとめ

計算機の内部では正規化する前に特定の拡張フォーマットに整理することが行われている。拡張フォーマットのまま演算が続行できれば回路のレイテンシ、または動作速度を35%程度削減できる。専用計算機に有効なばかりでなくベクタ演算機構に導入しても効果的な回路技術である。