

再構成型アナログデバイスを用いた画像認識処理の高速化

岡田 順二 田中 康一郎 浅野 種正
九州工業大学 マイクロ化総合技術センター

5H-6

1 はじめに

従来、画像認識アプリケーションでは、CCD カメラなどからのアナログ信号をデジタル信号に変換し、その後処理することが多い。このようなアプリケーションで多用される除算や平方根を含む演算は、デジタルでは長いサイクル数を必要とする。しかしながら、アナログが得意とするこれらの演算をデジタル信号に変換する以前にアナログ信号に対して加工することでデジタル処理部の負荷が軽減できると期待できる。

本稿では、画像認識処理システムにおいてデジタル変換以前のアナログ信号に、前処理として演算を行う回路を再構成型アナログデバイスに実装、検証した、その結果について報告する。

2 再構成型集積回路とその実装環境

2.1 再構成型アナログデバイス

再構成型アナログデバイスには Zetex 社製の FPAD (Field Programable Analog Device) を使用した [1]。図 1 は、FPAD の内部構造である。IC 一個に 20 ブロックの cell が存在し、左右に隣接した cell と I/O に配線が用意されている。cell 内部には基本的にはオペアンプ一個で構成されているが、内部にある配線、抵抗及びバイポーラトランジスタを用いて、cell 単体で 8 種類のマクロと接続線が構成可能である。反転増幅器、積分器、微分器を用いる場合のみユーザーが外部から抵抗とキャパシタを与える必要がある。また、入力電圧として 1.5~1V が有効である。

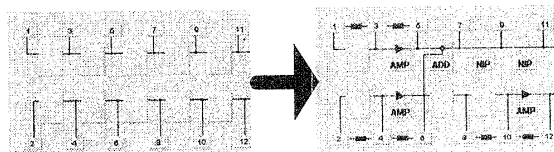


図 1: TRAC020

2.2 設計環境

設計環境には回路設計用 EDA ツールと、そのシミュレータとして TRAC(Windows 95 専用) が用意されている。図 1 のように 8 種類のマクロを用いて設計する。チップへの設計データのダウンロード方法は、パーソナルコンピュータのプリンタポートからダウンロードする方法と、EPROM などによるコンフィギュレーションの 2 通りが選択可能である。

2.3 実装環境

今回の環境は、図 2 のメーカ製の評価ボードを基本として構築した。このボードには FPAD として TRAC020 が 4 個配置されている。また、反転増幅器の外部抵抗は電流乗算型ラダー R-2R という方法を用いた。これによって 8 ビット精度の増幅が可能である。

3 画像認識処理

今回対象とする画像認識処理アプリケーションは、「棒」入力システムのためのジェスチャ認識システム [2] の一部である。このアプリケーションでは、カメラでとらえた人間の身ぶり手振りをコンピュータが画像処理し認識する。これによって、コンピュータと人間のコミュニケーションが自由に行うことができる。これまでは、C++言語を用

A Realization of Image Recognition Processing Using Field Programmable analog Devices
By Junji Okada, Koichiro Tanaka and Tanemasa Asano
Center for Microelectronic Systems, Kyushu Institute of Technology.
680-4 Kawazu, Iizuka, Fukuoka 820-8502, Japan

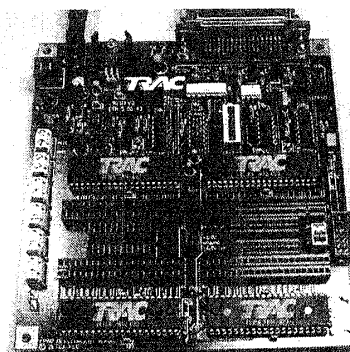


図 2: 実験環境

いてパーソナルコンピュータ上で動作していたが、満足できるレスポンスが得られていないのが現状である。

今回の設計事例では、上記アプリケーションのうちの棒座標推定処理を対象とした。入力された各画素の RGB データと、あらかじめ用意された棒の色データの距離計算を行い棒の座標を推定を行う。その処理は図 3 に示すような手順で行われる。

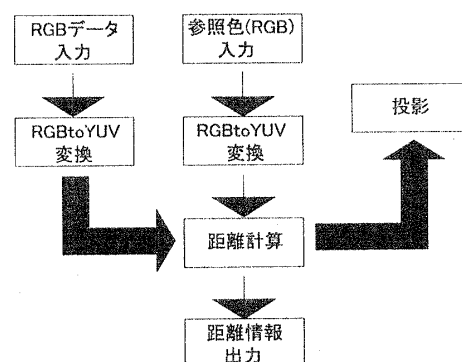


図 3: ジェスチャ認識処理アプリケーション

4 再構成型アナログデバイスによる設計

第 3 章で述べた画像処理アプリケーションの RGB データから YUV データに変換する部分を FPAD に対して実装した。3 章で述べた R、G、B、Y、U 及び V データサイズが 8 ビットであることを考慮すると、その変換式は式 (1) となる。この式を元に FPAD の増幅器の抵抗値を決定した。FPAD に実装する RGB データを YUV データに変換するための回路を図 4 に示す。

$$\begin{cases} y = 0.3003 \times r + 0.5889 \times g + 0.1092 \times b \\ u = -0.1716 \times r - 0.3393 \times g + 0.5148 \times b \\ v = 0.507 \times r - 0.429 \times g - 0.078 \times b \end{cases} \quad (1)$$

5 検証

FPAD に第 4 章で設計した回路を実装して検証を行った。今回の検証では、パーソナルコンピュータから出力されている VGA 信号を入力信号として選んだが、これは出力信号を PC 上で FPAD の特性を把握するのに適した形に加工できるためである。

PC ではリフレッシュレート 60Hz で 640 × 480 ピクセルのピクセルクロックは約 25MHz あるため、そのままの画像データでは FPAD の性能的に演算は不可能であっ

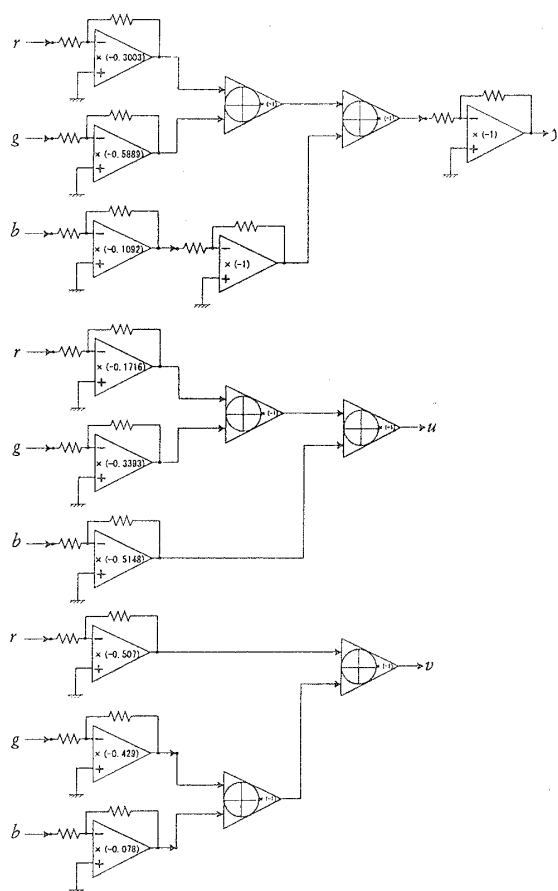


図 4: RGB データから YUV データへ変換する回路

た。そこでもっと小さい画像のピクセルデータを各垂直ラインに水平ピクセル数だけ並べて、図 5 の R 信号のように各 RGB データの垂直ライン信号を矩形波にすることで FPAD での演算を可能にした。その演算結果が図 5 と図 6 である。このときの垂直ライン数は 768 で入力画像データは 32×24 と非常に小さいものであった。図 5 から信号の立ち上がりとしち下がりについて約 $2\mu\text{s}$ ずつかかっていることがわかる。図 6 はグラフィックカードの特性に合わせてバイアス補正をかけた実測値と式 (1) から求めた理論値の比較である。これら結果より、ピクセルクロック 100kHz 程度の画像データならば FPAD で 8 ビット精度での演算が可能であることがわかった。

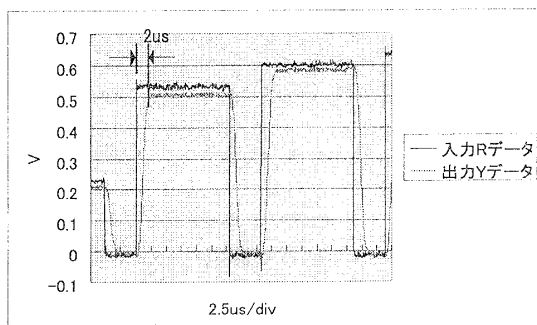


図 5: 演算結果 1

6 まとめ

画像認識処理一事例として RGB データから YUV データへの変換回路を FPAD に構成し、その高速化と FPAD

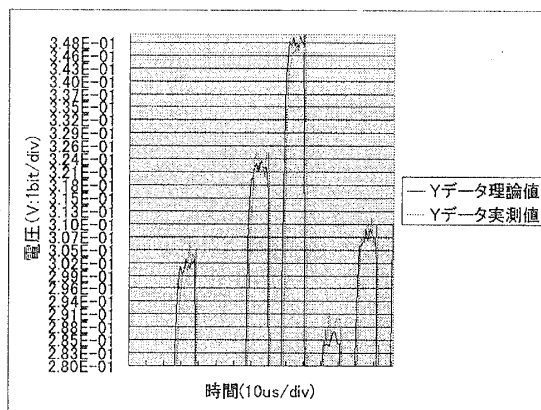


図 6: 演算結果 2

の応用の可能性について調査した。今回の結果から、FPAD は PC から出力されるような高速な画像データの処理はデジタル回路に及ばないことがわかった。しかしながら、CCD の様にピクセルクロックが低く、また精度をあまり必要としない画像認識処理においては FPAD が応用の可能であると言える。このことから、FPAD は再構成型という特徴を活かし、アナログ及びアナログ/デジタル混在回路の信号処理分野において応用できると期待できる。

謝辞

画像認識処理について御議論いただいた本学情報工学部の大橋健助手、江島俊朗教授に感謝する。

参考文献

- [1] ZETEX, Inc.: *TRAC USER GUIDE* (1998).
- [2] 大橋健, 中程啓, 吉田隆一, 江島俊朗: 「棒」入力システムのためのジェスチャ認識の実現, 情報処理学会誌, pp.567-576 (1999).