

GATES (PCサーバ用汎用メモリアクセストレーサシステム)の開発

4H-6

佐藤 充、成瀬 彰、久門 耕一

{msato, naruse, kumon}@flab.fujitsu.co.jp

(株)富士通研究所

1 はじめに

PCサーバ用汎用メモリアクセストレーサ GATES (General-purpose memory Access TracE System: 図1) は、再構成可能な PLD (Programmable Logic Device) を用いたメモリバス・トレースシステムである。GATES を用いることによって、アプリケーションのメモリに対する挙動を、オーバーヘッドなく観測することが可能になる。本発表では、この GATES の構造および特徴について説明する。

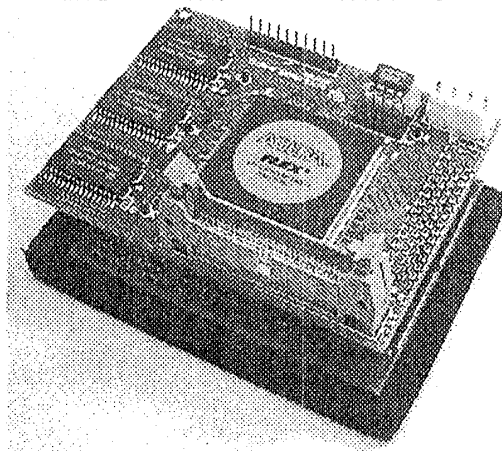


図1: GATES

2 背景

現在、計算機システムは大規模かつ複雑になり、その特性を把握することが困難になってきている。しかし一方で、新たなシステムを設計したり、現状のシステムでアプリケーションの最適化を行おうとした場合には、現状のシステムがどのように動作しているかを正確に把握する必要がある。

従来、このような目的にはシミュレーションという手法が多く用いられてきた。しかしシミュレーションを用いると、実機に比べて速度が遅くなる。さらに I/Oなどをシミュレートすることが難しいため、ターゲットシステムを正確にシミュレートできない。そのため、現実の商用アプリケーションのような、大規模で、I/Oアクセスが多いシステムの挙動を把握するには向いていない。

そこで近年用いられてきている方法が、実機上でアプリケーションを動かしてトレースをとる方法である。このトレースを解析することによって、ソフトウェアやハードウェアの動きを正確に把握し、アプリケーションのチューニングを行ったり、将来のシステム設計の指針となるデータを取り出すことができる。シミュレータと違い実機で取得するトレースは、大規模なアプリケーションも解析することができるため、商用ワークロードの解析手法としては欠かせないものとなっている [1]。

Development of a General-purpose memory Access TracE System: GATES

Mitsuru SATO, Akira NARUSE, Kouichi KUMON
Fujitsu Laboratories, Ltd.

このような背景をふまえて、我々は大規模な商用アプリケーション動作時のシステムの挙動を把握するためのツールとして、PCサーバ用汎用メモリアクセストレーサ “GATES (General-purpose memory Access TracE System)” を開発した。

3 PCサーバ

PCサーバとは、IAプロセッサを用いたサーバシステムである。処理能力に対する要求から、複数のプロセッサをバスで結合したメモリバス共有型の並列計算機の構成をとることが多い (図2)。メモリバスには、メモリコントローラと I/Oバスへのブリッジを兼ねるチップセットが接続し、CPUからのメモリアクセスおよび I/Oアクセスを処理する。

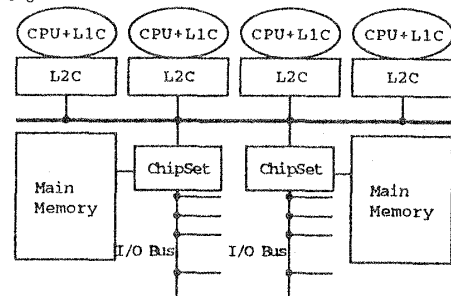


図2: Structure of PC Server System

4 ハードウェアトレサ: GATES

GATES は PCサーバ用のメモリバス・ハードウェアトレサである。PCサーバのメモリバスを直接観測することによって、

- ・各プロセッサからのメモリアクセス。
- ・各プロセッサからの I/O アクセス。
- ・2次キャッシュの応答 (スヌープ結果)。

などを、被測定環境に影響を与えず測定することができる。

本節では、この GATES の特徴および構造について述べる。

4.1 ハードウェアトレサとソフトウェアトレサ

トレースシステムは、ソフトウェアによるものとハードウェアによるものに分類される。ソフトウェアによるトレースシステムは比較的容易に作成することが可能であるが、トレーススピードが遅かったり、トレサ自体のオーバーヘッドのため、実際の動作とずれが生じる可能性があるなどの問題点を抱えている。一方、ハードウェアによるトレースシステム、たとえばロジックアナライザを用いたトレースや、専用あるいは組み込み型のトレサなどでは、コストが高かったり、柔軟性に欠けるという問題点がある。また、その目的も主に障害調査用であり、性能評価などで用いられることは少ない。

そこで GATES は、ハードウェアによるトレースシステムの利点を活かしつつ、ソフトウェアトレサ並の柔軟性

を兼ね備えた、性能評価用トレースシステムを目標として設計された。

4.2 GATES の構造

GATES の全体像は図3のようになる。

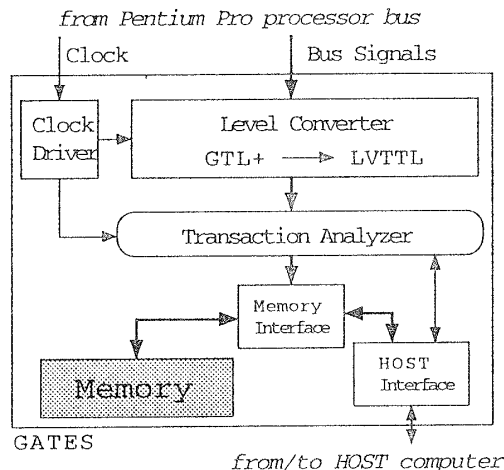


図3: Structure of GATES

GATES は、Pentium Pro processor bus[2] から GTL+[2] レベルの信号を受け取ると、それを標準 LVTTTL へ電圧変換しトランザクション解析部に送る。同時に Pentium Pro processor bus からクロック信号も取り出し、トランザクション解析部に送る。

トランザクション解析部では、LVTTTL に変換されたバス信号を受け取り、それを解析してメモリバス・トランザクションを抽出する。このトランザクション解析部分は書き換え可能な PLD (Programmable Logic Device) で構成されているので、処理の目的に応じて適度な操作、たとえばトランザクションをそのまま保存したり、単に内部カウンタを +1 したりすることが可能である。

ここで抽象化されたメモリバスのトランザクション情報は、メモリインタフェースを通じて GATES に搭載されているメモリ (128MB) に記憶される。このメモリに蓄えられたデータは、ホストインタフェースを通じてホスト計算機から読み出すことができる。

図4に、GATES を PC サーバシステムに装着した時の様子を示す。

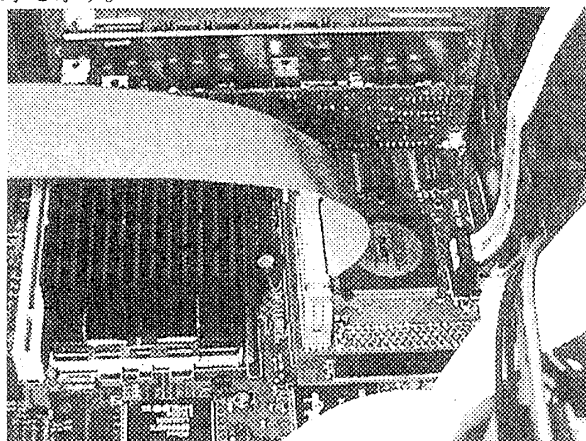


図4: GATES on PC-Server System

4.3 GATES の特徴

GATES は Pentium Pro processor bus を直接観測するハードウェアトレーサである。そのため、ハードウェアトレーサとしての利点である、被測定環境に影響を与えない高速なトレース取得が可能である。

それに加えて、GATES はトレースシステムの中心部に書き換え可能な PLD を用い、用途に応じてトレースエンジンを再構成可能とした。これによって、GATES はハードウェアによるトレースシステムであるにも関わらず、ソフトウェアトレーサに近い柔軟性を得ることができた。

さらに、ハードウェアトレーサで問題となるコストを低減するため、プロセッサソケットに挿入可能な形状にした。このため、GATES はターゲットシステムのプロセッサソケットに差すだけで利用可能となり、特別な治具を必要とせず、GATES 本体のみを用意するだけで利用可能となった。

5 GATES の応用

GATES はメモリバスのトランザクション解析部に再構成可能な PLD を用いているため、目的に応じた集計が可能である。以下に、GATES を用いたメモリバス・トランザクションの解析例を示す。

・メモリバス・トランザクション・トレーサ

GATES を単純なメモリバス・トランザクション・トレーサとして用いる方法である。この時、トランザクション解析部はトランザクションのプロトコルを解析し、バスの信号をトランザクション単位に構成し直し、記憶部に格納する。このデータはメモリバスのトランザクション列を表しているのので、後にシミュレーションのためのデータや、障害解析などに用いることができる。

・リアルタイム・キャッシュシミュレーション

GATES のトランザクション解析部にキャッシュのシミュレーション・エンジンを組み込み、内蔵メモリをタグメモリとして用いることによって、リアルタイムのキャッシュシミュレーションが可能になる。たとえばメインメモリの脇に 3 次キャッシュをつけた場合の性能予測などが可能になる。

6 おわりに

PC サーバ用汎用メモリアクセストレーサ GATES は、再構成可能な PLD を用いたメモリバス・トレースシステムであり、ハードウェアトレーサの持つ高速性とソフトウェアトレーサのもつ柔軟性を兼ね備えたシステムである。GATES を用いると、単純なメモリバス・トランザクションのトレースのみにとどまらず、リアルタイム・キャッシュシミュレーションなどの応用が可能になる。

最後に、本研究を行うにあたって、富士通研究所アーキテクチャ研究部のみなさまには、議論を通じて適切な助言をいただきました。ここに深く感謝致します。

参考文献

- [1] Second Workshop on Computer Architecture Evaluation using Commercial Workloads (CAECW '99), <http://iacoma.cs.uiuc.edu/caecw99/>, 1999.
- [2] "Pentium Pro Family Developer's Manual Volume 1: Specifications", Intel Corporation, 1996.