

既存のゲートアレイを元に上流設計を適用した FPGA での設計事例の報告

1 R-5

佐々木 勝彦[†] 若林 哲^{††} 田向 正史^{†††} 檀 良^{††}
[†]法政大学大学院 ^{††}法政大学 ^{†††}アジアエレクトロニクス(株)

1. はじめに

近年の半導体製造技術の進歩により集積回路の大規模化・複雑化は進み、回路設計の開発期間の長期化等が問題となってきた。

今回の報告では、従来から一般的に用いられている回路図入力による回路設計から、HDL による上流設計を導入した回路設計への移行に関する報告を行う。

2. 設計対象の回路

設計対象の回路としては普及型半導体テスト用ゲートアレイチップをもとに、新たに Altera 社の FPGA の FLEX シリーズのデバイスをターゲットに Verilog-HDL を用いて上流設計の適用を行った。

3. 従来の回路図入力による回路設計

従来の回路図入力による回路設計のフローを図 1 に示す。

従来の回路図入力による設計では、仕様作成後、回路図入力用のエディタを用いて回路のネットリストを生成していく。
その後、ゲートレベルのシミュレータを用い

て検証を行い、配置・配線を行っていく。

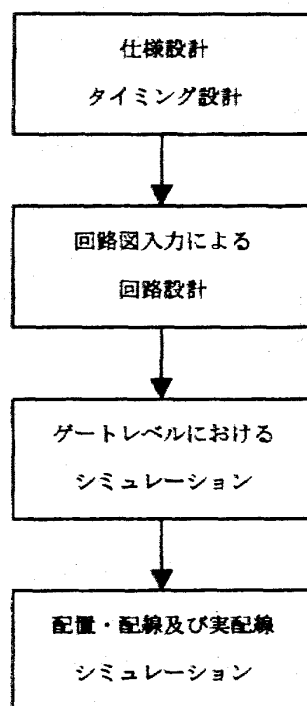


図 1. 回路図設計

Applying the high level design using HDL to an existing gate array

[†]Katsuhiko Sasaki : Graduated School of Hosei University
 3-7-2, Kajino, Koganei, Tokyo 184, Japan

^{††}Satoshi Wakabayashi, Ryo Dang : Hosei University
 3-7-2, Kajino, Koganei, Tokyo 184, Japan

^{†††}Tadashi Tamukai : Asia Electronics Inc.
 500-1, Nakayama, Midori, Yokohama, Kanagawa 226, Japan

4. 今回実施した Verilog-HDL による回路設計

今回の設計では、仕様がすでにできている状態から Verilog-HDL を用いて RTL レベルの設計を行った。

設計された RTL の回路を Verilog シミュレータで機能の検証を行う。

検証された RTL の HDL をもとに論理合成ツールを用いて、ネットリストのファイル(EDIF)に自動変換を行う。

作成されたネットリストをもとに配置・配線を行うことによって作業を進める。

最後に、RTL の回路と配置・配線後の回路を

同一のテスト・パターンを用いて検証を行う。

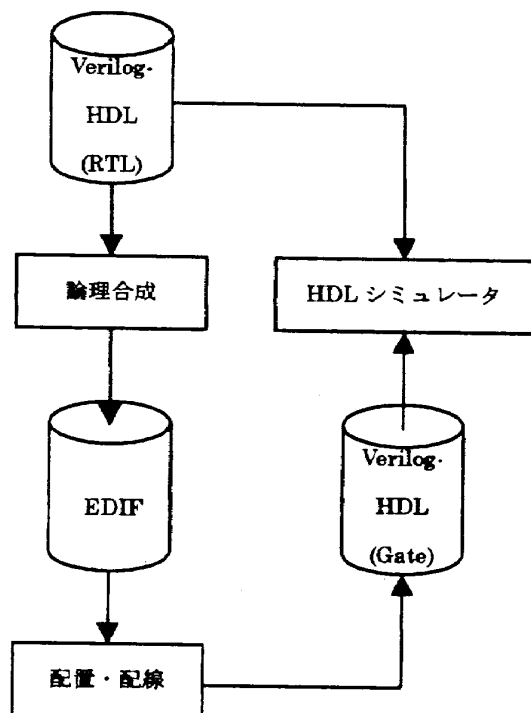


図 2.HDL 設計

今回の Verilog-HDL による設計において使用した開発ソフトは、Cadence 社の Verilog-XL, Altera 社の Max+plus II である。

配置・配線された回路結果は、図 3 のように出力される。

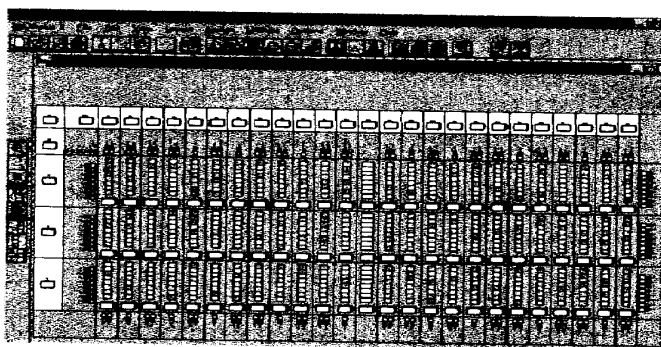


図 3. 配置・配線

5. 回路図設計と HDL 設計の比較

回路図設計と HDL 設計の比較を行うと、共通点及び新しく HDL 設計へ移行した事による利点として以下のようなことが考えられる。

◎共通点

仕様はまったく同じである。

◎HDL 設計の利点

- ・テクノロジー変換の容易性
- ・RTL 記述とゲートレベル記述との一貫性
- ・抽象度の高いレベルでの検証が可能

6. まとめ

従来の回路図による設計では、5 ヶ月かかってゲートアレイを実現したのに対し、今回 HDL の知識はあるが実際の設計は初めて行う学生が着手し、仕様を入手後、3 ヶ月で FPGA を実現する事ができた。

HDL を用いて RTL 設計から自動合成する事で設計期間の短縮が実証された。

さらに、Verilog-HDL の回路設計を継続していき、Verilog-HDL の設計資産が増えていくと、過去の設計資産を流用していくことにより、更なる設計期間の短縮が期待できる。

今後、今回の手法を用いて実際の回路設計に着手していく予定である。

謝辞

ここに、本研究を遂行するにあたり種々の便宜を講じて頂いたアジアエレクトロニクスの作田部長をはじめ、関係者の皆様にお礼申し上げます。

参考文献

- [1] 並木秀明, 前田智美, 宮尾正大, 実用入門デジタル回路と Verilog-HDL, 技術評論社, 1996
- [2] 小林 優, DESIGN WAVE 5, 入門 Verilog-HDL 記述, CQ 出版社, 1996
- [3] D.E.トーマス, P.R.モアビー, 設計言語 Verilog-HDL 入門, 培風館, 1995
- [4] ALTERA Data Sheet, Altera Corporation, 1996