

# 600Mbit/s クラスのスループットを目指した 高性能 TCP/IP/ATM 通信ボードの検討

1 V - 1

長田孝彦 山下博之 塩川鎮雄

NTT 情報通信研究所

## 1. はじめに

近年のコンピュータネットワークの進展と伝達される情報のマルチメディア化に伴い、通信プロトコル処理の高速化が要求されている。我々は、TCP/IP をボード上で高速処理する、ワークステーション拡張スロットに装着する通信ボードを開発した[1]。この通信ボードは、ワークステーションにドライバプログラムをインストールするだけで使用可能であり、155Mbit/s ATM回線の帯域を有効に利用できる環境を容易に提供する。さらに、TCP/IP の高速処理を可能にするだけでなく、TCP/IP をボード上で処理するためワークステーションのCPU負荷を大幅に軽減でき、アプリケーションにより多くのCPU処理能力を振り向けられ、システム全体の性能向上を図ることができる。

本稿では、ほぼユーザ性能限界値である134Mbit/sの高スループットを達成したこの通信ボードの、600Mbit/sクラスへの高性能化を目的とする検討結果について報告する。

## 2. 155Mbit/s 通信ボードの構成

### 2.1 構成

#### (1) ハードウェア

155Mbit/s TCP/IP/ATM通信ボードの構成を図1に示す。本通信ボードは、プロトコル処理ブロックと回線インタフェースブロックの大きく2つのブロックで構成した。プロトコル処理ブロックは、さらに、プロトコル処理部、上位バスインタフェース部および回線インタフェース部から成る。本通信ボードは、33MHzのクロックで動作する。

プロトコル処理ブロックは、メモリバスとイベントバスの2種類のバスを有する。いずれもデータは32bit幅である。送受信データは、メモリバスを、制御信号は、イベン

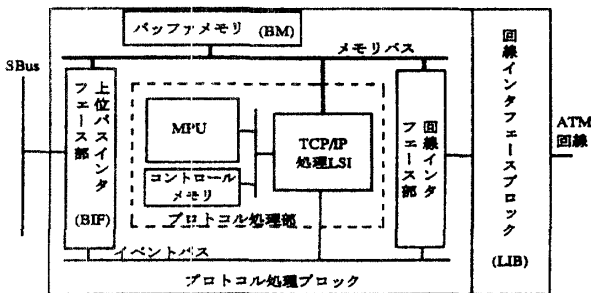


図1 155Mbit/s TCP/IP/ATM 通信ボードの構成図

トバスを経由する。また、パッファメモリ (4MB) には、送受信ヘッダ、データおよびプロトコル処理用制御情報を格納する。コントロールメモリ (2MB) には、MPU上で走行するファームウェアを格納する。

プロトコル処理部は、プロトコル処理用制御プログラム (ファームウェア) が走行する汎用RISCプロセッサ (MPU)、およびMPUのコプロセッサとして動作するTCP/IP処理LSIにより構成している。なお、MPUとして、SPARC lite (MB86930: 33MHz) を採用した。

#### (2) TCP/IP 処理 LSI

TCP/IP 処理 LSI は、ヘッダの編集・解析、チェックサム演算等の通信プロトコル処理の基本機能を有する。本 LSI のブロック構成を図2に示す。

MPUインタフェース部は、MPUに接続され、MPUの入出力制御および割り込み制御を実行する。プロトコルヘッダ処理部は、プロトコルのヘッダに係わる処理を行う。本 LSI では、通信プロトコル処理一般に共通して必要な実行頻度の高い処理として、イベント、タイマおよびパッファを対象とする制御リソース管理機能をも有する。

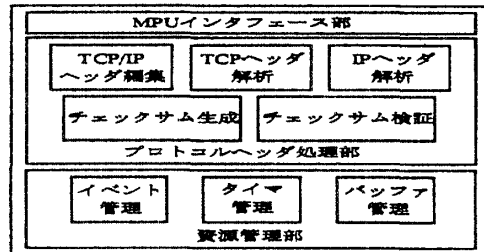


図2 TCP/IP 処理 LSI の機能ブロック図

#### (3) ファームウェア

ファームウェアは、主に3種のタスク (プロトコル処理、上位バスインタフェース制御、回線インタフェース制御) により構成され、TCP/IP 処理 LSI とのインタフェースを含むプロトコル処理に加え、ボード全体の制御も行う。これらは、それぞれ対応するイベントにより起動される。

### 2.2 評価

ファームウェアおよびハードウェア性能の実測結果を表1に示す。これより、すべての測定箇所でのATMのオーバーヘッドを除いたユーザ性能限界135Mbit/sをクリアしていることがわかる。

表1 155Mbit/s 通信ボードファーム・ハード処理能力

		送信	受信
ファームウェア		209Mbit/s	208Mbit/s
ハード	SBus-BM	286Mbit/s	356Mbit/s
	LSI-BM	862Mbit/s	862Mbit/s
	BM-LIB	145Mbit/s	135Mbit/s

A Study of TCP/IP/ATM Communications Boards with 600Mbit/s Class Throughput

Takahiko Nagata, Hiroyuki Yamashita and Shizuo Shiokawa

NTT Information and Communication System Laboratories

1-1 Hikari-no-oka, Yokosuka, Kanagawa 239, Japan

3. 622Mbit/s 通信ボード

3.1 ハードウェア

(1) 基本構成

155Mbit/s 版に対し、まず次の拡張を行う。

ハードウェア：

- a：メモリバス幅の拡大 (32bit->64bit)
- b：バスクロックアップ (33MHz->40MHz)
- c：バスの送受信分割

ファームウェア：

- a：MPUクロックアップ (33MHz->66MHz)
- b：2MPU化

622Mbit/s 通信ボードの基本構成を図3に示す。

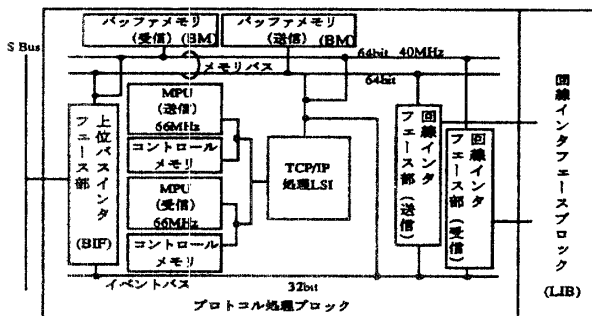


図3 622Mbit/sTCP/IP/ATM 通信ボード基本構成

(2) 性能予測

(1)の基本構成より、622Mbit/s通信ボードの性能を予測する。ここで、ハードウェアの性能向上は、メモリバス幅の拡大の2倍、クロックアップの1.2倍で2.4倍となる。また、ファームウェア処理の性能向上は、MPUのクロックアップで2倍となるが、バスクロックはMPUのクロックより小さいためメモリアクセスで性能が落ちる。しかし、メモリアクセス頻度は10%以下であるので、トータルで1.8倍と換算した。バスの2重化および2MPU化は、送受信を分けて考えるためここでは関係ない。

以上の性能向上度により、155Mbit/s通信ボード用ファームウェアをそのまま622Mbit/s通信ボードで使用したときのファームウェアおよびハードウェアの処理能力の予測値を算出した (表2)。これより、622Mbit/s ATMのユーザ性能限界がおよそ540Mbit/sであることを考慮しても、ファームウェアが能力不足であることがわかる。

表2 処理能力予測値

		送信	受信
ファームウェア		395Mbit/s	401Mbit/s
ハード	SBus-BM	686Mbit/s	854Mbit/s
	LSI-BM	2062Mbit/s	2069Mbit/s
	BM-LIB	622M回線用に新規設計	

3.2 ファームウェア

(1) 処理の分析

ファームウェアの全処理の内プロトコル処理が大半を占めているため、分析はTCP/IP処理単位 (ヘッダ設定、ウィンドウ制御等) の処理時間を測定することにより行った。

分析において、処理に時間を要しているもの、同様の処理を複数回を行うもの、LSI化が可能なものに着眼した結果、以下の処理に性能向上対策が必要であることが明らかになった。

- a：TCPチェックサム処理
- b：LSIへのヘッダ情報設定処理
- c：キュー (データ受信、チェックサム) 管理処理

(2) 性能向上対策

a：チェックサム演算、検証処理

チェックサム処理はLSIで行っているが、データ送信処理においてIPのヘッダ編集処理が、TCPチェックサム演算処理終了後に開始され、またデータ受信時には、TCPチェックサム検証の終了後にTCP受信処理を行うシリアル処理となっている。これを、LSIのチェックサム機能の起動契機を早めるとともに、ファームウェアのプロトコル処理と完全並列に行うことにより、ファームウェアからはチェックサム処理の時間は見えなくなる。

b：TCPおよびIPヘッダ情報設定処理

全ヘッダ内容をパケット送信毎に設定を行っているため、処理に時間を要している。これを、ヘッダ情報のテーブル化、かつ変更内容のみの書き換え、テーブルのポインタを設定するだけでLSIのヘッダ作成機能の起動により、処理時間を半減できる。

c：キュー管理に関する処理

データ受信キュー、チェックサムキューへの登録・取得において、個々の処理時間は大きくないが、それぞれを合計すると無視できない。これらの処理に関しては、すでにLSI化されているイベント管理機能を流用することが可能であり、LSIの機能拡張を図る。これにより、ファームウェアの処理はLSIの起動のみとなる。

(3) 性能予測

上記対策を施したファームウェアの処理能力の予測値を表3に示す。新処理方式の採用により、622Mbit/s ATMのユーザ性能限界と同程度の性能を得ることができる。

表3 新ファームウェアの処理能力

	送信	受信
ファームウェア	535Mbit/s	542Mbit/s

4. おわりに

ハードウェアの性能拡張およびファームウェア処理方式の検討により、600Mbit/sクラスの性能を有する通信ボード実現の可能性を示した。今後は、ボードの設計に向け、精度の向上を図りたい。

参考文献

[1] 長田孝彦, 東海林敏夫, 山下博之: "高性能TCP/IP/ATM通信ボードを開発", NTT技術ジャーナル, Vol. 9, No. 7, pp.112-115, 1997