

LSI テスタを用いた LSI の信号遅延の測定

2 L-4

松永 英人 澤田 直 安浦 寛人
九州大学 大学院システム情報科学研究科 情報工学専攻

1 はじめに

高性能かつ低コストの LSI を設計するためには、性能の見積り誤差とチップ間の個体差を理解し、その上でマージンを小さく取りながら十分な歩留まりを確保できる設計を行うことが必要である [1]。今後 LSI の微細化が進み、高速化が進むに従い、プロセスのゆらぎなどの影響が更に大きくなり、設計段階でも十分にその影響を考慮しなければならなくなる [2][3]。しかしながら実現された回路の特性のばらつきなどの詳細な情報は企業の外に出ることは少ない。今後、より良い設計手法の研究にはこのような情報が欠かせないものとなってくる。本稿では、実際に LSI チップに対して遅延に関する測定を行い、シミュレーション上で予測した性能と実チップの性能の誤差、並びに、実チップの性能の個体差を示す。

2 実験の概要

本実験の材料としては、すべての設計データが公開されており、内部の状態を観測することのできる KUE-CHIP2[4]を用いる。KUE-CHIP2は、計算機教育の教材として開発された8ビットのマイクロプロセッサであり、ES2社の1.2 μ m CMOS テクノロジーのメタル2層スタンダードセル方式として実現されている。測定機器としては、IMS社のLSIテスタ Logic Master ATS FT/200を用いる。また、見積りにはKUE-CHIP2の設計に用いられた論理CADシステム Solo 1400を用いる。Solo 1400は論理設計からレイアウト、テストパターン設計に至るすべての工程を行えるES2社の論理CADシステムである。本実験ではゲートの配置、ゲート間の配線などのレイアウト作業を行い、負荷遅延情報を含んだゲートレベルのポストレイアウトシミュレーションを行い、遅延の見積りを行う。ただし、各ゲートの遅延は最大、標準、最小遅延(max, nom, minとする)の3つのモデルを用いる。

まず KUE-CHIP2 において遅延が大きくなるようなテストパターンを作成し、遅延を見積もる。次に、同一ロットの KUE-CHIP2 105 個について LSI テスタを用いてチップの遅延時間の測定を行う。

Measurement of Signal Delay in LSI's with an LSI Tester
Hideto Matsunaga, Sunao Sawada, and Hiroto Yasuura
Graduate School of Information Science and Electrical Engineering, Kyushu University

3 信号遅延の測定

3.1 経路の選択・測定法

チップの遅延の個体差を測定するためにはできるだけゲートの段数の多く、長い経路の測定を行うことが望ましい。そのためには比較的遅延が大きくなりそうなテストパターンを回路構造から予測して作成しなければならない。KUE-CHIP2 においては演算回路 (ALU) の演算で最下位ビットから最上位ビットまで桁上げが伝搬される時の経路が比較的長いため、この経路を活性化するテストパターンを作成することにする。桁上げ付き加算命令の行われるクロックの間隔を短くしていき、アキュムレータ (ACC) に正しくない値が格納された時のクロック周期を遅延時間とする。ACC の値は観測バス (OB) を用いて観測する (図1参照)。

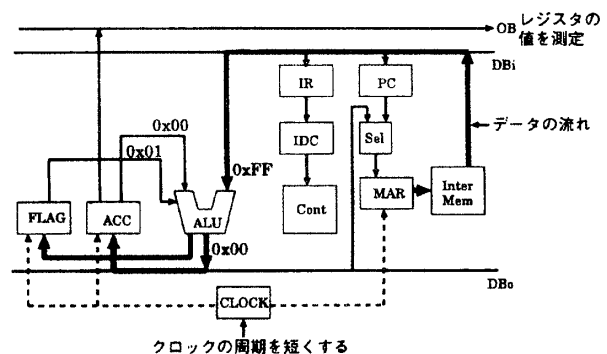


図1: 信号遅延の測定

3.2 テストパターンと経路の性質

本実験では、内部メモリに格納されたデータ 0xFF に ACC の値 0x00 とキャリーフラグ (CF) の値 0x01 を加えるテストパターンを用いる。具体的には以下の処理を行う。まず、メモリ・アドレス・レジスタ (MAR) にアドレスの値がラッチされ、SRAM で構成された内部メモリからデータ 0xFF が入力バス (DBi) に出力される。同一クロックで DBi を通ったデータが ALU に伝わり、ALU 内で NOT 素子 5 個、3 入力 AND 素子 2 個、2 入力 AND 素子 6 個、2 入力 OR 素子 2 個、2 入力 EXOR 素子 1 個、2 入力 EXNOR 素子 2 個の合計 18 段のゲートを通り、演算結果が出力バス (DBo) に出力される。次のクロックで DBo を通った演算結果が ACC にラッチされる。

3.3 測定上の問題点

ALU は組み合わせ回路であるため、入力データが ALU に届く前に演算を開始する。内部メモリのデータ 0xFF が ALU に届く前は、加算を行う前のクロックの DBi の

値、つまりデータ 0xFF が格納されているアドレスが ALU に入力されていることになる。もし、データが格納されているアドレスの最下位ビットが 1 であるならば、データ 0xFF がメモリから ALU へ入力される前に桁上げ演算が行われてしまい、正確な遅延の測定を行うことができなくなる。そこで、本実験では 0x00, 0x01, 0xFE, 0xFF 番地にデータ 0xFF を格納した 4 種類のテストパターンをそれぞれ用意して比較を行った。

4 実験結果と考察

3.3 節で述べた 4 種類のテストパターンを用いて 105 個のチップの遅延を測定し、それぞれ最も遅延が大きかったもの、中間のもの、最も小さかったものを chip1, 2, 3 とした。結果を図 2 に示す。測定は電源電圧 5V 一定、室温 25°C の条件の下で行った。また、Solo 1400 のポストレイアウトシミュレーションによる見積り値 (nom, min) も同様に示す。

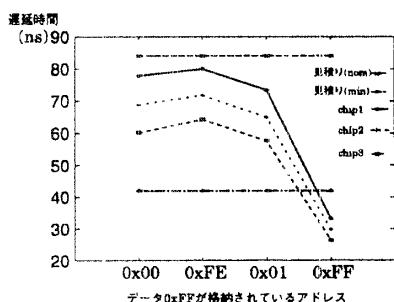


図 2: 遅延の見積り値と実測値の比較

実験の結果、見積りの段階では演算直前のバスの値による遅延の違いを見つけることはできなかった。また、テストパターンによっては最小遅延モデルの見積り値より実測値が小さくなることもあることが分かった。

また、遅延の実測値のチップ間の比較を行った。結果を 2ns 間隔のヒストグラムで図 3 に示す。使用したテストパターンは、図 2 において遅延が最も大きい、0xFE 番地にデータが格納されているテストパターンである。測定は電源電圧 5V 一定、室温 25°C の条件の下で行った。

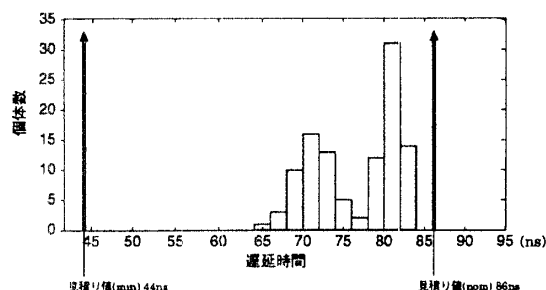


図 3: チップ間の遅延の個体差

実験の結果、遅延の平均値は 76.5 ns、標準偏差は 5.09 となった。さらに電源電圧を 5V, 4V, 3V に変化させた時の遅延の実測値の比較を行った。結果を 2ns 間隔のヒストグラムで図 4 に示す。

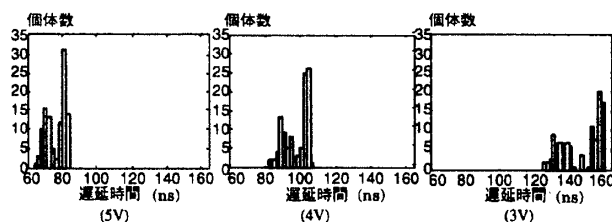


図 4: 電源電圧を変えた時のチップ間の遅延の個体差

図 4 から、電源電圧の違いによる遅延分布の平均値、標準偏差を求めた。結果を表 1 に示す。

電源電圧 (V)	平均値 (ns)	標準偏差
5.0	76.5	5.09
4.0	97.6	7.13
3.0	146.7	11.3

表 1: 遅延分布の平均・標準偏差の比較

実験の結果、電源電圧を下げると遅延の平均値、標準偏差ともに大きくなり、ばらつきが大きくなっていることが分かった。今後は LSI の内部状態や電圧、温度などの動作環境の変化、およびチップの個体差を考慮して見積り精度を上げていくことが重要になってくる。

5 おわりに

本論文では、設計段階で予測した性能とチップの性能の誤差やチップ間の個体差を把握するための実験を行った。結果、同一ロットのチップですらかなりばらつきがあり、さらに電源電圧を下げるとばらつきが大きくなることが分かった。今後、消費電力などの性能を測定していき、チップの個体差、および動作環境が LSI 設計にどう影響するのかについてさらに研究を進めていく。

謝辞

KUE-CHIP2 の設計データをご提供頂いた京都高度技術研究所の神原 弘之氏に深く感謝致します。LSI テスタに関しての様々な疑問に答えて下さった東京エレクトロンの高橋 陽氏に深く感謝致します。研究にあたり様々なご意見を頂く安浦研究室の皆様へ感謝致します。

参考文献

- [1] 石原 亨, 安浦寛人, “CMOSLSI チップのスイッチレベルにおける電力見積り精度について,” 95-DA-75-4, p.p.23-30, 1995 年 5 月。
- [2] 香山 晋・成瀬 邦彦, VLSI パッケージング技術(上), 日経 BP 社, 1993 年。
- [3] 菅野 卓雄 監修・香山 晋 編, 超高速 MOS デバイス, 培風館, 1986 年。
- [4] 神原 弘之, 越智 裕之, 澤田 宏, 浜口 清治, 岡田 和久, 上嶋 明, 安浦寛人, “KUE-CHIP2 設計ドキュメント Version 0.13,” 1992 年。