

VHDL によるソフトコア・プロセッサの設計

2 F-4

エコー ファジナル 安浦 寛人

九州大学 大学院システム情報科学研究科 情報工学専攻

1 はじめに

組み込み用途向けデジタル LSI の適応分野が年々広まっている。設計者が様々な マクロブロック (部品) を選び、各マクロ間の整合を調整しながら、LSI システムを構築する。また、設計制約を満たすために、マクロをカスタマイズしなければならない場合もある。デジタル LSI を設計する際に、マクロの設計容易性が求められている。

システムの重要なマクロ部品であるプロセッサの設計容易性を高めるために、我々はハードウェア記述言語を用い、レジスタ数やデータ語長等を変更可能なプロセッサ Bung DLX を設計した。

2 プロセッサの変更項目

レジスタ数、命令語長および命令セットなどがプロセッサ面積および性能に主に影響を及ぼす項目である。プロセッサのカスタマイズを行なう際に、これらの項目を自由にコントロールし、設計目的に適合するカスタム・プロセッサを素早く設計可能にすることが重要である [1]。レジスタ数、命令セット、アドレス語長、命令語長およびデータ語長が Bung DLX プロセッサにおける変更可能な項目である。

Bung DLX の変更可能項目間にお互いの依存関係が存在する [2]。特にデータ語長が小さい時に、変更を注意深く行なわなければならない。

3 Bung DLX の仕様

3.1 パラメータ変更範囲

Bung DLX は VHDL を用いて、記述されている。ユーザは上記の項目の変更を行なう際に、VHDL ソースのヘッダファイル中の変数定義値を変えるだけですむ (リスト 1)。

ただし、項目の依存関係および VHDL 言語の仕様の制限上で、各項目の範囲値が設けてある。

汎用レジスタ数

汎用レジスタ数の下限は 2 である。

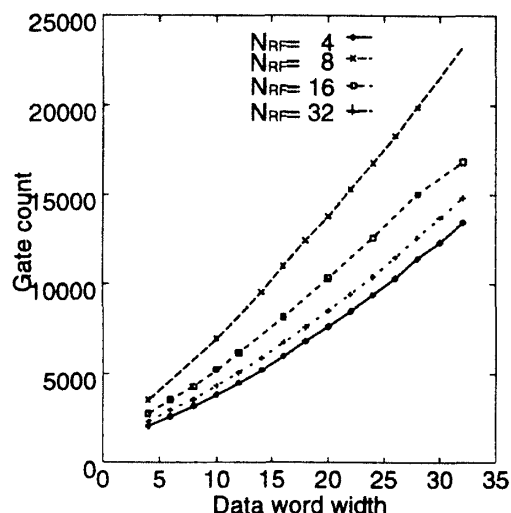


図 1: レジスタ数・データ語長および面積の関係

データ語長

データ語長の下限および上限は存在しないが、特殊レジスタの語長によってデータ語長の下限が制限される。現記述において、データ語長 $\geq$ 最大特殊レジスタ語長の半分とならなければならない。

命令セット

命令セットの命令数が制限されていない。ただし、現段階では、完全に VHDL による記述であるため、新しい命令の定義を行なう場合、その命令の動作およびオペコードを VHDL で記述しなければならない。将来、拡張 VHDL およびプリプロセッサ・フロントエンドを用いて、この制限を解除する予定である。

命令語長

命令セットに基づいて算出される。

アドレス語長

アドレス語長はデータ語長の 2 倍以下でなければならない。

リスト 1: プロセッサ記述のヘッダファイル

```
constant data_word_width : positive := 14;
constant data_unit_width : positive := 8;
constant regs_amount : positive := 17; b
constant data_address_depth : positive :=
    data_word_width;
```

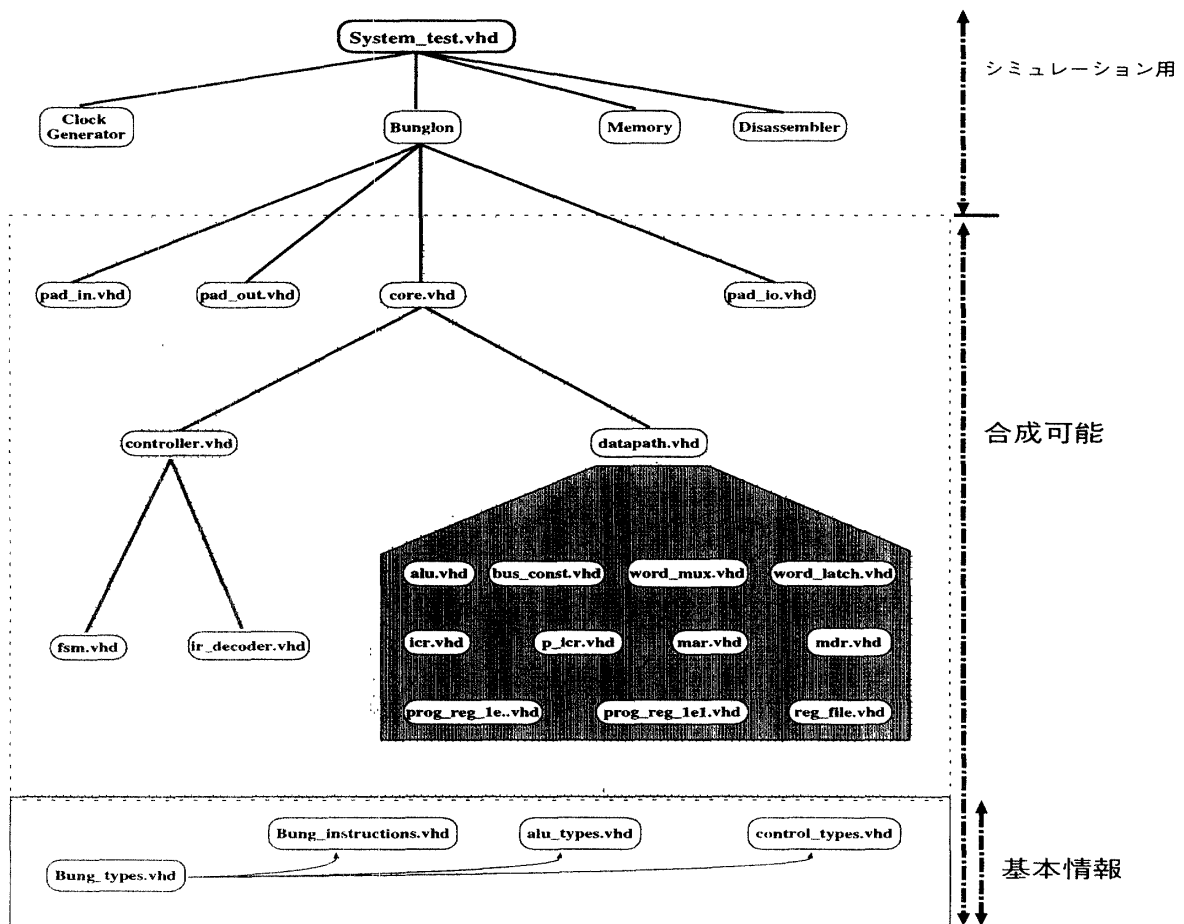


図 2: Bung DLX 記述構成

図 1 ではデータ語長およびレジスタ数を変化させた時のプロセッサ面積の変化を示す。データ語長およびレジスタ数の変更はプロセッサの面積に大きな影響を及ぼすことがわかる。

3.2 記述の構造

現在の Bung DLX はシミュレーション用および合成用の記述で構成されている [2]。約 7000 行の VHDL で記述を行なった。ユーザ定義済みの基本情報 (リスト 1) は `Bung_types.vhd` で定義されている。ユーザ定義情報が他の定義ファイルである

`Bung_instructions.vhd`, `alu_types.vhd` および `control_types.vhd` に利用され、命令セット、ALU 演算精度、バス幅、レジスタ語長、レジスタ数、特殊レジスタ数、データアライメントなどの情報が算出される。これらの情報のもとで、プロセッサが合成される。プロセッサを論理合成するには、Synopsys 社の Design Compiler のような RTL 記述に対応する論理合成 CAD ツールが必要である。

4 おわりに

本論文において、ハードウェア記述言語のレベルでの変更可能な Bung DLX プロセッサの仕様を説明した。現在、VHDL を用いたが、より自由な変更を可能にするために、拡張 VHDL および他の仕様言語を検討したい。

参考文献

- [1] Yasuura, H., Nakamura, S., Tomiyama, H., and Akaboshi, H., "Hardware-Software Codesign with a Soft-core Processor," *Proc. of Synthesis and System Integration of Mixed Technologies (SASIMI '95)*, pp.79-84, 1995.
- [2] エコー ファジャル, 井上 昭彦, 富山 宏之, 安浦 寛人. "ハードウェア/ソフトウェア・コデザインのためのソフトコア・プロセッサの検討". 電子情報通信学会技術研究報告 VLD96-13, pp. 85-92, 1996 年 6 月.