

SIMD型並列プロセッサを用いた 高速EBデータ照査システム

東 貴裕 田村 俊之 Jerome Crochat John Hu

田中 健一 久間 和生

5 F - 1

1. はじめに

LSIのフォトマスク作成用の電子ビーム描画データ（EBデータ：Electron Beam Exposure Data）は、設計者がCADによって作成したレイアウトデータを変換して生成する。この変換工程の中で誤りが混じる可能性があり、マスクの信頼性確保のために照査が必要である^[1]。LSIの高集積化に伴い照査時間が増大し、次世代LSIのマスクの照査には膨大な時間がかかることが予想される。このような状況に対応して、我々はSIMD型並列プロセッサを用いて高速でローコストな照査システムの開発を行なっている。今回、プロトタイプシステムとして並列プロセッサ搭載ボード1枚と汎用EWSを協調動作させ、EWSのみを用いた場合の100倍の性能をもつシステムを開発したので報告する。本システムでは全体の処理を、並列処理によって高速化が可能な部分と、分岐等を多く含む処理とを分離し、前者をSIMD型並列プロセッサシステムで、後者をEWSで処理させた。これによって高速化を達成できた。

2. ハードウェア構成

図1にプロトタイプシステムの構成を示す。ホストコンピュータ（SparcStation 20）とアクセラレータボードをVMEバスで結合した構成である。アクセラレータボードは4つのSIMD型マイクロプ

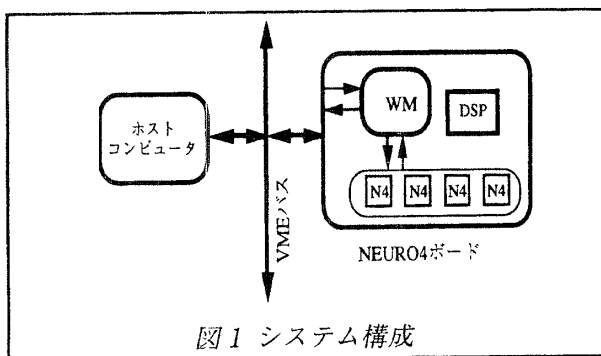


図1 システム構成

三菱電機先端技術総合研究所 ニューロ応用技術部
azuma@qua.crl.melco.co.jp
tamura@qua.crl.melco.co.jp

ロセッサNEURO4、DSP、32ビット×4Mワードのワーキングメモリ（WM）、VMEバスインタフェース（IEEE1024 standard VMEbus 32bit format）、制御論理回路から構成される。

図2にNEURO4プロセッサ^[2]の構成を示す。NEURO4プロセッサはSIMDアーキテクチャに基づいている。12個のプロセッシングユニット（PU）が並列に計算を行なう。各PUは独立したレジスタ群、ローカルメモリを持っている。各PUは

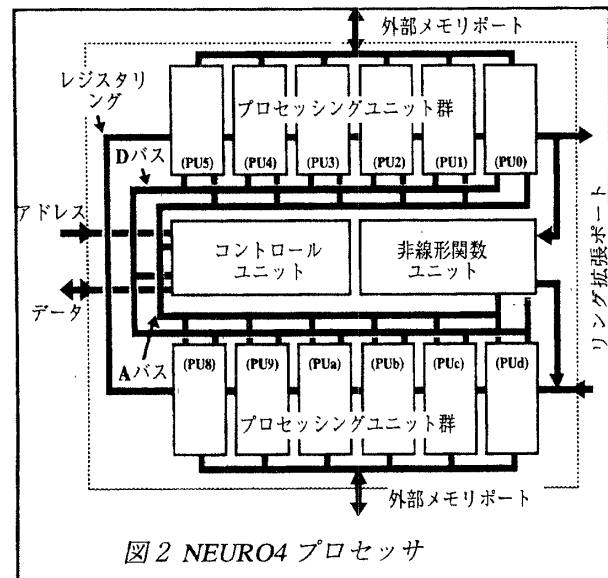


図2 NEURO4 プロセッサ

レジスタリングで一次的に結合されており、隣接するPU間でデータ転送を行なえる。非線形関数ユニットはニューラルネット応用ソフトウェアの高速処理用に使用されるが、今回は使用していない。各PUのローカルメモリは24ビットワードでチップ内に1Kword、外部に16Kwordある。33MHz動作時のピーク性能は3.168GFLOPS。

3. システム構成

このシステムはホストコンピュータ、DSP、NEURO4プロセッサのそれぞれに対応する3つのプログラムで構成されている。これら3つのプログラムは互いに同期をとりながらパイプライン並列動作をしている。以下に各部分の動作について解説する。

3.1 処理の概要

このシステムは入力としてCADデータとEBデータを取り、不一致を検出してその位置情報などを出力する。入力データは前処理されて、どちらも同じフォーマットになっている。また、入力データは比較処理を容易にするために、予め適当な大きさの領域に分割されている。この領域をフィールドと呼び、これを単位として比較処理を行なう。データ量を抑えるためにデータは座標表現された図形のリストとして表現されている。そのため、マスクパターンの表現が一意に決まらないのでそのままでは比較できない。そこでこれをイメージとして比較するためにビットマップに展開してから比較する。

3.3 ホストコンピュータでの処理

入力データの各フィールドをNEURO4でビットマップ展開をするためにさらに小さな“処理単位”に分割する。さらに、SIMD型アーキテクチャで並列処理しやすいように図形の表現形式を変換し、データをNEURO4のWMに転送する。これを比較対象の2つのデータについて行なう。

3.4 DSPでの処理

比較対象の2つの処理単位をそれぞれ24の区画に分割する。さらにアレイ状に表現された図形データを一つ一つの図形データに展開しWMに格納する。そしてWMから、偶数番号PU 24個のローカルメモリにCADデータ、奇数番号PU 24個のローカルメモリにEBデータを転送する。隣接するPUにCADデータとEBデータの対応する処理単位を割り当てることで比較処理を容易にすることができる。

3.5 NEURO4での処理

48個のPUで並列にビットマップ展開を行なう。各PUは割り当てられた区画に存在する図形の辺付近の画素に図形が占める面積を計算し図形内の画素を判定しビットマップに展開する。この時のアルゴリズムはSIMD型プロセッサで効率良く実行できる様に考慮した。

一般にSIMD型プロセッサでは実行分岐が全てのPUで同時に起きるので、データ毎に異なる操作を行なうことはできない。NEURO4では各PUに独立したフラグレジスタがあり、このレジスタの値を条件として条件を満たす場合に命令を実行する“条件付命令”がサポートされている。そこで、条

件付命令をうまく用いて比較的効率良くビットマップ展開を並列実行している。

次にピクセル毎に比較を行なう。比較対象ピクセルの差分を取り、その差がある値よりも大きいとき不一致を記録する。このときシフトリングレジスタを用いることにより数クロックで隣接PUとレジスタ値の比較を行なうことができる。処理単位の分割と各PUへの割り当ての様子は図3に示す通りである。

4. 結論

SIMD型並列プロセッサを用いてEBデータ照査システムの高速化を図り、プロトタイプ版として満足できる性能を得た。ワークステーション(Sparc-Station20)のみを用いた場合に較べて実行時間は約100分の1となった。SIMDアーキテクチャによる並列処理の典型的な適用例はベクトル・行列演算であるが、やや複雑な問題にもSIMD並列処理を適用し、システム全体の効率を大幅に改善した。

現在、実用レベルの性能を得るために複数のNEURO4ボードを使用する高速なシステムを開発中である。

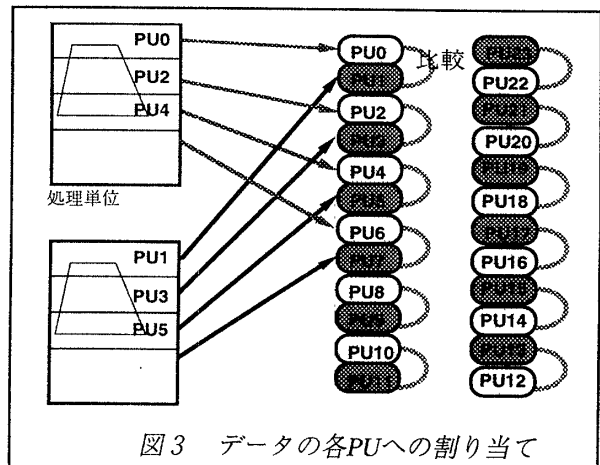


図3 データの各PUへの割り当て

謝辞

このシステムの開発初期に貢献の大きかったDominique Bouchon, Pierre Fournier に感謝する。

参考文献

- [1] 菅野, 浜本, 田中, 宗像, 森泉, 「VLSIマスクデータ照査システム」, pp86-89, 三菱電機技報, vol.68, No.3, 1994
- [2] Kondo, Koshiba, Arima, Murasaki et al., "A 1.2 GFLOPS Neural Network Chip Exhibiting Fast Convergence", IEEE Int. Solid State Circuits Conf. Dig., pp.218-219, 1994.