

ストリーム通信に基づく耐故障性アーキテクチャにおけるハードウェア冗長の検討*

4K-8

玉木 淳一 高西 裕治 森 秀樹 上原 稔†

東洋大学工学部情報工学科‡

1 はじめに

現在の集積回路の製造技術では、回路規模に比例して、欠陥の割合が大きくなることが上げられる。フォールトトレラントシステムは故障回避機能をシステムに付加するためのハードウェア冗長により回路規模が増大しているため、故障回避機能の有無で回路の歩留まりも変化する。よって、冗長の違いによる回路の歩留まりを求め、シミュレーション結果に適用することにより、冗長の有効性を検討する必要がある。

本論文では、ストリーム通信に基づく耐故障性アーキテクチャに故障回避能力を持たせるために付加したハードウェアの冗長を調べ、アーキテクチャの故障回避能力とハードウェア冗長を検討する。その際、我々が開発した耐故障性マルチプロセッサシステム SOFT(Stream Oriented Fault Tolerant architecture)の評価を行なう。SOFT アーキテクチャは、多数決を基に時間冗長を加味することで、三重化に比べより少ないゲート数で故障が回避でき、パイプライン処理によりハードウェア資源を有効に利用していることに特徴がある。

2 耐故障性マルチプロセッサ SOFT

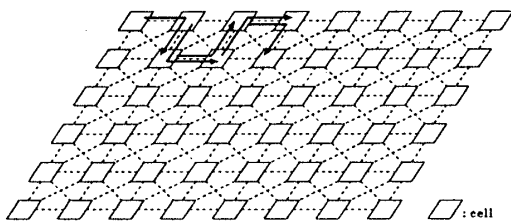


図 1: SOFT 概念図

SOFT アーキテクチャは、信頼度 [4] を用いた信頼度多数決と信頼度比較を使い耐故障性パイプライン処理を実行する。さらに SOFT では、図 1 に示すように格子結合された複数のセル各々に処理の実行単位である L-turn を割り当て耐故障性パイプラインネットワークを構成する

*Hardware Redundancy for Stream Oriented Fault Tolerant Architecture

†Junichi TAMAKI, Yuji TAKANISHI, Hideki MORI, Minoru UEHARA

‡Department of Information and Computer Sciences, Toyo University

[1][3].

SOFT における耐故障性パイプラインとは、3つのセルをグループとし、1つのパイプラインステージとして処理を行い、その結果を次のパイプラインステージの3つのセルに渡すときそれぞれのセルで多数決により故障をマスクする方式である。さらに SOFT ではパリティチェックを行なうことによりシステムの故障回避率を高めている。

3 シミュレーション結果

ここでは、SOFT において故障回避のために追加された、ハードウェア冗長の有無によるシステムの故障回避率の違いを示す。

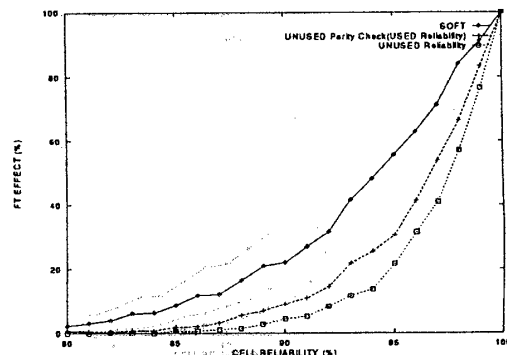


図 2: システムの故障回避率

図 2 には、3 種類のシステムとして、SOFT、信頼度を用いない SOFT、パリティチェックを用いない SOFT の故障回避率が示されている。

図 2 より、ハードウェア冗長を考慮しない 3 種類のシステムの中では、SOFT が一番故障回避率が高いことがわかる。

4 セルの歩留まり

ここでは、ハードウェア冗長を考慮するために 1 ウェーハ上の 1 プロセッサの歩留まり [2] に基づき SOFT のセルの歩留まりを求める。

以下に示すゲート数は、セルの歩留まりを求めるため、SFL によってハードウェアを記述し、PARTHENON[5]

において MSC5000 のライブラリを使用して論理合成を行ない算出したものである。

項目	ゲート数	面積 (μm^2)
SOFT	6900	4.39×10^6
多数決部	84	—
信頼度部	61	—
パリティ部	846	—

表 1: 回路の合成結果

文献[2]に従い、欠陥のポアソン分布モデルから 1 ウェーハ上の 1 プロセッサ歩留まり Y は

$$Y = e^{-DA}$$

となる。式において、 D は欠陥密度であり、 A は回路面積を表す。

文献 [2] における欠陥密度 $D = 1.0/cm^2$ を用いて、SOFT、信頼度を用いない SOFT、パリティチェックを用いない SOFT の各セルの歩留まりを求めると以下ようになる。ただし、セルは 1 万ゲートの ALU を使用し構成すると仮定する。

SOFT のセルの歩留まり Y_{SOFT} は

$$Y_{SOFT} = e^{-DA} = e^{-1.0 \times 0.108} \cong 0.898$$

信頼度を用いない SOFT のセルの歩留まり $Y_{NoReli.}$ は

$$Y_{NoReli.} = e^{-DA} = e^{-1.0 \times 0.102} \cong 0.903$$

パリティチェックを用いない SOFT のセルの歩留まり $Y_{NoParity}$ は

$$Y_{NoParity} = e^{-DA} = e^{-1.0 \times 0.102} \cong 0.903$$

5 評価

ここでは、セルの歩留まりをシミュレーション結果に適用することにより、ハードウェア冗長の観点から見た SOFT アーキテクチャの故障回避機能の検討を行なう。

各セルの歩留まりは、SOFT を実装した際のセルの静的な故障率と考えられる。よって、各セルの歩留まりをシミュレーションにおけるセルの信頼度としシミュレーション結果に適用したグラフを図 3 に示す。

図 3 から、セルの歩留まりとグラフの交点を求めると、それぞれの故障回避率は表 2 のようになる。

表 2 より、ハードウェア冗長の観点から故障回避率を検討しても、SOFT が故障回避機能として信頼度とパリティチェックを用いたことが有効であることがわかる。

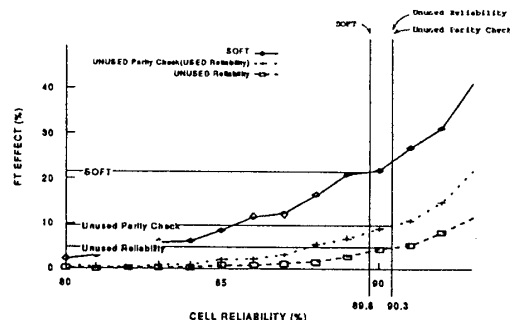


図 3: SOFT による故障回避率

セルの種類	故障回避率
SOFT のセル	約 22%
信頼度を用いない SOFT のセル	約 10%
パリティチェックを用いない SOFT のセル	約 5%

表 2: 各セルの故障回避率

6 まとめ

今回、シミュレーションによる故障回避率と、ハードウェア冗長による故障回避率の検討により、現段階での SOFT アーキテクチャの故障回避機能の有効性が確かめられた。今後は SOFT アーキテクチャに新たな故障回避機能を加え、故障回避率を上げることや、SOFT の耐故障性パイプライン処理自体に改良を加えることにより、システムの故障回避率を上昇させることが望まれる。

謝辞 SOFT は、NTT のハードウェア設計支援システム PARTHENON を用いて設計されました。この場を借りて感謝いたします。

参考文献

- [1] Hideki Mori, Junichi Tamaki, and Minoru Uehara. "Stream Oriented Fault Tolerant Array". In *International Conference on WAFER SCALE INTEGRATION*. IEEE, Jan 1995.
- [2] 安永守利. "WSI を用いた自己組織化マップのフォールトトレランス". 電子情報通信学会論文誌, Vol. J78-D-I, 1995.
- [3] 玉木淳一, 森秀樹, 上原稔. "ストリーム計算のためのフォールトトレラント WSI プロセッサ". 情報処理学会第 4 回全国大会, Vol. 7K-04, 1994.
- [4] 玉木淳一, 森秀樹, 上原稔. "ストリーム計算のためのフォールトトレラントプロセッサ接続方式". 電子情報通信学会技術研究報告, Vol. WSIA-94-8, 1994.
- [5] 中村行宏, 小野定康. "ULSI の効果的な設計法". オーム社, 1994.