

パーシャルスキャン設計による平衡再収斂構造のテストビリティ評価

細川 利典[†] 平岡 敏洋^{†,☆} 太田 光保[†]

順序回路に対する ATPG を困難にする構造として平衡再収斂構造を定義し、平衡再収斂構造の段数を削減するアプローチと、経路数を削減するアプローチについて、故障検出効率が十分に上がらない (83~95%) 実際の無閉路順序回路を用いて、スキャン化率と故障検出効率の解析を行った。その結果、平衡再収斂構造の経路数を削減するアプローチが、より少ないスキャン化率で十分に高い故障検出効率 (99%以上) を達成できるという点で効果的であることが分かった。また平衡再収斂構造の経路数を削減するアプローチは従来故障検出効率の向上に効果的であると知られている順序深度を削減するアプローチよりも効果的であることが分かった。

A Testability Evaluation of Balanced Reconvergence Structures Based on Partial Scan Design

TOSHINORI HOSOKAWA,[†] TOSHIHIRO HIRAOKA^{†,☆}
and MITSUYASU OHTA[†]

We define a balanced reconvergence structure that makes ATPG for sequential circuits difficult. We compared an approach that reduces the number of paths of balanced reconvergence structures (path reduction approach) with an approach that reduces the depth of balanced reconvergence structures (depth reduction approach) for practical acyclic sequential circuits the fault efficiencies of which are not enough high. Experimental results show that the path reduction approach is more effective than the depth reduction approach because fewer scan flip-flops are required to achieve a high fault efficiency (99%). The results also show that the path reduction approach is more effective than a conventional sequential depth reduction approach.

1. はじめに

近年 LSI の大規模化と複雑化が進み、LSI 設計におけるテスト設計の重要性が高まっている。一般に順序回路のテスト生成 (ATPG) は非常に困難な問題であり、高い故障検出効率を達成するテスト系列を生成するためには、テスト容易化設計 (DFT) が必要不可欠である。

DFT の代表的なものとしてパーシャルスキャン設計方法^{1)~17)}がある。パーシャルスキャン設計方法は、回路中の一部のフリップフロップ (FF) のみをスキャン FF で設計し、スキャンチェーンを構成するので、回路中のすべての FF をスキャン FF で設計し、スキャ

ンチェーンを構成するフルスキャン設計方法^{19),20)}に比べて、テスト回路の付加による面積増大、速度低下、消費電力増加という問題点を緩和することができる。

従来のパーシャルスキャン設計におけるスキャン FF 選択方法は、大きく以下の 3 種類に分類できる。

- (1) テスタビリティ解析に基づく方法^{1),2)}
- (2) ATPG に基づく方法^{3)~7)}
- (3) 回路構造の解析に基づく方法^{8)~17)}

(3) の方法は、さらにセルフループを除く回路中のすべてのループを切断する方法^{8)~14)}とセルフループも切断して回路構造を完全に無閉路構造にする方法^{15)~17)}に分類できる。文献 17) では、回路構造を無閉路構造にするパーシャルスキャン設計方法を多くの実際の回路に適用して、ATPG を行うことにより、フルスキャン設計方法とほぼ同程度の高い故障検出効率 (99%以上) を達成できることが報告されている。しかしながら、いくつかの回路においては、無閉路順序回路でも故障検出効率が 95%を下回ることがある。このいくつかの無閉路順序回路における故障検出効率低

[†] 松下電器産業株式会社半導体開発本部
Corporate Semiconductor Development Division,
Matsushita Electric Industrial Co., Ltd.

[☆] 現在、京都大学大学院情報学研究科
Presently with Graduate School of Informatics, Kyoto
University

下の原因は回路中に、ある分岐点から同じ段数の FF を何段か通過してあるゲートで再収斂する平衡再収斂構造¹⁸⁾を含むことにあると文献 18) から予測される。この予測が正しいことを実験により確かめることを本研究の目的とする。

本稿は次のような構成になっている。まず 2 章で、故障検出効率低下の原因と予測される平衡再収斂構造を定義する。3 章では、平衡再収斂構造中のどの要素(段数、経路数)を削減することが故障検出効率向上に効果的かを解析する。4 章では、無閉路順序回路で故障検出率が 83~95%である実際の回路に対してスキャン FF の追加を行って、回路中の平衡再収斂構造と故障検出効率の関係を実験的に解析する。5 章では、本稿のまとめと今後の課題について述べる。

2. 平衡再収斂構造の定義

本章では、ATPG を困難にすると予測される平衡再収斂構造について述べる。まず、回路の FF 関係グラフを以下のように定義する。

定義 1 FF 関係グラフ

有向グラフ $G = (V, E)$ は回路の FF 関係グラフを表し、任意の頂点 $v \in V$ は回路中の(擬似)外部入力、または FF、または(擬似)外部出力を表す。また辺 $(v, u) \in E, (v, u \in V)$ は頂点 v に相当する外部入力(または FF、または擬似外部入力)から出力側の組合せ回路のみを通して、頂点 u に相当する外部出力(または FF、または擬似外部出力)に到達可能であることを表す。ここで擬似外部入力とはスキャン FF の出力信号線であり、擬似外部出力とはスキャン FF の通常データ入力信号線である。

回路の FF 関係グラフ中の再収斂構造^{19),20)}において再収斂構造の起点となる FF または(擬似)外部入力のことを再収斂構造の分岐点と呼び、終点となる FF または(擬似)外部出力のことを再収斂構造の再収斂点と呼ぶとき、平衡再収斂構造の定義は次のようになる。

定義 2 平衡再収斂構造

FF 関係グラフの再収斂構造において、分岐点から再収斂点までの全経路に同じ順序深度(1 以上)を持つ経路が 2 つ以上存在する構造を平衡再収斂構造と定義する。特に順序深度 j 、経路数 k のとき、 j 段 k 重平衡再収斂構造と呼ぶ(図 1 参照)。なお、分岐点 BR から再収斂点 RC の j 段 k 重平衡再収斂構造を $(BR, RC)(j, k)$ と表すことにする。

ここで、ある経路上に含まれる FF の個数をその経路の順序深度と呼ぶ。また順序回路の(擬似)外部入

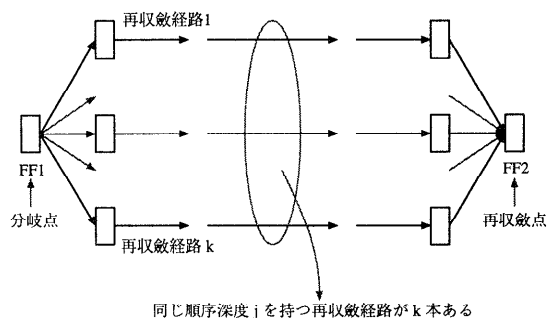


図 1 j 段 k 重平衡再収斂構造

Fig. 1 Balanced reconvergence structure.

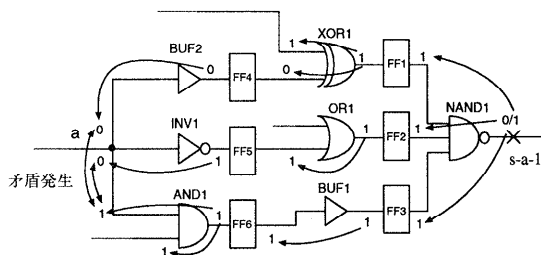


図 2 平衡再収斂構造に対する ATPG の例

Fig. 2 An example of ATPG for balanced reconvergence structure.

力から(擬似)外部出力に至る経路の中の、最大の順序深度を順序回路の順序深度と呼ぶ。

次に平衡再収斂構造を含む回路の ATPG が困難になる例を説明する。図 2 に示す回路は、2 段 3 重平衡再収斂構造を有する。この回路において、NAND1 ゲートの出力信号線の 1 縮退故障の ATPG について考えてみる。図 2 に示すように、故障を励起するために NAND1 の出力信号線の正常値を 0 にする。そのために FF1, FF2, FF3 に 1 が割り当てられる。FF1 の値 1 を正当化するために、XOR1 に 1 を割り当てる。次に XOR1 の値 1 を正当化するために XOR1 の 2 つの入力に 1 と 0 を割り当てるような選択を行う。ここでは、FF4 に 0 を割り当てたとする(選択割当て A)。同様に、FF2 の値 1 を正当化するために OR1 に値 1 を割り当てる。次に OR1 の値 1 を正当化するために OR1 の 1 つの入力に 1 を割り当てるような選択を行う。ここでは、FF5 に 1 を割り当てたとする(選択割当て B)。同様に FF3 の 1 を正当化するために FF6 に 1 を割り当てる。FF4, FF5, FF6 の値 0, 1, 1 をそれぞれ正当化すると、信号線 a において矛盾が発生し、バックトラック処理が必要となる。この例の場合、XOR1 と OR1 の値の正当化で選択が発生し、それぞれの選択に対して、先に説明したような選

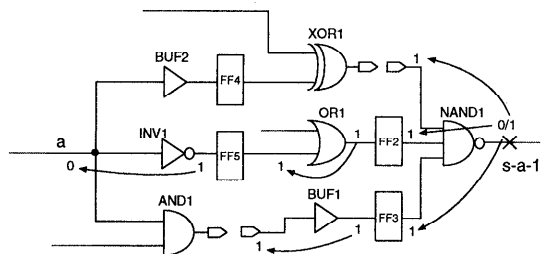


図3 FF1とFF6をスキャン化した回路

Fig. 3 A circuit which FF1 and FF6 are replaced with scan FFs.

択割当て A, B を行ったために矛盾が発生した。このように、回路中に平衡再収斂構造を含むと ATPG において矛盾を発生する可能性が高まる。ここで、図 3 に示すように FF1 と FF6 をスキャン化して、回路中の平衡再収斂構造を削除すると、矛盾を発生することなく ATPG が可能となる。

3. 平衡再収斂構造のテスト容易化設計の考察

本章では、平衡再収斂構造が回路のテストビリティを低下させることの要因として考えられる要素を抽出し、平衡再収斂構造のテスト容易化設計の考察を行う。

まずはじめに、図 4 に示す FF 関係グラフの平衡再収斂構造について説明を行い、これを本章で用いる例とする。図 4 において、PI1～PI5 の頂点は外部入力、PO1, PO2 の頂点は外部出力、A～K の頂点は FF を表す。図 4 の FF 関係グラフにおいて、複数の出力を持つ頂点、すなわち平衡再収斂構造の分岐点となりうる頂点は、A, C, E, F, K の 5 つである。まず頂点 A を分岐点として平衡再収斂構造の探索を行う。頂点 A の出力側の隣接頂点である B, E, F を分岐点 A からの 1 つ先の出力と呼ぶ。次に分岐点 A からの 2 つ先の出力として、頂点 B, E, F の出力側の隣接頂点である C, F, I, G, J の 5 つの頂点が出現する。

このとき、図 5 に示すように、分岐点である頂点 A からの $A \rightarrow E \rightarrow I$ の経路と $A \rightarrow F \rightarrow I$ の経路が同じ順序深度 (1) で 2 つ先の出力である頂点 I で再収斂していることが分かる (I は再収斂点)。つまり、頂点 A から頂点 I までの 1 段 2 重平衡再収斂構造が見つかったことになる。次に分岐点 A からの 3 つ先の出力である頂点を調べると、図 5 に示すように頂点 G, H がそれぞれ再収斂点となる 2 段 2 重平衡再収斂構造が見つかる。また分岐点 A から 4 つ先の出力である PO1 が再収斂点となる 3 段 4 重平衡再収斂構造が、分岐点 A から 5 つ先の出力である PO1 が再収斂点となる 4 段 3 重平衡再収斂構造がそれぞれ見つかる。

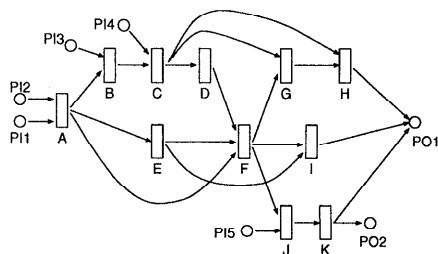


図4 無閉路順序回路のFF関係グラフの例

Fig. 4 An example of FF relation graph of acyclic sequential circuit.

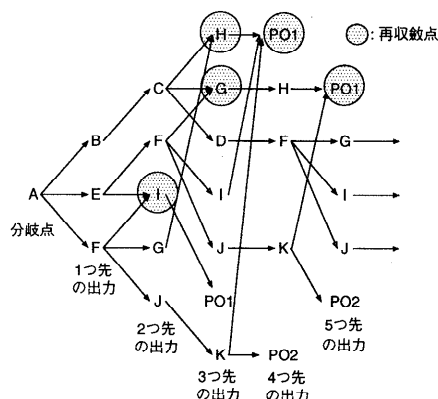


図5 平衡再収斂構造の探索

Fig. 5 Search balanced reconvergence structures.

る。さらにこれ以上探索を進めても、分岐点 A からの再収斂点はみつからない。また、別の分岐点である頂点 F からの $F \rightarrow G \rightarrow H \rightarrow PO1$ の経路と $F \rightarrow J \rightarrow K \rightarrow PO1$ の経路が同じ順序深度 (2) で F から 3 つ先の出力である頂点 PO1 で再収斂している (PO1 は再収斂点)。つまり、頂点 F から頂点 PO1 までの 2 段 2 重平衡再収斂構造が見つかる。以上の探索により、図 4 の例では 6 つの平衡再収斂構造が存在することが分かる。

図 3 で示したように、回路中から平衡再収斂構造を削除するように、FF のスキャン化の決定を行うことが考えられるが、その場合多数の FF のスキャン化が必要と考えられる。以下の 2 つの節では、平衡再収斂構造中のどの要素を削減すれば、ATPG が容易になるかを考察する。

3.1 平衡再収斂構造中の段数

回路中に存在する平衡再収斂構造のうち、ある段数以上の平衡再収斂構造をすべて削除するようにスキャン化 FF の決定を行う。このことは 1 つの平衡再収斂構造に関して、値割当ての矛盾が早期にみつからない平衡再収斂構造を少なくすることを目的としている。

表 1 実験回路の回路特性と ATPG 結果

Table 1 Properties of experimental circuits and ATPG results.

circuit	#PI	#PO	#FF	#Gate	#Scan	SR (%)	FE (%)	CPU (s)
#1	131	105	1127	10814	22	1.95	91.26	2188
#2	189	105	861	12998	144	16.72	83.90	2019
#3	81	22	502	16618	279	55.58	86.81	25932
#4	342	11	1550	21190	145	9.35	95.55	3891
#5	336	376	1710	31095	724	42.34	94.65	18922

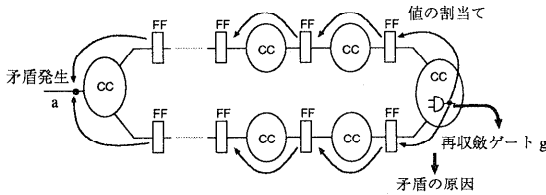


図 6 平衡再収斂構造の段数が大きい例

Fig. 6 An example of a balanced reconvergence structure with large sequential depth.

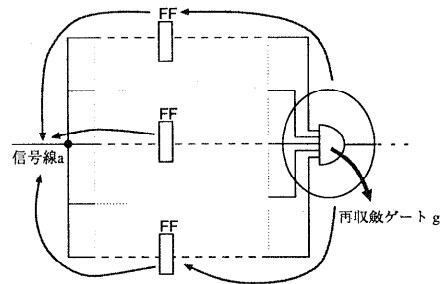
図 6 は平衡再収斂構造の段数が大きい例を表す。図 6 において、CC は組合せ回路部分、a は矛盾が発生した信号線、g は再収斂ゲートをそれぞれ表す。図 6 に示すように矛盾が発生した原因が再収斂ゲート g に最も近い FF の値割当てにあったと仮定する。平衡再収斂構造の段数が大きいとバックトラック処理が多発し、結果として矛盾の原因となった FF の値割当てのバックトラック処理を行う前に処理が打ち切られる可能性が高くなる。

図 4 の例では、(A, I)(1, 2), (A, G)(2, 2), (A, H)(2, 2), (A, PO1)(3, 4), (A, PO1)(4, 3), (F, PO1)(2, 2) の 6 つの平衡再収斂構造がある。この例において、回路中の平衡再収斂構造の段数が最大 2 段以下になるようにスキャン化 FF の決定を行うと、(A, PO1)(3, 4), (A, PO1)(4, 3) が 2 を超えているので、たとえば H, I をスキャン化することで、平衡再収斂構造 (A, PO1)(3, 4) と (A, PO1)(4, 3) は消滅する。

3.2 平衡再収斂構造中の経路数

回路中に存在する平衡再収斂構造中の経路数がある一定の数以下にするようにスキャン化 FF の決定を行う。このことは 1 つの平衡再収斂構造において、矛盾の発生確率を低く抑えることを目的としている。図 7 は平衡再収斂構造の経路数が多い例を表す。図 7 において、a は矛盾が発生した信号線、g は再収斂ゲートを表す。平衡再収斂構造の経路数が多いと図 7 に示すように、信号線 a に対して値の割当てが複数の経路から要求されたときにすべて同じ値が要求される確率、すなわち矛盾が発生しない確率は低くなる。

図 4 の例において、回路中の平衡再収斂構造の経路



経路数大 → 分岐点で矛盾が起こる確率が高まる

図 7 平衡再収斂構造の経路数が多い例

Fig. 7 An example of a balanced reconvergence structure with many paths.

数が最大 3 以下になるようにスキャン FF の決定を行うと、(A, PO1)(3, 4) が 3 を超えているので、たとえば K をスキャン化することで、(A, PO1)(3, 4) は (A, PO1)(3, 3) に変化する。

4. 実験結果

本章では、まず故障検出効率が 83~95% の無閉路順序回路に対して、平衡再収斂構造の段数を削減するようにスキャン追加して故障検出効率を評価する。また平衡再収斂構造の経路数を削減するようにスキャン追加して故障検出効率を評価する。次に、平衡再収斂構造の経路数を削減するようにスキャン追加するアプローチと回路の順序深度を削減するようにスキャン追加するアプローチとを比較する。

4.1 平衡再収斂構造のテストバリエーション評価

表 1 に評価実験を行う実際の無閉路順序回路の回路特性と ATPG 結果を示す。表 1 において、circuit は回路名、#PI は外部入力数、#PO は外部出力数、#FF は FF 数、#Gate は ATPG ツール内のプリミティブゲート数、#Scan は回路をテスト時に無閉路構造にするために必要であるスキャン FF 数、SR はスキャン化率、FE は故障検出効率、CPU は文献 21) の順序回路 ATPG ツール Mint を Ultra1 Model170E で実行したときの CPU 時間をそれぞれ表す。#1~#5 のすべての回路について、故障検出効率は 96% 以

下であった。実際の無閉路順序回路について、以下の2つのアプローチにより平衡再収斂構造のテストバリエーションを解析する。

- (1) 回路中の平衡再収斂構造のうち、その段数があ

る一定の値を超えるものを削除するようにスキャン追加を行うアプローチ

スキャン化 FF 追加手順

Step1 回路中の平衡再収斂構造を探索する。

Step2 回路中の全平衡再収斂構造の段数がある一定の値以下ならば処理を終了する。

Step3 ある一定の値を超える段数を持つすべての平衡再収斂構造中に最も多く含まれる FF をスキャン化する FF として1つ選択する。選択した FF を外部入力、外部出力と仮定し Step1 へ進む。

- (2) 回路中の平衡再収斂構造のうち、その経路数がある一定の値を超えるものを削除するようにスキャン追加を行うアプローチ

スキャン化 FF 追加手順

Step1 回路中の平衡再収斂構造を探索する。

Step2 回路中の全平衡再収斂構造の経路数がある一定の値以下ならば処理を終了する。

Step3 ある一定の値を超える経路数を持つすべての平衡再収斂構造中に最も多く含まれる FF をスキャン化する FF として1つ選択する。選択した FF を外部入力、外部出力と仮定し Step1 へ進む。

表2、表3、表4、表5、表6に回路中の平衡再収斂構造の段数を削減するアプローチに基づく実験結果をそれぞれ#1～#5の回路について示す。また表7、表8、表9、表10、表11に回路中の平衡再収斂構造の経路数を削減するアプローチに基づく実験結果をそれぞれ#1～#5の回路について示す。表2～表11において、maxdは回路中に存在する平衡再収斂構造の最大段数、maxpは回路中に存在する平衡再収斂構造の最大経路数、#BRSは回路中に存在する平衡再収斂構造の数、SDは回路の順序深度をそれぞれ表す。その他の項目は表1と同様である。

また図8、図9、図10、図11、図12に、上記の2つのアプローチの実験結果におけるスキャン化率（Scan Rate）と故障検出効率（Fault Efficiency）の関係を示す。各グラフにおける実線（'depth_reduction'）は平衡再収斂構造の段数を削減するアプローチの結果を示し、1点鎖線（'path_reduction'）は平衡再収斂構造の経路数を削減するアプローチの結果を示す。また点線（'seq.depth_reduction'）は4.2節で考察する回路の順序深度を削減するアプローチの結果を示している。

平衡再収斂構造の段数を削減するアプローチに関する

表2 #1の平衡再収斂構造の段数を削減する実験結果

Table 2 Experimental results of depth reduction approach for #1.

maxd	SR	FE	CPU	SD	#BRS	maxp
1	1.95	91.26	2188	2	285	16
0	91.13	100.00	292	1	0	0

表3 #2の平衡再収斂構造の段数を削減する実験結果

Table 3 Experimental results of depth reduction approach for #2.

maxd	SR	FE	CPU	SD	#BRS	maxp
7	16.72	83.90	2019	8	3977	619
3	39.49	99.50	872	5	272	37
2	54.70	99.83	791	5	91	28
0	71.54	99.84	577	5	0	0

表4 #3の平衡再収斂構造の段数を削減する実験結果

Table 4 Experimental results of depth reduction approach for #3.

maxd	SR	FE	CPU	SD	#BRS	maxp
3	55.58	86.81	25932	7	6994	2400
0	77.29	100.00	475	5	0	0

表5 #4の平衡再収斂構造の段数を削減する実験結果

Table 5 Experimental results of depth reduction approach for #4.

maxd	SR	FE	CPU	SD	#BRS	maxp
20	9.35	95.55	3891	20	130168	65448
10	14.58	97.49	2144	11	19817	24121
9	20.77	98.78	940	11	11324	793
5	45.87	99.18	418	11	740	6
1	49.68	99.18	424	9	198	6
0	54.71	100.00	154	9	0	0

表6 #5の平衡再収斂構造の段数を削減する実験結果

Table 6 Experimental results of depth reduction approach for #5.

maxd	SR	FE	CPU	SD	#BRS	maxp
9	42.34	94.65	18922	10	35044	3637
8	48.65	98.97	4743	8	6129	84
7	49.18	99.05	5017	8	4261	76
6	51.58	99.76	1529	8	2325	72
5	53.22	99.82	1414	8	1467	72
3	56.84	99.86	1373	8	889	33
2	58.54	99.94	1177	8	396	30

の実験、平衡再収斂構造の経路数を削減するアプローチに関する実験とも、故障検出効率が99.90%に達するか、または回路中に平衡再収斂構造がなくなるまでスキャン追加を行った。

ここで、十分に高い故障検出効率を99%とすると、図9、図11、図12から#2、#4、#5の回路は平衡再収斂構造の経路数を削減するアプローチが段数を

表7 #1の平衡再収斂構造の経路数を削減する実験結果

Table 7 Experimental result of paths reduction approach for #1.

maxp	SR	FE	CPU	SD	#BRS	maxd
16	1.95	91.26	2188	2	285	1
15	5.68	94.98	1699	2	285	1
10	17.75	95.07	2387	2	285	1
9	25.82	99.89	845	2	285	1
8	34.07	100.00	901	2	285	1

表8 #2の平衡再収斂構造の経路数を削減する実験結果

Table 8 Experimental results of path reduction approach for #2.

maxp	SR	FE	CPU	SD	#BRS	maxd
619	16.72	83.90	2019	8	3977	7
177	19.16	86.27	2504	8	1927	5
112	29.38	94.07	1566	7	842	5
92	30.20	99.03	1102	7	801	5
49	35.54	99.39	1515	5	562	5
30	44.60	99.41	1141	5	342	4
20	52.73	99.65	1416	5	171	2
10	57.49	99.83	1162	5	116	1
1	69.92	99.84	888	5	0	0

表9 #3の平衡再収斂構造の経路数を削減する実験結果

Table 9 Experimental results of path reduction approach for #3.

maxp	SR	FE	CPU	SD	#BRS	maxd
2400	55.58	86.81	25932	7	6994	3
1800	61.35	93.87	19521	5	2333	3
1440	61.95	97.36	8156	5	2333	3
1000	62.75	99.31	3591	5	2333	3
450	63.75	99.78	1786	5	2333	3
230	64.34	99.92	1083	5	2333	3

表10 #4の平衡再収斂構造の経路数を削減する実験結果

Table 10 Experimental results of path reduction approach for #4.

maxp	SR	FE	CPU	SD	#BRS	maxd
65448	9.35	95.55	3891	20	130168	20
9625	16.97	97.99	730	18	22291	17
498	23.87	98.85	505	17	10922	12
23	31.03	98.91	369	13	3599	7
12	33.81	98.94	333	13	2920	7
10	40.77	99.57	259	12	2113	7
8	42.65	99.66	264	12	1611	7
5	48.77	99.93	146	12	327	7

表11 #5の平衡再収斂構造の経路数を削減する実験結果

Table 11 Experimental results of path reduction approach for #5.

maxp	SR	FE	CPU	SD	#BRS	maxd
3637	42.34	94.65	18922	10	35044	9
100	47.43	98.83	6557	8	9287	8
68	49.01	99.56	2249	8	6877	8
50	50.88	99.58	1644	8	4899	8
37	52.11	99.61	1699	8	4188	8
30	55.56	99.77	1295	8	1482	7
20	58.19	99.93	1585	8	582	6

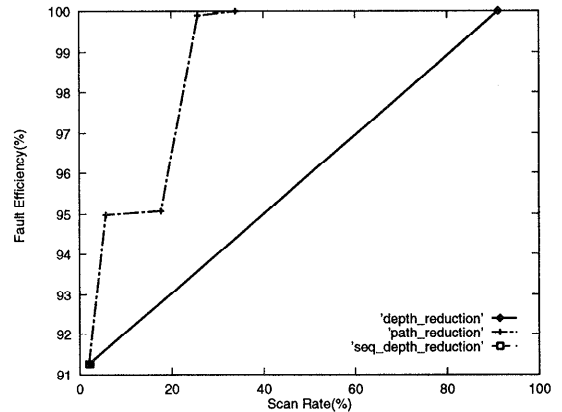


図8 #1における実験結果比較

Fig. 8 Comparison of experimental results for #1.

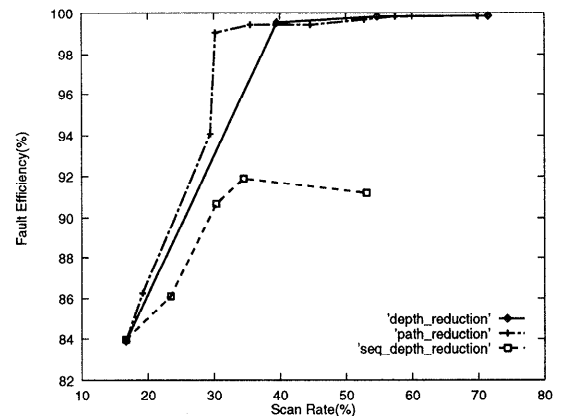


図9 #2における実験結果比較

Fig. 9 Comparison of experimental results for #2.

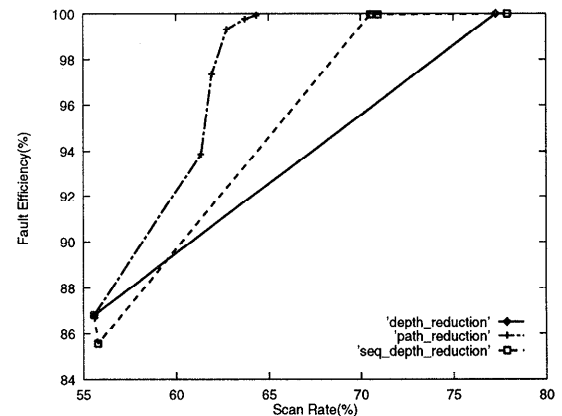


図10 #3における実験結果比較

Fig. 10 Comparison of experimental results for #3.

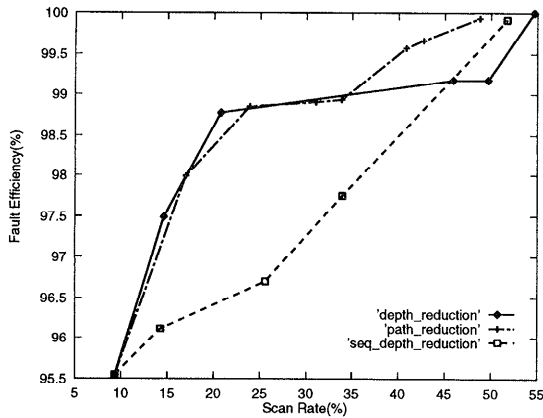


図 11 #4 における実験結果比較

Fig. 11 Comparison of experimental results for #4.

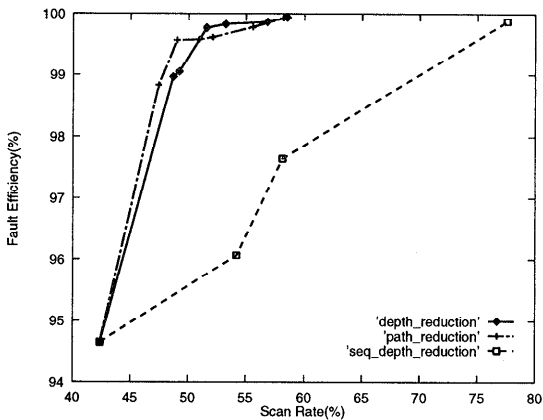


図 12 #5 における実験結果比較

Fig. 12 Comparison of experimental results for #5.

削減するアプローチよりも若干少ないスキャン化率で 99% の故障検出効率を達成している。表 3, 表 5, 表 6, 表 8, 表 10, 表 11 を参照すると, 故障検出効率 99% を達成した時点での回路中の maxp は段数削減アプローチが経路数削減アプローチよりも若干少なかった。また故障検出効率 99% を達成した時点の回路の maxd は, 経路数削減アプローチの方が, 段数削減アプローチよりも大きいことが分かる。一方 #1, #3 の回路に関してはそれぞれ平衡再収斂構造の段数を 3 未満, 1 未満にすることで, 回路中から平衡再収斂構造が削除されてしまう。この場合, 故障検出効率は 100% に達しているが, スキャン化率は非常に高い。これらの平衡再収斂構造の段数が小さい回路に対しては, 段数削減アプローチで高い故障検出効率を達成するための最少個のスキャン FF を選択することが難しいと考えられる。これらの回路に対して, 平衡再収斂構造の経路

表 12 #1 の順序深度を削減する実験結果

Table 12 Experimental results of sequential depth reduction approach for #1.

SD	SR	FE	CPU
2	1.95	91.26	2207
1	2.22	91.26	2432

表 13 #2 の順序深度を削減する実験結果

Table 13 Experimental results of sequential depth reduction approach for #2.

SD	SR	FE	CPU
8	16.72	83.98	2948
5	23.46	86.12	1941
3	30.30	90.67	1367
2	34.49	91.90	1220
1	53.08	91.19	1101

表 14 #3 の順序深度を削減する実験結果

Table 14 Experimental results of sequential depth reduction approach for #3.

SD	SR	FE	CPU
7	55.58	86.81	259392
4	55.78	85.55	132258
3	70.52	99.97	422
2	70.92	99.96	422
1	77.89	100.00	386

表 15 #4 の順序深度を削減する実験結果

Table 15 Experimental results of sequential depth reduction approach for #4.

SD	SR	FE	CPU
20	9.35	95.55	3891
10	14.26	96.12	1922
5	25.61	96.70	1028
3	33.87	97.75	767
2	51.68	99.92	170

表 16 #5 の順序深度を削減する実験結果

Table 16 Experimental results of sequential depth reduction approach for #5.

SD	SR	FE	CPU
10	42.34	94.65	23765
5	54.21	96.07	11433
3	58.13	97.63	4783
2	77.54	99.88	414

を削減するアプローチは, 段数削減アプローチよりも約 15% 程度低いスキャン化率で故障検出効率 99% を達成している。これらのことから, 回路中から平衡再収斂構造を削除することで, 回路のテストビリティは大きく向上し, またできるだけスキャン化率を抑えて, 高い故障検出効率を得る場合には平衡再収斂構造の経路数を削減することが効果的であることが分かる。

4.2 順序深度削減に関するテストバリエーション評価との比較

次に、回路のテストバリエーションを向上させる方法として知られている回路の順序深度を削減するようにスキャン化FFの決定を行うアプローチ⁹⁾と平衡再収斂構造の経路数を削減するアプローチとを比較する。

表12, 表13, 表14, 表15, 表16に回路中の順序深度を削減するアプローチに基づく実験結果をそれぞれ#1~#5の回路について示す。表12~表16における各項目は表2~表11と同様である。

回路の順序深度を削減するアプローチに関する実験は、故障検出効率が99.90%に達するか、また、順序深度が1になるまでスキャン追加を行う。図8~図12から明らかにすべての回路について平衡再収斂構造の経路数を削減するアプローチが少ないスキャン化率で故障検出効率99%に達している。このことから、無閉路順序回路において、少ないスキャン追加で高い故障検出効率を達成できるという点で、平衡再収斂構造の経路数削減アプローチが順序深度削減アプローチよりも効果的であるといえる。

図8において、順序深度削減アプローチに関するグラフが消えているのは、表12より#1の順序深度を2から1へ削減するのに必要なスキャン化率数はわずかで、順序深度を1に削減しても故障検出効率は変化していないためである。

また表13, 表14において、#2の順序深度を2から1へ、#3の順序深度を7から4へ削減するためにスキャン追加を行うことで故障検出効率が低下していることが分かる。このことは#2の順序深度1, 2の回路、#3の順序深度4, 7の回路とも高い故障検出効率(99%以上)が得られていないことから、ともにATPGが打ち切られた故障(打ち切り故障)が数多く存在し、たまたま順序深度が大きいときのテストパターン数(#2は523, #3は426)が順序深度が小さいときのテストパターン数(#2は407, #3は303)よりも多いため、故障シミュレーションにより偶然に検出できた打ち切り故障の数が多いと考えられる。

5. ま と め

今回、以下のことを提案し、実際の回路での実験によりその効果を確認できた。

(1) 平衡再収斂構造を定義し、この構造を削減することで、回路のテストバリエーションが向上する。

(2) 平衡再収斂構造中の経路数を削減するアプローチが、段数を削減するアプローチよりも少ないスキャン化率で高い故障検出効率を得るという傾向が

ある。

(3) 平衡再収斂構造中の経路数を削減するアプローチは、従来の回路の順序深度を削減するアプローチよりも少ないスキャン化率で高い故障検出効率を得ることができ、有効である。

また、今後の課題として以下の内容の検討が残る。

(1) 最少個のスキャン化FFの決定で、平衡再収斂構造の経路数または段数がある一定以下になるアルゴリズムを検討する。

(2) 順序深度削減アプローチと平衡再収斂構造の経路数削減アプローチを組み合わせたスキャン化FF決定アルゴリズムを検討する。

謝辞 本論文に関して、多くの貴重な意見をいただいた奈良先端科学技術大学院大学の井上智生助手、ならびに、松下電器産業株式会社の辻史郎氏に感謝いたします。

参 考 文 献

- 1) Trischler, E.: Incomplete Scan Path with an Automatic Test Generation Methodology, *Proc. Int. Test Conf.*, pp.153-162 (Sep. 1980).
- 2) Abramovici, M., et al.: The Best Flip-Flops to Scan, *Proc. Int. Test Conf.*, pp.166-173 (Nov. 1991).
- 3) Agrawal, V.D., et al.: Designing Circuits with Partial Scan, *IEEE Design and Test of Computers*, Vol.5, pp.8-15 (Apr. 1998).
- 4) Ma, H.K.T., et al.: An Incomplete Scan Design Approach to Test Generation for Sequential Machines, *Proc. Int. Test Conf.*, pp.730-734 (Sep. 1988).
- 5) Chickermane, V., et al.: A Fault Oriented Partial Scan Design Approach, *Proc. Int. Conf. Computer-Aided Design*, pp.400-403 (Nov. 1991).
- 6) Parikh, P.S., et al.: A Cost Based Approach to Partial Scan, *Proc. Design Automation Conf.*, pp.255-259 (June 1993).
- 7) Takeoka, S., et al.: Scan Flip-Flop Selection Based on State Transition for Automatic Partial Scan Insertion, *Proc. SASIMI '92*, pp.282-291 (Apr. 1992).
- 8) Cheng, K.-T., et al.: A Partial Scan Method for Sequential Circuits with Feedback, *IEEE Trans. Comp.*, pp.544-548 (Apr. 1990).
- 9) Lee, D.H., et al.: On Determining Scan Flip-Flops in Partial-Scan Design Approach, *Proc. Int. Conf. Computer-Aided Design*, pp.322-325 (Nov. 1990).
- 10) Kunzmann, A., et al.: An Analytical Approach to the Partial Scan Problem, *JETTA*,

- Vol.1, pp.163-174 (May 1990).
- 11) Bhawmik, S., et al.: Pascant: A Partial Scan and Test Generation System, *Proc. Custom Integrated Circuits Conf.*, pp.17.3.1-17.3.4 (1991).
 - 12) Park, S., et al.: A Graph Theoretic Approach to Partial Scan Design by K-Cycle Elimination, *Proc. Int. Test Conf.*, pp.303-311 (Sep. 1992).
 - 13) Tai, S.E., et al.: A Three Stage Partial Scan Design Method using the Sequential Circuit Flow Graph, *Proc. Int. Conf. on VLSI Design*, pp.101-106 (Jan. 1994).
 - 14) Chakradhar, S.T., et al.: An exact algorithm for selecting partial scan flip-flops, *Proc. Design Automation Conf.*, pp.81-86 (June 1994).
 - 15) Gupta, R., et al.: The BALLAST methodology for structured partial scan design, *IEEE Trans. Comput.*, Vol.39, No.4, pp.538-544 (1990).
 - 16) Takasaki, T., et al.: Partial Scan-Design Methods Based on Internally Balanced Structure, *Proc. ASP-DAC '98*, pp.211-216 (Feb. 1998).
 - 17) Hosokawa, T., et al.: Partial Scan Design Methods Based on n-Fold Line-up Structures and the State Justification of Pure Load/Hold Flip-Flops, *IEICE Trans. information and Systems*, Vol.E81-D, No.7 (1998).
 - 18) 平岡, ほか: 平衡再収斂構造を考慮した n 重整列構造に基づく最適スキャン FF 決定方法, DA シンポジウム 98 論文集, pp.161-166 (1998).
 - 19) Fujiwara, H.: *Logic Testing and Design for Testability*, The MIT Press (1985).
 - 20) Abramovici, M., et al.: *Digital Systems Testing and Testable Design*, Computer Science Press (1990).
 - 21) Motohara, A., et al.: A State Traversal Al-

gorithm Using a State Covariance Matrix, *Proc.30th Design Automation Conf.*, pp.97-101 (June 1993).

(平成 10 年 9 月 22 日受付)

(平成 11 年 2 月 8 日採録)



細川 利典 (正会員)

昭和 39 年生. 昭和 62 年明治大学工学部電子通信工学科卒業. 同年松下電器産業 (株) 入社. 論理シミュレーションエンジン, テストパターン生成, 故障シミュレーション, テスト容易化設計, 上流テストの研究開発に従事. IEEE 会員.



平岡 敏洋

昭和 45 年生. 平成 8 年京都大学大学院工学研究科精密工学専攻修士課程修了. 同年松下電器産業 (株) 入社. テスト容易化設計, テストパターン生成の研究開発に従事. 現在京都大学大学院情報学研究科勤務.



太田 光保

昭和 37 年生. 昭和 61 年広島大学工学部第 2 類卒業. 同年松下電器産業 (株) 入社. IP ベーステスト, テストパターン生成, テスト容易化設計の研究開発に従事. 電子情報通信学会会員.