

多電源を用いた低消費電力化設計手法

五十嵐 睦典[†] 宇佐美 公良[†] 野 上 一 孝[†]
 南 文 裕[†] 川 崎 幸 雄[†] 青 木 孝 哲[†]
 高野 みどり[†] 水 野 千 春[†] 石 川 貴 史[†]
 市 田 真 琴[†] 金 沢 正 博[†]
 園 田 慎 次[†] 畑 中 直 行[†]

多電源を用いた LSI の低消費電力化手法として、非クリティカルなパス上にあるセルのみ低電圧駆動とする Clustered Voltage Scaling (CVS) 法がある。CVS 法は、通常のゲートレベルの単一電源回路を基に、タイミング制約のもと、挿入するレベルコンバータ数最小で、かつ低電圧駆動のセル数を最大化する 2 電源化した回路構造を生成する手法である。本論文は、この 2 電源化した回路のレイアウトでの実現手法を含めた、2 電源化による低消費電力化設計システムの開発、およびその適用事例に関するものである。レイアウトでは、配線長および配線ディレイの増加を抑えるための電源の供給方式を提案している。本システムをメディアプロセッサチップ *Mpact*TM に対して適用した結果、ランダム回路モジュールに関して、平均で 47% の消費電力削減効果が得られた。本手法の面積的なオーバーヘッドは、15% 程度であった。

A Low-power Design Method Using Multiple Supply Voltages

MUTSUNORI IGARASHI,[†] KIMIYOSHI USAMI,[†] KAZUTAKA NOGAMI,[†]
 FUMIHIRO MINAMI,[†] YUKIO KAWASAKI,[†] TAKAHIRO AOKI,[†]
 MIDORI TAKANO,[†] CHIHARU MIZUNO,[†] TAKASHI ISHIKAWA,[†]
 MAKOTO ICHIDA,[†] MASAHIRO KANAZAWA,[†] SHINJI SONODA,[†]
 and NAOYUKI HATANAKA[†]

We present a low-power design method that utilizes the multiple supply voltages. The proposed method reduces the power consumption of random logic circuits by 47% on the average, with up to 15% area overhead, by the combination of "Clustered Voltage Scaling (CVS) scheme" and "Row by Row optimized Power Supply (RRPS) scheme". By the CVS scheme, the optimal netlist, that uses the minimized number of the level converters and the maximized number of the low V_{dd} gates under the timing constraints, is generated. The new power bus wiring scheme called "RRPS scheme", minimizes layout area overhead and also delay overhead of the multiple-supply-voltage design. The proposed method is applied to a media processor chip *Mpact*TM and achieved the above mentioned results. In this paper, the emphasis is put on the interrelation between the generation of the two-supply-voltage netlist with the CVS scheme and the layout technology, such as the power supply scheme and the placement of the multiple-supply-voltage gates. The clocking scheme for the multiple supply voltages is also discussed.

1. はじめに

CMOS 回路のダイナミックな消費電力¹⁾を削減することは、重要な課題になってきた。このダイナミックな消費電力を削減するためには、回路の動作電圧を下げるのが最も有効な手段とされている。しかしな

がら、動作電圧を下げるとそれにもなって回路の動作速度も低下するので、回路の動作速度を維持したまま、動作電圧を下げることは容易ではない。

この問題を解決する 1 つの方法として、回路のクリティカルパス上の動作電圧はもとのまま維持して、それ以外の部分回路の動作電圧を下げる手法、Clustered Voltage Scaling (CVS) 法^{2),3)}が提案されている。CVS 法を用いれば、クリティカルパス上の回路の動作速度は維持されるので、チップ全体としての

[†] 株式会社東芝半導体事業本部
 Semiconductor Group, Toshiba Corporation

パフォーマンスを悪化させず、消費電力を削減できるものと期待される。

この CVS 構造の回路を従来のレイアウト手法で実現しようとする、異なる電位が供給されている部分回路を、それぞれの電位のブロックごとに分けてレイアウトする手法が考えられる。しかし、ブロック単位のレイアウト手法では、2つの異なる電位の回路ブロック間をつなぐネットの配線長が非常に長くなり、結果として回路の動作速度を著しく悪化させてしまう。特に、配線に起因する遅延が支配的となるディープサブミクロン世代の LSI 設計では重要な問題となる。

本論文は、CVS 構造の 2 電源化した回路構造のレイアウトでの実現手法を含めた、2 電源化による低消費電力化設計システムの開発、およびその適用事例に関するものである。CVS 構造の 2 電源ネットをレイアウト上で実現するにあたっては、セルロウごとに供給電圧を最適化する 2 電源供給方式、Row by Row optimized Power Supply (RRPS) 法を提案する。これによって、接続関係のある高電位側のセルと低電位側のセルとの間の配線長の増加を抑え、回路パフォーマンスを劣化および、面積的なオーバーヘッドを抑制する。また、LSI の中ではクロック系の消費電力が全体に占める割合が非常に大きいことから、低電圧のクロックレイアウトを RRPS 構造上に実現し、消費電力を削減する。提案手法をメディアプロセッサチップ *MpactTM* に対し適用し、その有効性を確認する。

2. 全体の設計の流れ

低消費電力化を目的とした、多電源を用いたレイアウト設計の流れを図 1 に示す。図 1 に示した 2 つの設計ループのうち、(1) は単一電源での通常のタイミングドリブン設計のフロー⁴⁾である。(2) は、提案する多電源を用いた低消費電力化のための設計フローである。(2) の設計フローでは、単一電源でタイミング制約を満足するネットリストが入力である。

図 1 において PowerSlimmer は、タイミング制約を考慮して、単一電源のネットリストから 2 電源構造のネットリストを生成する。そして、PowerSlimmer が作成した多電源ネットリストとそのネットに対応するタイミング制約は、レイアウトツール ChipMaster に渡る。ChipMaster は、多電源供給のための RRPS 構造を生成し、その上にセルを配置する。レイアウト完了後、ChipMaster は配線容量に関する情報を PowerSlimmer に返し、このレイアウト後の高精度な配線情報をもとに PowerSlimmer が、再度、多電源ネットリストの最適化を行う。この設計のループをネットリス

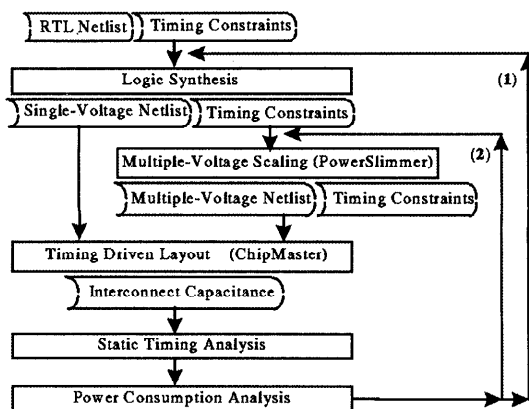


図 1 全体の設計の流れ
Fig. 1 General design flow.

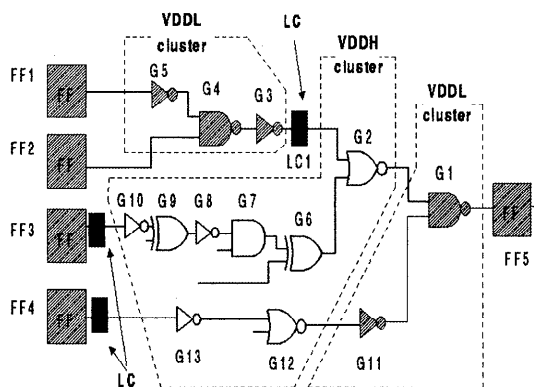


図 2 CVS 構造の 2 電源ネットリスト
Fig. 2 CVS structured Dual-Vdd netlist.

トの変更が少なくなるまで繰り返す、2 電源ネットリストの作成とレイアウトを完了する。

3. 多電源供給ネットリストの生成

CVS 法を用いた多電源供給構造のネットリスト⁵⁾を図 2 に示す。PowerSlimmer は、単一電源のゲートレベルのネットリストから CVS 構造のネットリストを生成する。図 2 に示した CVS 構造のネットリストの中で、LC はレベルコンバータを意味する。レベルコンバータ LC は、低電圧 VDDL 振幅の信号を受けて、通常電圧 VDDH の信号へと変換する。LC は、VDDL で駆動する回路と VDDH で駆動する回路との間に挿入される。PowerSlimmer は、タイミング制約のもと、この LC を挿入しつつ回路を 2 電源化する。回路の 2 電源化は、レベルコンバータ挿入にともなう消費電力増加と低電圧化による消費電力削減とのトレードオフで決定される。そして、消費電力が最適となる 2 電源

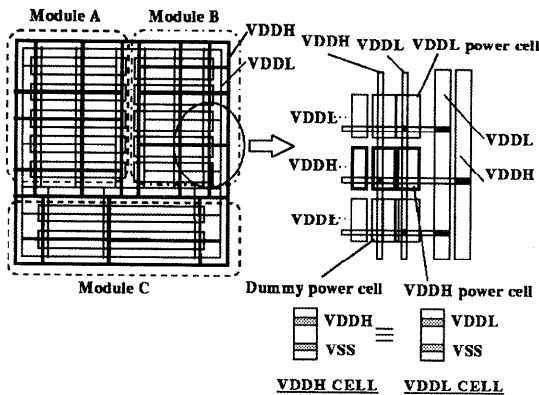


図3 RRPS 電源供給構造

Fig. 3 Row by Row optimized Power Supply (RRPS) Scheme.

ネットリストを作成する。

4. 2 電源の供給方式 (RRPS 構造)

提案する RRPS 構造の電源供給方式を図 3 に示す。VDDL と VDDH の 2 つの異なる電源は、I/O 周辺を走るリング電源線を通じてチップ内部に供給される。内部の論理回路は、ランダムロジックモジュールやハードマクロを含み、各モジュール・マクロの周辺には I/O リング電源線とつながる電源バスラインを敷設する。モジュール内では、各セルロウと直行する方向に補強電源バスラインを敷設し、これらの電源バスは、個々のセルロウの中を水平方向に貫く電源線と接続する。このようにして構成した RRPS 構造は、セルロウごとに供給電圧を変えることができる。なお、RRPS 構造上にレイアウトする VDDL セルは、VDDH セルとまったく同じセル内レイアウトパターンを持っている。

5. 多電源を用いたレイアウト

提案する多電源を用いたレイアウト設計フローを図 4 に示す。図に示す設計フローの入力データは、Power Slimmer が出力するゲートレベルのネットリストとモジュールごとのタイミング制約である。

まず、RRPS 構造を作成するための準備として、PowerSlimmer が生成したネットリストを使って、電位による分離を行わずにセル配置を行う (図 1(1) 参照)。すなわち、同一セルロウの上に、VDDH セルと VDDL セルとを混在させて仮配置する。この処理ステップは、与えられたネットリストを使って、配線長最小の配置状態を作成する目的で行う。図 5 は、min-cut 配置のプロセスを模式的に示したものである。

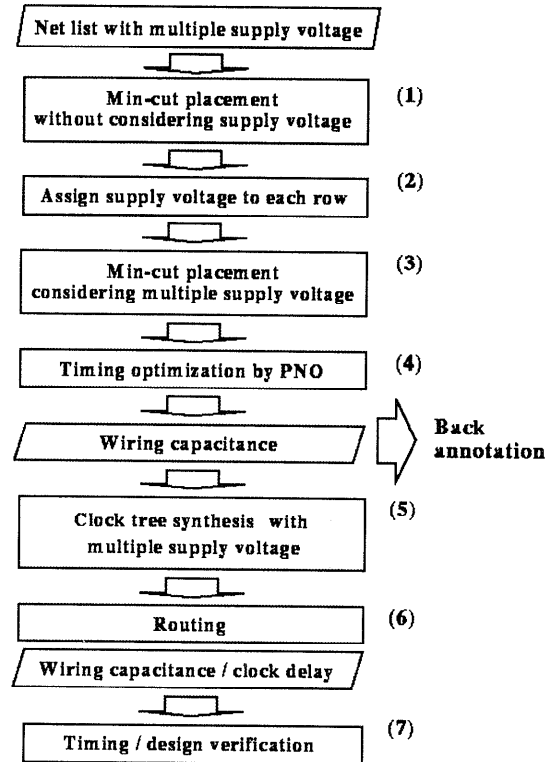


図4 多電源を用いた設計フロー

Fig. 4 Physical design flow using multiple supply voltages.

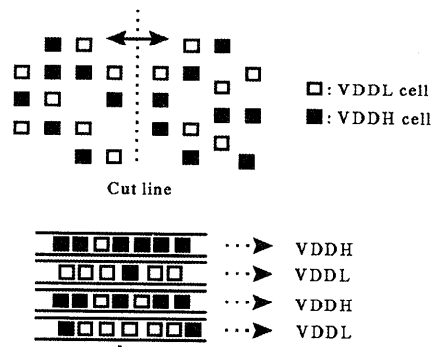


図5 RRPS 構造の生成

Fig. 5 Generation of RRPS scheme.

図 4 のステップ (2) は、ステップ (1) で作成した配置結果をもとに、個々のセルロウへの供給電圧を決定するものである。図 5 に示すように、基本的には、VDDH セルが多くを占めるセルロウには VDDH を供給する。このように、ChipMaster は、モジュール内のすべてのセルロウの供給電圧を前述の配置結果をもとに決定する。同様の手順をすべてのランダムモジュールに対して適用して、チップ上に RRPS

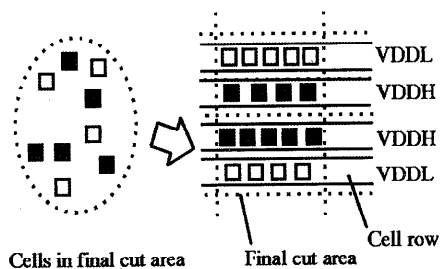


図 6 多電源を考慮した配置

Fig. 6 Placement of multiple supply voltages.

構造を完成する。

このRRPS構造を用いて、ChipMasterは、すべてのセルへの供給電圧を考慮して、再度セルの配置を行う（ステップ(3)参照）。配置のプロセスは、ステップ(1)と同様の操作を行うが、最終的にセルをセルロウ上にマッピングするプロセスは、(1)と異なり、電位による分離を行う（図6参照）。

この多電源配置では、セルを正しい電位のセルロウ上に配置するために、セルには供給電圧に対応した配置制約を付けてある。この制約は、min-cut配置のプロセスには影響しないもので、最終的に分割された領域内でセルをセルロウ上に配置する際に、はじめて参照するものである。これによって、ChipMasterはセルを駆動電圧ごとに正しく分離して配置する。

上記の処理ステップを用いることで、ChipMasterは、2電源化したネットのレイアウトを行う際に、VDDHセルとVDDLセルとの間の配線長の増加を抑制する。この処理手順は、単一電源レイアウト結果から2電源レイアウトを生成する際に、配線長の増加および配線リソースの消費の増大を抑える。

配置後に残ったタイミング違反については、配置処理の直後に行うネットリストの変更処理（Post-placement Netlist Optimizer PNO⁶⁾）で除去する。PNOは、セルのドライブ力の変更や長い配線にリピータを挿入するなどのディレイ改善機能がある。すべてのタイミング違反を除去したのち、ChipMasterは、予測配線の容量値⁷⁾をPowerSlimmerへ返す。配線処理に関しては、通常の単一電源の場合とまったく同様に、チップ全体を一括して行う。

6. 低電圧を用いたクロックレイアウト

図7は2電源を用いたクロック系の構成図を示したものである。提案手法では、RRPS構造上に2電源を用いたクロックレイアウト⁸⁾を行い、組合せ論理回路に加えて、クロック系の低消費電力化をはかる。

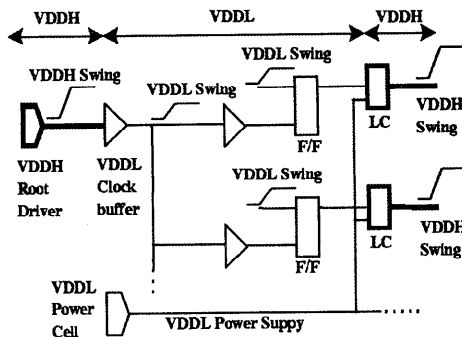


図 7 低電圧を用いたクロックレイアウト

Fig. 7 Clock scheme with multiple supply voltages.

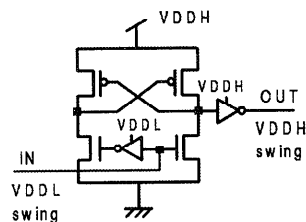


図 8 レベルコンバータの回路例

Fig. 8 Example of level converter.

同図に示すように、低電圧振幅化するクロックにつながるすべてのF/Fは低電圧駆動とする。低電圧振幅のクロックツリーは、通常電圧のバッファセルに代えて、低電圧駆動のバッファセルを用いて構成すればよい。ただし、低電圧振幅化するクロック系統に低電圧が適用できない既設計ハードマクロを含む場合には、直前にレベルコンバータを挿入しておく必要がある。

まず、図7において、VDDHで駆動されているルートドライバはVDDH振幅のクロック信号を生成する。VDDHのクロック信号の振幅は、VDDL駆動の最初のバッファセルを通過後、信号振幅がVDDLに下がる。この低電圧振幅のクロック信号は、クロックツリー上を伝播して、最終的にVDDLで駆動するフリップフロップに入る。図7に示すように、フリップフロップの信号出力がVDDH駆動の論理回路とつながる場所には、レベルコンバータ（図7のLC）を挿入する。

本手法で用いるレベルコンバータの回路例を図8に示す。レベルコンバータは通常セルと違い、VDDHとVDDLの両方の電源を必要とする。提案手法では、レベルコンバータ自身はVDDHセルロウ上に配置し、VDDHは、レベルコンバータを配置したセルロウから直接供給する。一方、VDDLに関しては、レベルコンバータ内の小さなインバータにのみに必要であるので、レベルコンバータにVDDL供給用の電源ピンを設け

て、セル外部から供給する方式をとる。この VDDL 電源は、VDDL セルロウ上に配置した専用の電源セルを通じて供給する。この電源配線に関しては、多くの電流量を必要としないので、一般信号配線と同様の手順で実現できる。ただし、1つの VDDL 供給用電源セルが受け持つレベルコンバータ数に関しては、レベルコンバータの動作性能や配線のエレクトロマイグレーションを考慮して上限を設けている。

7. 適用事例

7.1 適用対象

提案手法をメディアプロセッサチップ *MpactTM* に対して適用した。このチップは、MPEG2 デコーディング、リアルタイム MPEG1 エンコーディング、パーソナルビデオ会議、高速ファックスモデム、オーディオ機能を搭載している。オリジナルの動作電圧は、3.3 V で主クロック周波数は、75 MHz である。我々は、チップ外部からの低電圧電源として 1.9 V を与え、提案手法を適用した。レイアウトに際しては、レベルコンバータを除いてセルのレイアウトパターンは通常電圧セルとまったく同じものを低電圧用として用意した。提案手法を適用した回路モジュールはゲート数約 330 KG で、オリジナルのチップサイズは、 $7.8 \times 6.8 \text{ mm}^2$ である。

7.2 適用結果

図 9 は、提案手法を適用して得られた、ランダムロジックの消費電力削減効果を示している。グラフに示した消費電力の値は、7つのランダムロジックモジュールの消費電力の総和である。左の棒グラフは、単一電源を用いたオリジナルのチップの消費電力であり、一方、右の棒グラフは、提案手法適用後の消費電力に対応している。ランダムロジック全体の消費電力削減量は約 123 mW で、これはオリジナルチップの対応する消費電力の 47% 減に相当する。なお、消費電力の見積り値は、*PowerMillTM* によるシミュレーションの結果である。

次に、クロック系の消費電力削減効果に関して述べる。図 10 は、提案手法を用いた場合のクロック系の消費電力削減効果を示している。左の棒グラフはオリジナルチップのクロック系の消費電力を示していて、消費電力の値は、フリップフロップの内部の消費電力、クロック配線、バッファセル、およびルートドライバの消費電力の和である。

図 10 に示すとおり、フリップフロップ、バッファセル、クロック配線がクロック系全体の消費電力のほとんどを占めている。したがって、この部分の消費電力

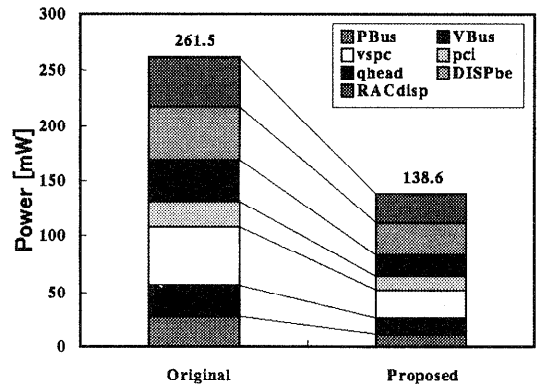


図 9 消費電力の削減効果
Fig. 9 Effectiveness of total power reduction.

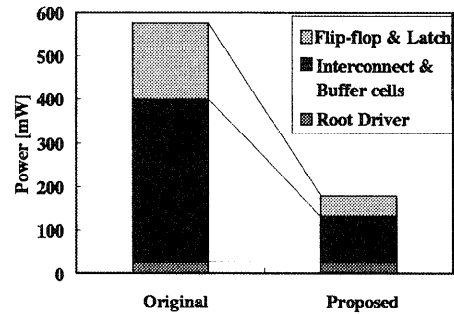


図 10 クロック系の消費電力削減効果
Fig. 10 Effect of power reduction of clock system.

を削減することが重要であり、提案手法が目的とするところである。提案手法を用いることで、クロック系の消費電力は、オリジナルに対して、68.9%削減できた。このとき、クロックデレイは 2.0 nsec から 2.8 nsec に増加したが、クロックスキューに関してはオリジナルチップとほぼ同じ値であった。これは、RRPS 構造がクロックバッファセルの配置の自由度を損なわないため、クロックツリーシンセシスでデレイバランスをはかりやすいためである。スタティックパス解析を実施したところ、今回の設計では、多電源を用いたクロックのデレイ増加がチップパフォーマンスに与えた影響はなかった。また、フリップフロップを低電圧駆動とすることで、フリップフロップのセットアップ時間に約 0.2~0.6 nsec の影響があった。本適用事例では、クリティカルパスにおけるこのタイミング的なオーバーヘッドは、2 電源化したネットをレイアウトする際のタイミング最適化によって吸収した。

2 電源を用いたレイアウトの面積的なオーバーヘッドは、各モジュールを平均して約 15% であった。これは、チップ全体としては、約 7% の面積増加に相当す

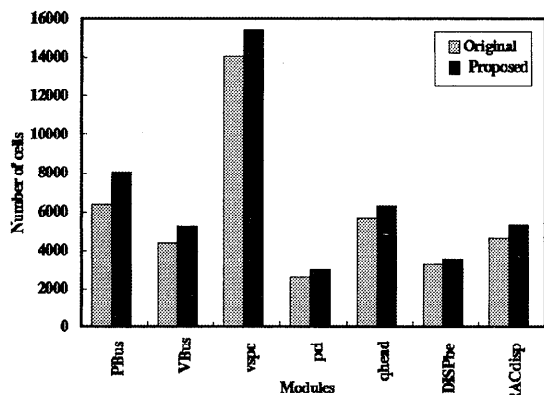


図 11 セル数の増加

Fig. 11 Increase of cell count.

る。2 電源設計手法が面積増加を引き起こす原因としては、3つの要因がある。1つは、VDDHで動く回路とVDDLで動く回路とを分離することによる面積的な増加である。2つ目は、レベルコンバータ挿入にともなうセル面積の増加である。そして、3つ目は、VDDL電源線を引くための配線面積増である。

第1の要因に関しては、提案手法では、セルロウ単位で供給電圧を最適化することでVDDH動作の回路とVDDL動作の回路とを結ぶ配線の長さの増加を最小限に抑えた。RRPS構造は、チップを多電源化するうえで、回路パフォーマンスを維持して、なおかつ、面積的なオーバーヘッドも抑えるために有効である。この部分の面積的な増加割合は、各モジュールを平均して5%程度であった。

次に、2番目の面積増加要因に関して検討する。図11は、それぞれのランダムロジックモジュールのセル数の増加を示したものである。左のグラフはオリジナルチップのセル数で、右が提案手法のものである。このセル数の増加の主な原因は、PowerSlimmerによるレベルコンバータの挿入にある。とりわけ、このモチーフでは、タイミング的に厳しいバスライン上に置かれた多出力のラッチがレベルコンバータ数を増加させた。

モジュール“PBus”と“VBus”に見られるセル数の増加は、これが原因で生じたものである。今回の適用事例では、挿入されたレベルコンバータセルの面積的な増加は、各モジュールを平均して約10%であった。このセル面積の増大は、多出力ラッチにレベルコンバータを抱き合わせた形のセルを新しく作ることで、小さく抑えられると期待できる。

3番目にあげたVDDLの電源線の面積に関しては、

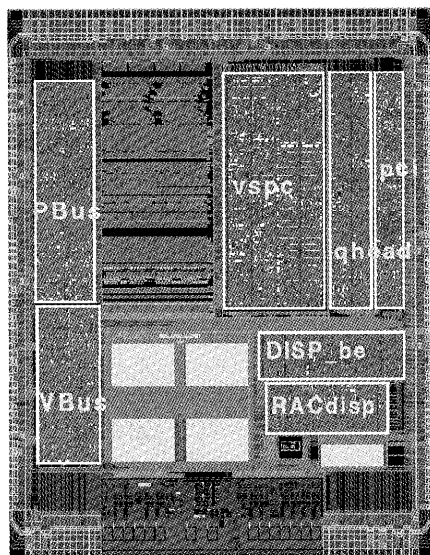


図 12 レイアウト結果

Fig. 12 Layout result.

我々のレイアウトモデルはセル内にVDDHまたはVDDLのいずれかの一方の電源線しか持たないので、非常に小さい要因であり無視できる。

図12は、提案手法を適用して得られたレイアウト結果である。白枠でハイライトした7つのモジュールに対して、2電源化を施した。

8. おわりに

我々は、低消費電力化設計のために、多電源を用いた新しい設計システムを開発した。提案手法をメディアプロセッサチップ *MpactTM* に対して適用した結果、ランダムロジックの消費電力を47%削減できた。本論文では、セルロウごとに供給電圧を最適化する多電源の供給構造、RRPS構造を新たに提案した。RRPS構造を用いれば、CVS構造のオリジナルの電圧の回路と低電圧回路とを結ぶ配線長の増加を最小限に抑えることが可能である。すなわち、配線レイの増加を抑えることができ、CVS構造の回路を、パフォーマンスを維持しながら実現することができる。さらに、RRPS構造上では、クロックスキューを悪化させずに、クロックの低電圧振幅化を達成でき、クロック系の消費電力を1/3に削減できた。

謝辞 提案手法の実証にあたり、深いご理解とご協力を賜りました三橋部長、村方課長、森課長、飯田課長、百瀬課長に深謝いたします。

参 考 文 献

- 1) Rabaey, J. and Pedram, M. (Eds.): *Low Power Design Methodologies*, Kluwer Academic Publishers, Boston, MA (1996).
- 2) Usami, K. and Horowitz, M.: Clustered Voltage Scaling Technique for Low-Power Design, *Proc. 1995 International Symposium on Low Power Design (ISLPD'95)*, pp.3-8 (Apr. 1995).
- 3) Usami, K., et al.: Low-power Design technique for ASICs by Partially Reducing Supply Voltage, *Proc. IEEE International ASIC Conference*, pp.301-304 (Sep. 1996).
- 4) Murakata, M., et al.: Concurrent Logic and Layout Design System for High Performance LSIs, *Proc. IEEE Custom Integrated Circuits Conference*, pp.465-468 (May 1995).
- 5) Usami, K., et al.: Automated Low-power Technique Exploiting Multiple Supply Voltages Applied to a Media Processor, *Proc. IEEE 1997 Custom Integrated Circuits Conference*, pp.131-134 (May 1997).
- 6) Aoki, T., et al.: Fanout-tree Restructuring Algorithm for Post-placement Timing Optimization, *Proc. Asia and South Pacific Design Automation Conference (ASP-DAC '95)*, pp.417-422 (Aug. 1995).
- 7) Igarashi, M., et al.: Timing Driven Placement with an RC Wire Delay Model for Sub-Micron CMOS Gate-Arrays, *Synthesis and Simulation Meeting and International Interchange*, pp.235-244 (Oct. 1993).
- 8) Minami, F. and Takano, M.: Clock Tree Synthesis Based on RC Delay Balancing, *IEEE Custom Integrated Circuit Conf.*, pp.28.3.1-28.3.4 (Apr. 1992).

(平成 10 年 9 月 18 日受付)

(平成 11 年 2 月 8 日採録)

五十嵐睦典 (正会員)



1985 年豊橋技術科学大学エネルギー工学科卒業, 1987 年同エネルギー工学専攻修了, 同年 (株) 東芝入社. ASIC 用レイアウト CAD システム開発に従事. 現在は, 先端 CAD システム, RTL フロアプランナ, 低消費電力化レイアウト手法開発に従事.



宇佐美公良

1982 年早稲田大学理工学部電気工学科卒業, 1984 年同大学大学院理工学研究科修了. 同年 (株) 東芝入社. 半導体技術研究所にて, マイクロプロセッサの設計技術に関する研究開発に従事. 1993~1995 年 米国スタンフォード大学客員研究員. 東芝帰任後, 低消費電力設計 CAD 技術の研究開発に従事.



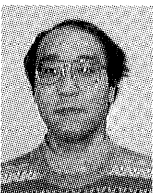
野上 一孝

1982 年東京大学工学部物理工学科卒業, 1984 年同物理学専攻科修士課程修了, 同年 (株) 東芝入社. 以来, PSRAM, キャッシュメモリ, メディアプロセッサの開発, および FPGA, 高速インタフェース回路の研究に従事. 1992~1994 年 米国スタンフォード大学客員研究員. 現在, マルチメディア LSI 設計技術開発に従事. 電子情報通信学会, IEEE 各会員.



南 文裕

1982 年東京工業大学応用物理学科卒業, 1984 年東京工業大学大学院エネルギー科学専攻科修了, 同年 (株) 東芝に入社. ASIC 用レイアウト CAD システム開発に従事. 現在は, 先端 CAD システム, 低消費電力化 CAD 技術開発に従事. 電子情報通信学会会員.



川崎 幸男

1985 年京都大学 金属学科卒業, 1987 年同大学冶金学科修士課程終了, 同年 (株) 東芝入社. LSI 製品の試作, 量産実用化開発に従事. 現在は, 画像処理用 LSI のセル設計に従事.



青木 孝哲 (正会員)

1986 年千葉大学電気工学科卒業, 1988 年同修士課程修了, 同年 (株) 東芝入社. ASIC 用レイアウト CAD システム開発に従事.

**高野みどり**

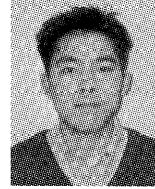
1986 年東海大学海洋工学科卒業，同年（株）東芝入社。ASIC 用レイアウト CAD システム開発に従事。1997 年より，IP コアの設計開発に従事。電子情報通信学会会員。

**金沢 正博**

1993 年早稲田大学電子通信学科卒業，1995 年同電子通信専攻修了。同年（株）東芝入社。低消費電力化 CAD システムと設計手法の開発に従事。

**水野 千春**

1990 年中央大学電気工学科卒業，1992 年同電気工学専攻科修了，同年（株）東芝入社。レイアウト CAD システム開発に従事。現在に至る。

**園田 慎次**

1992 年宮崎県立都城工業高校卒業。同年（株）東芝入社。マルチメディア LSI，グラフィックス LSI の設計に従事。

**石川 貴史（正会員）**

1990 年筑波大学情報科学科卒業，1992 年同大学院理工学研究科修了，同年（株）東芝入社。半導体設計上位レベルの CAD システム開発および評価に従事。現在，RTL および論理レベルの低消費電力化 CAD システム開発に従事。

**畑中 直行**

1993 年九州大学工学部電気工学科卒業。同年（株）東芝入社。ディジタル信号処理 LSI の研究・開発，マルチメディア LSI の設計に従事。

**市田 真琴**

1988 年豊橋技術科学大学情報工学科卒業，1990 年同情報工学専攻修了，同年（株）東芝入社。半導体技術研究所にて，オンチップキャッシュマクロ，I/O セル，高性能マイクロプロセッサ，FPGA，およびメディアプロセッサの開発に従事。現在，同マイクロプロセッサ・ASIC 事業部にて画像処理 LSI の開発に従事。
