

レイアウトを考慮した容量/面積推定モデル およびトランジスタサイズ最適化手法

田 中 正 和[†] 福 井 正 博[†]

トランジスタの拡散領域の容量やレイアウト面積を正確に推定するモデルと、そのモデルに基づいたトランジスタサイズ最適化手法について記述する。従来の手法^{1)~3)}では、レイアウト後の面積や容量は、トランジスタ幅に比例するという簡単なモデルが用いられていた。一方、本手法では、面積や容量の値がトランジスタの拡散共有の有無によって大きく変化することに着目し、セル構造の制約の下でのトランジスタのサイズや接続関係等から、トランジスタの拡散共有の行われる箇所を推定することにより正確に容量や面積を推定している。実験の結果、従来モデルを使用した場合と比較して、標準セルライブラリの遅延を最大15%改善できることが分かった。

Capacitance and Area Models Estimating Layout and Transistor Size Optimization Method

MASAKAZU TANAKA[†] and MASAHIRO FUKUI[†]

We present a new method to optimize gate width of transistors based on an accurate estimation model for the capacitance of diffusion regions and the layout area. Prior works^{1)~3)} had a problem that did not consider capacitance and area of final layout design. Our model estimates the diffusion capacitance and area by analyzing places where diffusion sharing occurs. We have improved experimental results of standard cells library at most 15 percent in the critical path delay compared with the conventional model¹⁾.

1. はじめに

プロセスの急速な進歩によりライブラリの開発頻度は増大し、また高速重視や低消費電力重視等その開発すべき品種数も増加している。そのため、ライブラリの開発期間の短縮と工数の削減とが問題となっている。さらにディープサブミクロン化が進んでくると、レイアウトに寄生して発生する容量や抵抗等、考慮しなければならないパラメータが増大し、また低電圧化により動作の信頼性も考慮しなければならない等、ライブラリの設計自体が難しくなってきてている。このような背景から、従来人手により十分な工数をかけて行われていたライブラリ設計は、自動化に頼らざるを得なくなっている。

一方、ライブラリはLSIを構成する要素であり、高性能かつ高集積のLSIを開発するためには、個々のライブラリセルが性能および面積の観点から最適化されていることが必要である。ライブラリ設計の中でもト

ランジスタサイズの決定は、遅延および面積に与える影響は大きく、その最適化技術は重要性を増してきている。

従来、トランジスタサイズの最適化手法としては、文献1)~4)の手法が提案されている。文献1)では、トランジスタを定抵抗でモデル化し、容量および面積はトランジスタの幅に比例するというモデルを用いている。同モデルを使えば遅延関数がトランジスタ幅に対して凸関数の性質を持つことをを利用して高速に最適化を行っている。一方、文献2), 3)では、より正確な非線形のトランジスタ動作モデルを用いて高精度化をねらっているが、容量および面積モデルは文献1)と同様である。

トランジスタサイズの最適化において拡散容量やセル面積を精度良く推定することは重要であり、この推定精度が悪いと、誤った方向への最適化を行うことになる。ところが、トランジスタレベルのレイアウトにおいては、トランジスタの折返しや直列接続による拡散領域の共有が行われる等、レイアウトに依存して容量や面積が大きく変化する。そのため、文献1)~3)の手法で用いているような簡単な面積および拡散容量モ

[†] 松下電器産業株式会社半導体先行開発センター
Advanced LSI Technology Development Center,
Matsushita Electric Industrial Co., Ltd.

デルでは最適性の良い解を得ることはできない。

一方、文献4)では、レイアウト実現方法に依存する容量を正確に見積るために、トランジスタサイジングとレイアウト設計を何度も繰り返し行うという手法を用いている。拡散領域や配線の容量の推定精度は高くなるが、レイアウト設計を何度も行うため計算時間がかかる。また、最終レイアウトが初期レイアウトの構造に制約されるため、最適性の良い解が得られる保証がない。

本論文では、トランジスタの拡散共有の行われる箇所をトランジスタのサイズと接続関係とから推定する高精度な容量モデルと、その推定モデルに基づいてレイアウト時のトランジスタの面積を正確に見積もり、さらに配置領域の高さとトランジスタサイズとの関係から最終レイアウト面積を正確に推定する面積推定モデルを示す。さらに、これらの高精度な容量および面積推定モデルに基づいてトランジスタのサイズ決定を行う方法を示す。

2章では拡散共有の行われる箇所の推定方法について記述する。3章では推定した拡散共有箇所に基づいて容量および遅延の推定モデルを示す。4章では拡散共有箇所および配置領域の高さを考慮したレイアウト面積推定モデルについて述べる。5章では本手法のモデルに基づいてトランジスタサイズを最適化する手法について記述し、6章で実験結果を示し考察を行い、最後に7章でまとめを行う。

2. 拡散共有モデル

2.1 拡散共有

図1はANDセルのレイアウト図である。図中a, b, cに示される部分が拡散共有が行われている箇所である。

図中aに示すように、2つの拡散領域が直列接続し、かつ、他のトランジスタ等との接続のない場合は、拡散共有を行うことにより拡散領域、コンタクト、および配線の容量および面積を削減することができる。このように直列接続による拡散共有は、遅延および面積の観点から最も効率が良く、通常他の拡散領域の共有化よりも優先して実施される⁵⁾。また図中bに示すように、トランジスタ幅が大きく、配置領域の高さHに収まらない場合には、1つのトランジスタを複数段に分割してそれらを並列に接続し、折り返して拡散共有化が行われている。図2は折返し段数Nが、(a) N=1, (b) N=2, (c) N=3の場合のレイアウトを示している。図中(b)に示されるように折返し段数が偶数の場合は、遅延性能の観点からドレイン容量を

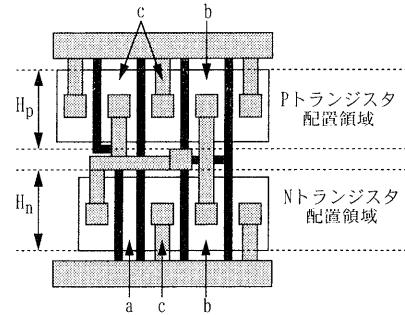


図1 トランジスタ拡散領域の共有化

Fig. 1 Sharing of transistor diffusion domains.

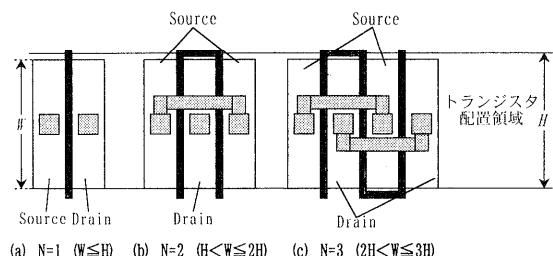


図2 折返しの段数とレイアウト

Fig. 2 Layouts according to number of folding.

最小化するように拡散共有される。

さらに図1中cのように、直列接続および折返しによる拡散共有を行った後に、共有可能な拡散領域が接続されている場合は、共有が行われる。この場合、コンタクトをともなった共有となる。

2.2 拡散共有の推定

本手法では、トランジスタの拡散共有には前節に記述したような特徴があることに着目し、以下の仮定に基づいてどのように拡散共有が行われるかの推定を行う。

(1) あるトランジスタのソースと他のトランジスタのドレインが接続し、かつ、その接続するネットが他のトランジスタや端子と接続していない場合、コンタクトなしの拡散共有が行われると判断する(図1a)。

(2) あるトランジスタのサイズが配置領域高さより大きい場合、配置領域高さ以下になるようにそのトランジスタは折り返されると判断する。このとき、トランジスタ幅をW、トランジスタの配置領域高さをHとすると、折返し段数Nは以下の式を満たす整数となる(図1b)。

$$W/H \leq N < W/H + 1 \quad (1)$$

(3) 直列接続しているトランジスタをさらに折り返す場合は、まず直列接続を優先して行き、接続されているトランジスタに対しまで折返しを行う。

(4) 折返しによる拡散共有は、ドレインを優先して行う（図 2 b）。

(5) 直列接続および折返しによる拡散共有を実施したうえで、さらに接続関係のある拡散領域がある場合はコンタクトをともなう拡散共有が行われるとする。なお、拡散共有の組合せが複数通り考えられる場合、本手法では任意の組合せを考える。これは、組合せを変更しても接続するネット全体の拡散容量の総和はほとんど変化しないからである（図 1 c）。

3. 遅延モデル

3.1 拡散容量

トランジスタのソースまたはドレインの拡散容量 C_{diff} は、拡散領域の底面容量 C_{bottom} および側面容量 C_{peri} の合計で表すことができる。

$$C_{diff} = C_{bottom} + C_{peri} \quad (2)$$

C_{bottom} および C_{peri} は、それぞれ、拡散領域の面積および周囲長に比例する。拡散共有がない場合、底面容量 C_{bottom} および側面容量 C_{peri} は、トランジスタ幅 W を用いて式(3)および式(4)で計算することができる。

$$C_{bottom} = C_b X_{normal} W \quad (3)$$

$$C_{peri} = 2C_p(X_{normal} + W) \quad (4)$$

ここで、 X_{normal} は、共有が行われない場合の拡散領域の長さであり（図 3）、 C_b 、 C_p は、それぞれ、単位拡散面積あたりの拡散底面容量、単位拡散周囲長あたりの拡散側面容量である。

次に、共有を考慮した拡散容量の計算方法について記述する。直列接続されている場合とそうでない場合に分けて記述する。

(1) 直列接続されている場合

直列接続されているソースまたはドレインは、コンタクトをともなわずに拡散共有される（図 4）。コンタクトをともなわずに共有が行われる場合の片側のトランジスタの拡散領域の長さを X_{serial} とすると、拡散領域の底面容量 C_{bottom} および側面容量 C_{peri} は、式(5)、(6)により計算することができる。

$$C_{bottom} = C_b X_{serial} W \quad (5)$$

$$C_{peri} = C_p(2X_{serial}N + W) \quad (6)$$

(2) 直列接続されていない場合

直列接続されていないソースまたはドレインは、拡散共有されないかまたはコンタクトをともなって拡散共有される。また、折返しにより N 個に分割された拡散領域のうち、共有されずに両端に位置する個数を N_{end} とすると、 N_{end} の値は、折返し段数が奇数の場合はソース、ドレインともに 1 という値をとるが、折

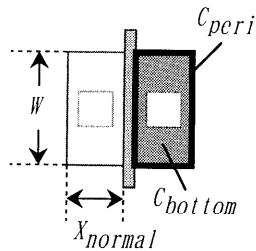


図 3 拡散容量（共有のない場合）
Fig. 3 Diffusion capacitance in case of nonsharing.

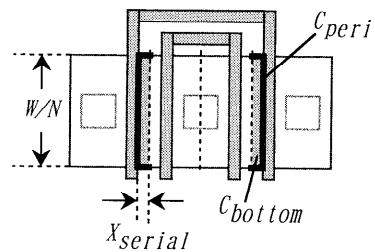


図 4 拡散容量（直列接続のある場合、 $N = 2$ ）
Fig. 4 Diffusion capacitance in case of serial connection ($N = 2$).

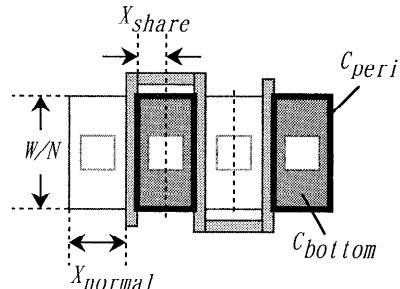


図 5 拡散容量（直列接続のない場合、 $N = 3$ ）
Fig. 5 Diffusion capacitance in case of nonserial connection ($N = 3$).

返し段数が偶数の場合はソースの場合は 2、ドレインの場合は 0 となる。これは、ドレインを優先して拡散共有が行われるためである。また、折返しにより N 段に分割されたトランジスタのうち、 N_{end} 個の拡散領域の長さは X_{normal} となり、残りは X_{share} となる。図 5 に示すように、コンタクトをともなって共有が行われる場合の片側のトランジスタの拡散領域の長さを X_{share} とすると、拡散領域の底面容量 C_{bottom} および側面容量 C_{peri} は、式(7)、(8)により計算することができる。

$$C_{bottom} = C_b \{X_{normal}N_{end} + X_{share}(N - N_{end})\}W/N \quad (7)$$

$$C_{peri} = 2C_p \{X_{normal}N_{end} + X_{share}(N - N_{end})\}$$

$$+ C_p(N + N_{end})W/N \quad (8)$$

またセル内においては、配線はそれほど長くないため、トランジスタの拡散容量およびゲート容量が支配的である。

本手法では、配線の容量は、その配線が接続するトランジスタの端子数に比例するとしている。

3.2 トランジスタ動作モデル

本手法では、文献1)の手法と同じく、動作時のソースードレイン間の抵抗 R は、トランジスタ幅に反比例するとしている。比例定数を R_0 、トランジスタ幅を W とすると、 R の値は式(9)、(10)から求めることができる。

(トランジスタ ON のとき)

$$R = R_0/W \quad (9)$$

(トランジスタ OFF のとき)

$$R = \infty \quad (10)$$

3.3 パス遅延

回路全体のトランジスタを3.1、3.2節で記述した容量および抵抗のモデルに置き換えることにより、RCネットワークが構成される。各入力信号が変化してから出力信号が変化するまでの時間を、そのパスの遅延と定義すると、パス遅延は対応するパスのRCネットワークを解くことにより計算できる。本手法では、対応するパスのRC積の総和を用いてパス遅延を計算する¹⁾。

4. 面積モデル

最適化の1つの指標であるセル面積は、従来手法ではトランジスタ幅 W のみから見積もられたトランジスタ面積の総和を用いて見積もられてきた^{1)~4)}。ところが実際には、拡散共有の有無を考慮しなければトランジスタ面積を正確に推定することはできない。また、配置されたトランジスタの間には、何も配置されない領域（デッドエリア）が存在するため、トランジスタ面積だけではセル面積を正確に推定することはできない。

そのため本手法では、拡散共有と配置領域形状に依存するデッドエリアを考慮した面積推定モデルを用いている。本章では、デッドエリアを考慮しないトランジスタ面積モデル、デッドエリアを最大限に見積もった1次元配置モデル、およびそれらを組み合わせた本手法の提唱する面積モデルについて順に記述する。

4.1 トランジスタ面積モデル

各トランジスタの占有する面積を計算し、その総和によりセル面積を推定するのがトランジスタ面積モデル A_1 である。また、各トランジスタの面積は、本

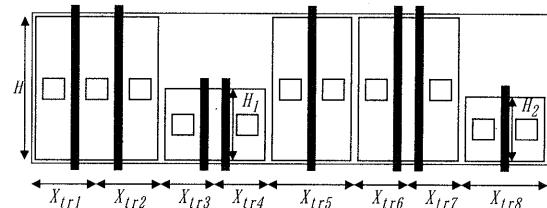


図6 トランジスタレイアウトの例
Fig. 6 An example of transistor layout.

手法の拡散共有モデル用いて計算する。トランジスタ tr_i の面積を A_{tr_i} とすると、トランジスタ面積モデル A_1 は、式(11)で計算することができる。

$$A_1 = \sum_i A_{tr_i} \quad (11)$$

図6のレイアウトにおいては、 A_1 は式(12)により計算される。

$$A_1 = H(X_{tr1} + X_{tr2}) + H_1(X_{tr3} + X_{tr4}) \\ + H(X_{tr5} + X_{tr6} + X_{tr7}) + H_2X_{tr8} \quad (12)$$

なお、実際のレイアウト面積は、トランジスタの占有面積 A_1 を下回ることはない。すなわち A_1 はセル面積の下限値であると考えることができる。

4.2 1次元配置面積モデル

トランジスタレベルの配置では、面積や容量削減の観点から、通常各トランジスタを同一方向に並べて配置される。これを1次元配置と呼ぶ。すべてのトランジスタを1次元配置した場合の面積を表したのが、1次元配置面積モデル A_2 である。式(13)に示すように1次元配置面積 A_2 は、各トランジスタの水平方向の長さ X_{tr_i} の総和と、配置領域高さ H との積で計算することができる。

$$A_2 = H \sum_i X_{tr_i} \quad (13)$$

図6の例の1次元配置面積 A_2 は、式(14)により計算される。

$$A_2 = H(X_{tr1} + X_{tr2} + X_{tr3} + X_{tr4} \\ + X_{tr5} + X_{tr6} + X_{tr7} + X_{tr8}) \quad (14)$$

実際には、一部の小さなトランジスタはデッドエリアに移動させることにより面積を削減できる可能性がある。したがって、1次元配置面積 A_2 は実際のレイアウト面積の上限値を意味していると考えることができる。

4.3 本手法での面積推定モデル

ある1つのトランジスタの幅 W と、トランジスタ面積モデル A_1 および1次元配置面積モデル A_2 による推定面積の関係を図7に示す。

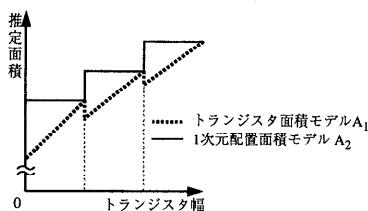


図7 面積推定モデル (A_1, A_2)
Fig. 7 Area model (A_1, A_2).

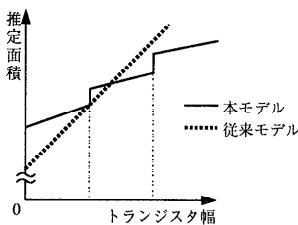


図8 面積推定モデル (本手法, 従来手法)
Fig. 8 Area models (our method and conventional method).

実際のレイアウト面積を A_{actual} とすると、トランジスタ面積モデル A_1 および 1 次元配置面積モデル A_2 との間には式(15)の関係があると考えられる。

つまり A_{actual} は、図7中 A_1 および A_2 にはさまれた領域内にあると考えられる。

$$A_1 \leq A_{actual} \leq A_2 \quad (15)$$

水平方向に 1 次元配置されたトランジスタのうち、どれだけのトランジスタが垂直方向に配置することができるかは、配置領域の高さ H やレイアウト設計手法に依存する。垂直方向に配置されるトランジスタが多ければ実際のレイアウト面積はトランジスタ面積モデル A_1 に近くなる。また垂直方向に配置されるトランジスタが少なければ 1 次元配置面積モデル A_2 に近くなる。本手法では、垂直方向の配置が起る確率を α とし、式(11), (13)から計算される A_1 および A_2 を組み合わせて面積を推定するモデルを用いる。計算式を式(16)に示す。また、その組合せ比率 α は、パラメータフィッティングに求める。

$$A = \alpha A_1 + (1 - \alpha) A_2 \quad (0 \leq \alpha \leq 1) \quad (16)$$

図8に本手法および従来手法の面積推定モデルとトランジスタ幅 W との関係を示す。本手法モデルによると、推定面積は折返し変更時に不連続に変化するという特徴がある。

5. 最適化手法

本手法の面積遅延推定モデルを用いた最適化手法について記述する。

5.1 問題定義

本手法では、以下の 2 つの最適化問題を考える。

(1) 制約としてレイアウト面積を与えた場合に、遅延の最大値を最小化する。

(2) 制約として遅延の最大値を与えた場合に、レイアウト面積を最小化する。

5.2 最適化アルゴリズム

折返し段数が変化しなければ、トランジスタサイズに対する本遅延推定モデルは凸関数の性質を持つ¹⁾。ところが折返し段数の変化により、面積および遅延の推定値は不連続に変化する。このため数理計画法による最適化手法では、局所解に陥ってしまう。本手法では、連続区間においては従来どおり数理計画法による最適化を行うが、不連続点つまり折返しの変化する点ではサイズの変化幅を可変とすることでヒルクライミングを行い局所解に陥るのを避けている。本手法の最適化アルゴリズムを以下に示す。

(step1) 初期値として、すべてのトランジスタサイズを設計制約上許される最小サイズにしておく。

(step2) 各トランジスタサイズを変化させたときのクリティカルパス遅延の変化割合 ($\Delta D / \Delta W$) と面積の変化割合 ($\Delta A / \Delta W$) とから、遅延改善度 $-(\Delta D / \Delta W) / (\Delta A / \Delta W)$ を計算する。

(step2-1) 計算するトランジスタのサイズが連続区間に位置する場合は、サイズを微小変化させたときの遅延改善度を計算する。

(step2-2) 不連続点上に存在する場合は、折返しを 1 段増加させた場合の遅延改善度の極小解を数理計画法により求める。

(step3) 遅延改善度が最大となるトランジスタを選択し、そのサイズを増加させる。

(step4) 遅延制約を満足するか面積制約限界まできた場合終了する。

(step5) そうでない場合は、(step2)～(step5)を繰り返す。

6. 実験と考察

本手法の容量/面積モデルの精度評価および最適化性能の評価を行った。その実験結果および考察について記述する。なお実験には、 $0.35 \mu\text{m}$ の標準セルライブラリを用いた。

表1 容量推定モデル評価結果

Table 1 Experimental results of capacitance models.

ネット	実容量 (うち配線容量)	従来モデル 推定容量	本手法モデル 推定容量
a	678 (33)	645 (-5%)	645 (-5%)
b	662 (17)	645 (-3%)	645 (-3%)
c	510 (7)	867 (70%)	490 (-4%)
d	1466 (30)	1542 (5%)	1433 (-2%)
e	41 (0)	157 (283%)	41 (0%)
f	306 (4)	446 (46%)	315 (3%)
g	165 (1)	565 (242%)	165 (0%)
h	510 (6)	867 (70%)	490 (-4%)
i	1319 (21)	1506 (14%)	1386 (5%)

6.1 容量精度の評価

本容量モデルの推定精度を評価するため、one-bit-half-adder を用いて各ネット容量の推定精度の評価を行った。拡散共有を考慮した本モデルおよび考慮しない従来モデル^{1)~3)}でそれぞれ推定した各ネットの容量と、レイアウトから抽出 (LPE) した容量との比較を行った。結果を表1に示す。なお、表中の値は相対値を用いている。

従来モデルでは、最大 283%と大きな誤差が見うけられるが、本モデルでは 5%以下であり実測値にほぼ近い値を示している。また、実験に用いたプロセスにおいて、ネット容量の中で配線の占める割合は 5%以下であった。しかし今後は、配線容量の占める割合が増加することが予測されるため、セル内であっても高精度に配線容量を推定することが必要となってくると考えられる。

6.2 面積精度の評価

本面積モデルの推定精度を評価するため、ライブラリ 400 セルに対し、推定面積と実面積との比較を行った。図9は、(a) トランジスタ幅から推定する従来モデル^{1)~4)}と、(b) 本手法モデルの結果を表している。図中の各点が、傾きが 1 の破線に近いほど、面積の推定精度が高いということを意味している。実験結果より、従来モデルでは約 30%の推定誤差を含んでいるが、本手法モデルによる面積推定誤差は 10%程度である。

6.3 トランジスタサイズの最適化

本手法の最適化性能を評価するため、いくつかの論理セルに対し同じ面積制約の下で最適化を行い、遅延の評価を行った。なおレイアウトは文献 5), 6) の手法を用いて自動で行い、遅延の評価には SPICE を用いた。また従来の容量および面積モデル^{1)~3)}を用いて最適化した結果との比較を表2に示す。なお表中の遅延値は相対値を用いている。

実験結果によると、本手法の最適化では従来手法に

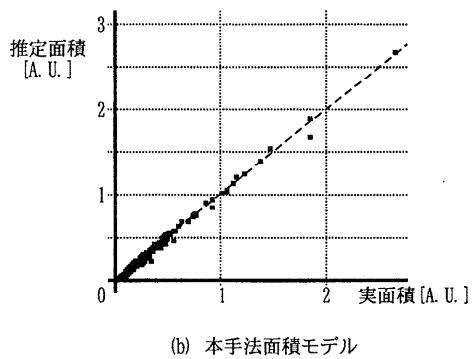
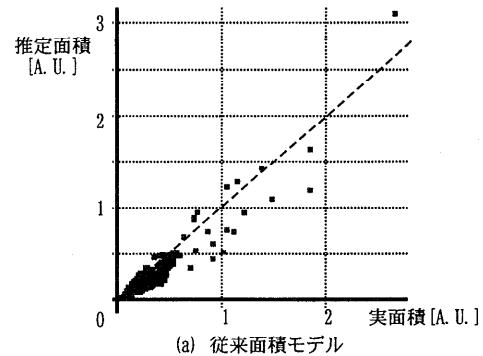


図9 面積推定モデル評価結果
Fig. 9 Experimental results of area models.

表2 トランジスタサイズ最適化結果遅延比較
Table 2 Experimental results of optimization performance.

	従来手法	本手法	遅延比
and	152	151	99.0%
buffer	68	63	92.1%
combine1	197	176	89.2%
combine2	98	82	84.4%
halfadder	450	426	94.7%
inverter	110	94	85.0%
or	323	308	95.5%
xor	523	492	95.9%

比べて同面積で最大 15%の遅延改善を行えることが分かった。つまり、容量および面積の推定精度を上げることがトランジスタサイズの最適化を行ううえで非常に重要なことを示している。

7. まとめ

本報告では、ライブラリセルを対象として、拡散共有および配置領域形状を考慮してトランジスタ容量およびセル面積を正確に推定するモデルを提案した。本手法によれば、レイアウト前の回路に対しトランジスタの容量およびレイアウト面積の見積り精度を大きく

向上させることができる。また、本手法で見積もった容量に基づいてトランジスタサイズの最適化を行った場合、バス遅延を最大15%削減することができる。今回の報告では、トランジスタの動作モデルに簡易な手法を用いているが、今後LSIの微細化や低電圧化に対応するために、トランジスタ動作モデルの高精度化、貫通電流、波形純り、電源電圧ドロップ等による影響等も反映できる高精度なモデルを用いたトランジスタサイズ最適化手法の研究を行っていく予定である。

参考文献

- 1) Fishburn, J.P., Shyu, J. and Dunlop, A.E.: TILOS: A posynomial programming approach to transistor sizing, *Proc. Int. Conf. on Computer-Aided Design*, pp.326-328 (1985).
- 2) Hoppe, B., Neuendorf, G., Schmitt-Landsiedel, D. and Specks, W.: Optimization of High-Speed CMOS Logic Circuits with Analytical Models for Signal Delay, Chip Area, and Dynamic Power Dissipation, *IEEE Trans. Computer-Aided Design*, pp.236-247 (1990).
- 3) Sapatnekar, S.S., Rao, V.B., Vaidya, P.M. and Kang, S.M.: An Exact Solution to the Transistor Sizing Problem for CMOS Circuits Using Convex Optimization, *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems*, pp.1621-1634 (1993).
- 4) Yamada, M., Kurosawa, S., Nojima, R., Kojima, N., Mitsuhashi, T. and Goto, N.: Synergistic Power/Area Optimization with Transistor Sizing and Wire Length Minimization,

-
-
-
-
- IEICE Trans. Electron, pp.441-446 (1995).
- 5) Saika, S., Fukui, M., Shinomiya, N. and Akino, T.: A Two-dimensional Transistor Placement for Cell Synthesis, *ASP-DAC*, pp.557-562 (1997).
- 6) Fukui, M., Shinomiya, N. and Akino, T.: A New Layout Synthesis for Leaf Cell Design, *ASP-DAC*, pp.259-264 (1995).

(平成10年9月24日受付)

(平成10年12月7日採録)



田中 正和

昭和41年生。平成元年大阪大学工学部電子工学科卒業。平成3年同大学院修士課程修了。同年、松下電器産業(株)入社。以来、遅延最適化、レイアウト、機能検証等、LSI設計自動化の研究開発に従事。電子情報通信学会会員。



福井 正博(正会員)

昭和58年大阪大学大学院修士課程修了。同年、松下電器産業(株)入社。以来、自動配置配線、モジュール合成、セル合成等半導体CADの研究開発に従事。平成元年~3年U.C.Berkeleyにて客員研究員。情報処理学会、電子情報通信学会、IEEE各会員。