

HDL マクロのパラメータ化実現方式

4 L-6

高坂 広之 水本 勝也 濱田 英幸 野地 保

三菱電機(株)システムLSI開発研究所

1.はじめに

ハードウェア記述言語(HDL)ベースの論理合成を意識した機能単位のHDL記述(HDLマクロ)のパラメータ化実現方式について述べる。ビット幅や入力信号数等をパラメータ化することでASICの設計効率が向上する[1]。しかし、現HDL仕様は、記述能力が不足しているため、パラメータ化不可能な記述がある。また、パラメータ化可能な記述でも論理合成で時間を要し実用的でない記述や論理合成は可能でも機能検証できない記述がある。

これらの解決策として、効果的なパラメータ化の記述部分を明らかにし、Verilog-HDLの拡張などにより対応する必要がある[2]。

本論文では、HDLマクロを標準のVerilog-HDLで記述する際の問題点をあげ、その問題点を解決するための実現方式について述べる。

2. HDLマクロのパラメータ化に伴う問題点

2.1. Verilog-HDLの文法による問題点

Verilog-HDLの文法内でHDLマクロをパラメータ化する際、以下のような問題点がある。

- ・2次元配列を用いると論理合成が出来ない
- ・構造記述(インスタンス呼び出し等)の複製が出来ない
- ・論理合成は可能であるが機能検証ができないものがある

- ・四則演算以外の関数(log,sin,cos, 平方根, ガウス記号等)が扱えない
- ・記述の部分的な置換えができない

2.2. 論理合成における問題点

論理合成する際、パラメータ化したHDLマクロには以下のようないわゆる問題点がある。

- ・意図する回路構成を保持することができない
- ・多くの計算機リソース(論理合成時間、メモリ使用量)が必要なものがある
- ・パラメータ化する際、既存のHDLマクロを極力活かした変更が難しい

3. 解決策

3.1. 実現方式

2章で挙げた問題点を解決するために必要な処理プログラムについて述べる。図1は処理プログラムの位置付けを示す。

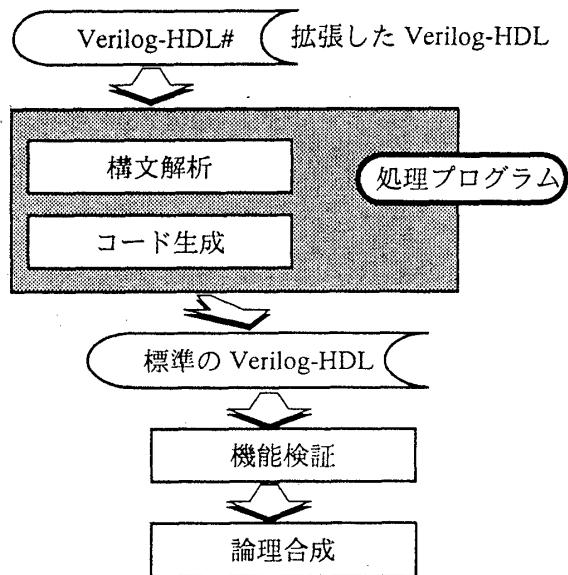


図1 処理プログラムの位置付け

既存の HDL マクロを容易にパラメータ化するため、Verilog-HDL のコメント文 (// ...) を用い、新たに拡張指示子 (//# ...) を定義し、記述範囲を拡張する。処理プログラムは、本拡張指示子から、所要の標準 Verilog-HDL の記述を生成する。図 2 はインスタンス呼び出しの複製が必要な場合の例で、イタリックで示した拡張指示子の部分からインスタンスを複製する。図 3 は Verilog-HDL に四則演算以外の関数を使用した例で、処理プログラム内で log の計算を行ない、パラメータの値を返し、標準の Verilog-HDL を出力する。

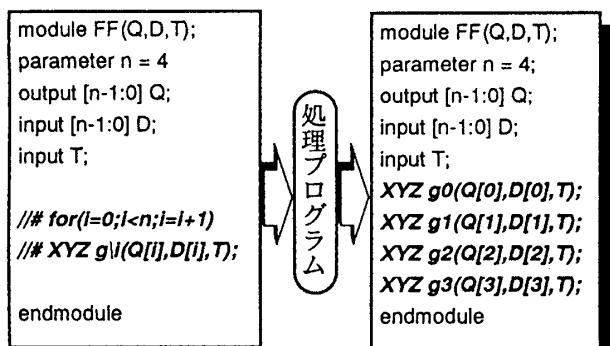


図 2 インスタンス呼び出しの複製

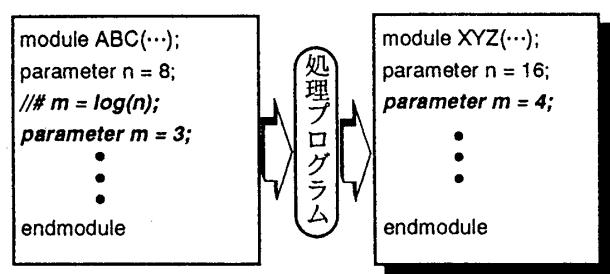


図 3 四則演算以外の関数の計算

3.2. 処理プログラムの機能

処理プログラムは (1) 構文解析 (2) コード生成から成る。

(1) 構文解析

拡張した Verilog-HDL に対して、標準の Verilog-HDL の文法および拡張指示子 (//# ...) に関する文法の誤りをチェックし、以下の処理を行なう。

- ・ 2 次元配列の認識
- ・ 構造記述の複製の認識
- ・ 分岐条件の認識
- ・ 初等関数の認識

(2) コード生成

構文解析の結果をもとに次の処理を行ない、論理合成可能な標準の Verilog-HDL を出力する。

- ・ 2 次元配列をカスタマイズしながら複数の 1 次元配列にする
- ・ 必要な個数分、構造記述を複製する
- ・ 分岐条件により、必要な条件について処理し、不要な条件は削除する
- ・ 四則演算以外の関数について計算し、値を返す

4. おわりに

HDL マクロを標準の Verilog-HDL でパラメータ化する際の問題点をあげ、その解決策として、標準の Verilog-HDL を拡張し、記述範囲を広げ、これらの問題点を解決する方法を提案した。

今後、これらを実現する処理プログラムの開発を推進していく。

[参考文献]

- [1] 水本、青木、高坂、濱田：“ブロック図による HDL ベース設計環境” 情報処理学会 研究報告,91-DA71,pp53-60(1994)
- [2] 近藤、山崎、岩瀬：“Verilog-HDL を用いたデータパス・ライブラリの構築法” 情処シンポジウム論文集 Vol.93,No.5,pp.69-72(1993)