

ファジィ理論に基づく論理回路の構成法

4L-2

° 山田 豊士 久津輪 敏郎 小堀 研一 江端 克彦

(大阪工業大学)

(広島電機大学)

1. はじめに

近年LSIの論理回路の設計は大規模化・複雑化・多品種小量生産化にともない各種の論理自動合成システムが研究されているが、論理自動合成された回路が常に利用者の要求を満たした回路とは限らない。今回はトレードオフの関係にある回路の各条件（速度・面積・消費電力）を考慮し、再合成するアルゴリズムを提案する。

2. 回路変換法

再合成する際の回路変換はルールベースの手法をとるが、その際に競合するルールの選択において、ファジィ理論のメンバーシップ関数に着目し、このメンバーシップ関数を各ルールの選択評価関数として用いた。

2. 1. メンバーシップ関数

ファジィ推論を用いるにあたり、重要となるのが、各条件のメンバーシップ関数化である。

各条件の表現を以下に示す。

表1. 各条件とその表現法

各条件	表 現
速 度	最大マクロ段数
面 積	各素子の総パッケージ数
消費電力	消費電力

ファジィ推論の前件部には今回表1に示す3条件のうち、速度に関してもう1つ加えて合計4つの入力とした。また各入力値はそれぞれ以下のようにした。

速 度 1：ルールの採用後の最大マクロ段数

速 度 2：ルール採用前後のその変換部分での速度差

面 積：ルールの採用後の総パッケージ数
ただし、回路全体の面積変化を見に行く。

消費電力：ルール採用前後の消費電力の差

今回用いたファジィ集合は、ごく一般的な直線型（区分的線形型）を採用した。図1に速度1についてファジィ集合の例を示す。

その他のファジィ集合も同様となっている。

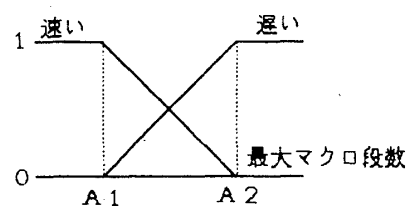


図1. 速度1のメンバーシップ関数

また、メンバーシップ関数においてA1、A2は各々変換部に対しての要求値（A1）と許容範囲（A2）である。これらはルールが競合した時にその競合ルールによって速さなどの度合いが異なるため、定数とはしないで競合ルールに合わせて数値化していく。数値化の方法は各条件で異なり、次のようになる。

Logic Synthesis Using Fuzzy Algorithm

Toyoshi Yamada', Toshirou Kutuwa',

Kenichi Kobori', Katuhiko Ebata"

' Osaka Institute of Technology

5-16-1 Omiya, Asahi, Osaka 535, Japan

" Hiroshima-Denki Institute of Technology

6-20-1 Nakano, Aki, Hiroshima 739-03, Japan

※速度1

 $A1 = \text{変換前の最大マクロ段数} \times 0.7$
 $A2 = \text{変換前の最大マクロ段数} \times 2$

※速度2

 $A1 = \text{競合ルール最速入力値} - A2 \times 0.2$
 $A2 = \text{競合ルールの全入力値の平均値}$

ただし、競合ルールが2つの時

 $A2 = \text{遅い方の入力値} - \text{平均値}$

※面積

 $A1 = \text{変換前の総パッケージ数} \times 0.7$
 $A2 = \text{変換前の総パッケージ数} \times 2$

※消費電力

 $A1 = \text{競合ルール最省電力値} - A2 \times 0.2$
 $A2 = \text{競合ルールの全入力値の平均値}$

ただし、競合ルールが2つの時

 $A2 = \text{遅い方の入力値} - \text{平均値}$

また後件部には、変換ルールの選択有効性を示す評価値を出力とした。メンバーシップ関数は前件部同様に直線型を用いた。これを図2に示す。

2.2. 重み付け

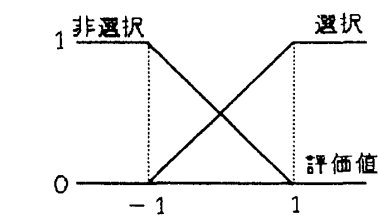


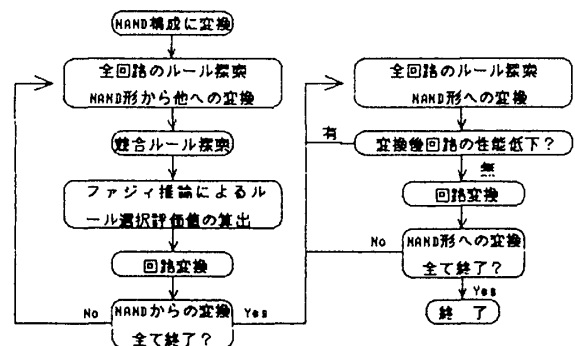
図2. 選択度合いのメンバーシップ関数

もう少し柔軟に競合ルールの選択を行うために、優先する入力値に対して重み付けする事により、その入力値の評価依存度を高くした。ここでいう重み付けとは、選択の際にはminimumを取るため、各条件の適合度を数%圧縮させることによりその条件の影響度を強くする事である。

3. 本システムのアルゴリズム

本システムではTTLを基に処理を行っているため、消費電力の最も少ないNANDゲートで全ての回路を組む方が他のゲートを組み合わせて回路を組むより省電力の回路が組める。そのため本システムでは消費電力の少ない回路にまず変換し、その後、条件（面積・速度）の各々に適した変換を行っていく事により条件を満足した回路を構成していく。

4. まとめ



次式で表される組合せ回路について行った結果を表2で表した。

$$Z = (AB + \bar{A}\bar{B})C + (\bar{A}B + A\bar{B})\bar{C}$$

表2. 各条件による性能評価

	最大マクロ 段数	総パッケ ージ数
消費電力優先	5 段	4 個
速度優先	4 段	4 個
面積優先	5 段	3 個

このことから元の回路（消費電力優先）に比べ速度優先の場合では最大マクロ段数が、また面積優先の場合では総パッケージ数が減少している事がわかる。