

超並列配線システム RP の実運用とその評価*

7B-5

大塚育生†
富士通 通信事業推進本部河村 薫‡
富士通研究所 並列処理研究センター¶

1. はじめに

通信装置の大規模化・高集積化にともない、CAD システムにはより経路探索能力の高い自動配線ツールが強く求められていた。Routing Processor [1] (RP) は、高密度プリント基板の自動設計に於いて、高配線率を短時間で実現することを目的として開発された超並列配線システムである。

RP の試行運用では、高配線率を達成できることが確認できたが、得られた配線パターンを製造や電磁気的特性の観点から判断した場合、実用上好ましくないと思われる部分が生じた。本稿では、それらの課題の解決方法と、その改善の結果得られた性能について評価報告する。また、性能を客観的に示すために、市販の自動配線ツールとの性能比較も行なう。

2. RP の特徴

RP のハードウェアは、16K 個のプロセッサアレイを持つ SIMD 型超並列計算機と、制御用の EWS で構成される。

ソフトウェアは、Lee の迷路法 [2] をベースに、タッチアンドクロス法と呼ぶ配線法 [3] をインプリメントしている。この配線法は、エラーを許して引いた経路に対し、via、経路長、エラー箇所にかかるコストと呼ぶペナルティを科して、コストが最小になるように経路探索を繰り返して行くことに特徴がある。

システムの使用法は、EWS に用意されたバッチシステムに対して、各設計サイトからレイアウト、ネット情報を送信し、配線結果を受信するという手順を採る。

3. 実設計使用に際しての課題

RP の試行運用版は、当初の狙い通り高配線率を実現したが、時間性能と配線パターンに問題があった。時間性能は、典型的な基板モデルに対して半日程度で配線を終了することが要求されていたが、データによっては3日以上かかるものがあった。配線パターンについては、via 数を1ワイヤーあたり1個程度に抑えることが望まれた。理由は、基板の電磁気的特性と生産コストへの影響を考慮したためである。また、配線パターンの分布が層間で均等にならず、表面層に最大で68%の線長が集中するデータがあり、基板の電磁気的特性に悪影響を与えると懸念された。そこで、我々は

実用化への課題として、(1) 配線時間の短縮、(2) via 数の抑制、(3) 配線密度の均等化、の3つを設定した。

4. 課題の解決方法

4.1. 配線時間の短縮 (配線格子数の削減)

処理時間を増大させる最大の要因は、配線領域内の配線格子数の増加である。試行運用版の RP では、設計ルールに定義された標準格子に載らない QFP 端子やマニュアル入力によるオフグリッドパターンが存在した場合、それらをプロセッサアレイ上にマッピングするために標準以外の配線格子を発生させていた。そこで、標準格子が端子形状内に存在する場合は端子中心と格子点が一致しなくても標準格子点を使用するように、配線格子系に改良を加えた。ただし、最終的にパターン出力を行なう前に端子中心を通るパターンに変更する。また、オフグリッドパターンについては、格子点による表現をやめて、実座標からその都度標準格子上にマッピングすることとした。

これによってマッピング時間の増加が予想されるが、格子点削減による経路探索時間の削減効果の方が大きいと判断した。

4.2. Via 数の抑制 (最大 via/wire 指定の実現)

RP では、via に対するコストを上げれば via の発生をある程度抑制できる。しかしエラーに対するコストは最終的に無限大になるまで大きくするため、処理の後半での via 数の増加を抑えることができない。

そこで、ワイヤーあたりの取得可能 via 数を制御するパラメータを新たに設定し、経路探索時に指定 via 数以上の via を持つ経路を探索しないようにソフトウェアを改良した。

4.3. 配線密度の均等化 (4 層同時配線の実現)

層間の配線密度のばらつきは、全ての信号層で一括配線すれば起こらない。しかし、RP ではメモリ量の制約から2層ペアで処理を行っていた。このため、多層基板では最初に処理される層ペアにパターンが集中していた。我々は、タッチアンドクロス法の経路探索アルゴリズムの見直しを行ない、4層まで同時配線可能にした。更に、経路探索の繰り返し回数を見直しを行ない、最内層ペア以外では繰り返し回数を抑えるようにした。4層同時配線は、経路長・via 数など配線の品質を大きく向上できることが期待できる他、エラー数の収束性が良くなり、処理時間の短縮も期待できる。

*Evaluation and improvement of massively parallel routing system RP through practical operation

†Ikuro Ohtsuka

‡Kaoru Kawamura

§Telecommunication Systems Group, FUJITSU LIMITED

¶Parallel Computing Research Center, FUJITSU Laboratories Ltd.

表 1: 配線格子数の削減前後の処理時間の比較

		data1	data2	data3	data4	data5	data6
削減前	格子数	1441:1422	1059: 908	1615:1700	1190:1012	1375:1079	1430:2199
	配線時間	80h59m	21h17m	53h01m	49h54m	42h24m	123h42m
削減後	格子数	1025: 905	880: 610	1114:1005	1026: 905	992: 657	1104: 914
	配線時間	24h27m	20h44m	25h12m	31h54m	23h42m	40h01m

表 2: via 数抑制前後の比較

		data1	data2	data3	data4	data5	data6
抑制前	via 数	7899	4424	6319	3228	5064	9175
	via/wire	1.9	1.3	1.5	0.9	1.3	1.5
抑制後	via 数	6047	3740	3922	1431	4268	6046
	via/wire	1.5	1.1	0.9	0.4	1.1	1.0
4 層配線	via 数	4729	3383	3570	976	3675	5039
	via/wire	1.1	1.0	0.8	0.3	0.9	0.8

表 3: 市販のツールとの比較

Router		data1	data2	data3	data4	data5	data6
RP	時間	6h42m	7h41m	8h11m	8h56m	10h40m	13h21m
	配線長 [m]	148.2	121.3	142.0	183.3	130.4	220.4
	パターン数	22447	19099	19882	13747	21643	31157
	未配線	0	0	0	0	1	0
市販ツール	時間	19h44m	35h43m	15h24m	14h41m	39h42m	43h12m
	配線長 [m]	145.0	118.5	164.4	196.6	121.7	214.5
	パターン数	23534	19160	15988	26768	24541	29756
	未配線	5	10	355	0	52	18

5. 性能評価

性能評価用データには実際に製品化されたプリント基板を 6 点抽出した。

表 1 に配線格子削減前後の配線格子数と配線時間の変化を示す。上段が配線格子数 (x:y)、下段が配線時間である。格子数は平均で 30% 削減された。配線時間は平均で 46% 削減された。4 層同時配線に改良後は、更に平均 66% 削減することができた (表 3)。RP の時間性能は、夕方 job 投入して次の日の朝には配線完了という要求を満足するレベルであり、設計時間の短縮に大きく貢献している。

表 2 は via 数を削減前後および 4 層同時配線前後の via 数の変化を示す。表の上段は via 数、下段はワイヤあたりの via 数 (via/wire) である。via 数をパラメータで直接制御できるように改善した効果により、via/wire は平均で 1.0 となり、ほぼ目標性能に達した。さらに、4 層同時配線を行なうようにした後では、via/wire の平均は 0.8 であり、1.0 を下回った。

配線密度の層間差は、試行運用版では表面層に 68% の配線長が集中するデータがあったが、4 層同時配線を行なった後は表面層と内層との配線長分布は数 % の差までに均一化された。

表 3 は RP と市販ツールの配線結果を示す。RP は経路長、パターン数に於いても市販ツールをしのいでおり、品質の向上にも寄与している (表 3)。

6. 今後の課題

通信機器の実装設計は回路の高速化が進んでおり、遅延や伝送路の電磁気的な干渉を考慮した設計が必要となっている。そのような部分を自動配線するためには平衡配線・等長配線といった特殊配線機能を実現する必要がある。

現在、RP は斜め配線ができないため、45 度方向の配線を必須とするような部品からの配線ができず、マニュアルでの引きだしを必要としている。したがって斜め方向の配線を実現する必要がある。

謝辞

日頃御指導いただく並列処理研究センター 白石部長、RP 開発メンバー諸氏、共通回路技術部 空閑部長、CAD 開発部 伊東部長、山口氏、試行データを提供していただいた設計部門諸氏に感謝致します。

参考文献

- [1] T. Shibuya, et al., "APPLICATION SPECIFIC MASSIVELY PARALLEL MACHINE" *Proc. of FRONTIERS '90* October 8-10, 1990.
- [2] C.Y. Lee, "An Algorithm for Path Connections and its Applications" *IRE Transaction on Electric Computers*, pp. 346-365, Sep. 1961.
- [3] K. Kawamura, et al., "TOUCH AND CROSS ROUTER" *Proc. of ICCAD*, pp. 56-59. Nov. 1990.