

# CMOS論理回路における消費電力シミュレーションの一手法

## 3C-9

大西充久 藤本徹哉 神戸尚志  
シャープ株式会社

### 1. はじめに

近年、LSIの低消費電力化のため、高精度な消費電力シミュレーション手法の需要が高まっている。

従来、論理シミュレーション技術を用いてCMOS論理回路中の容量性負荷の充放電電流と貫通電流から消費電力を見積もる手法があった[1, 2]。この手法では、回路シミュレーションを用いてセルに消費電力パラメタを割り当て、ゲートレベルシミュレーションにより求めたネットの電位変化回数と消費電力パラメタから消費電力を求める。しかし、精度が高いパラメタを算出するための回路シミュレーションに多大の手間を要した。

本研究では、容量性負荷パラメタを用いて消費電力シミュレーションを行なう手法を提案する。容量性負荷パラメタは、ネットの電位が変化したときに充放電される負荷容量の和であり、回路図やレイアウトパターンと基準となるトランジスタゲート容量、配線容量、接合容量から算出でき、回路シミュレーションを行なう必要がない。また、ゲートレベルシミュレーションではトランジスタのスイッチング動作を十分に把握できないため、セルの構造や動作によって複数のパラメタ算出方法を使い分け、精度を向上させる。実験により、本手法がメガセルを含むLSIに対して高い精度の消費電力を求めることができることを示す。

### 2. 消費電力シミュレーション手法

本手法は、CMOS論理回路中の容量性負荷の充放電電流が回路全体の消費電流の大半を占めるという考えに基づく。消費電力  $P(W)$  は、電流  $I(A)$ 、動作電圧  $E(V)$ 、移動電荷量  $Q(C)$  とすると、式(1)となる。

$$P = IE = \frac{dQ}{dt}E \quad (1)$$

容量性負荷  $i$  における単位時間あたりの移動電荷量  $dQ_i/dt$  は、負荷容量  $c_i(F)$ 、単位時間当たりの電位変化回数  $t_i(\text{回})$  とすると、式(2)となる。

$$\frac{dQ_i}{dt} = t_i c_i E \quad (2)$$

各容量性負荷の電位変化回数は、消費電力測定用テス

An estimating method of power consumption for CMOS circuits  
Mitsuhisa OHNISHI, Tetsuya FUJIMOTO, Takashi KAMBE  
SHARP Corporation, 2613-1, Ichinomoto, Tenri, NARA 632 JAPAN

トベクタを用いて論理シミュレーションにより求める。

### 3. 容量性負荷パラメタの算出

本手法では、配線の容量性負荷パラメタは、配線の電位が変化したときに充放電される負荷容量であり、基準となる配線容量とレイアウトパターンから算出する。

セル及びメガセル端子の容量性負荷パラメタは、端子の電位が変化した時に充放電されるセル内部の負荷容量の和であり、トランジスタゲート容量、セル内配線容量、拡散と基板間の接合容量から算出する。このとき、パラメタの精度を向上させるために以下の4つの算出方法を使い分ける。以下では、端子Xの容量性負荷パラメタを  $P_X$ 、トランジスタゲート容量を  $g$ 、拡散と基板間の接合容量を  $c$ 、インバータの負荷容量を  $i$  とし、セル内配線容量はいずれかの容量に含まれるものとする。

- a. 単純な構成のセルのパラメタ算出方法
- b. 確率的近似を行なうパラメタ算出方法
- c. 実動作を考慮するパラメタ算出方法
- d. メガセルのパラメタ算出方法

a. は、セル端子の電位が変化した時に充放電される負荷容量がセルの動作や状態に依存しない場合に用いる。図1のバッファセルの例では、A端子の容量性負荷パラメタ  $P_A$  は  $g_1 + g_2 + c_1$  の和、Y端子の容量性負荷パラメタ  $P_Y$  は  $c_2$  とする。

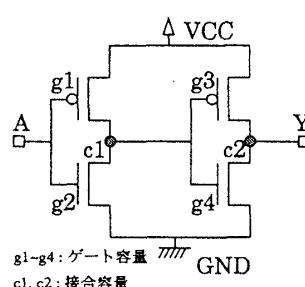


図1: バッファセル

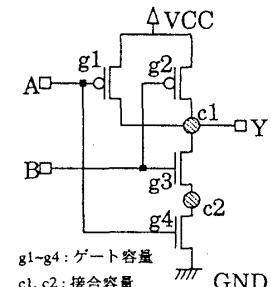


図2: 2入力NAND

b. は、複数の入力信号の組合せによって充放電される負荷容量が決まる場合に用いる。例えば、図2の2入力NANDにおいて、接合容量  $c_2$  の電位は入力信号 A,B の組合せにより決まり、A,B の信号が完全にランダムであると仮定すれば  $3/8$  の確率で充放電されることになる。よって、2つ入力端子に均等に振り分け、 $P_A =$

$g1+g4+1/2 \times 3/8 \times c2, P_B = g2+g3+1/2 \times 3/8 \times c2, P_Y = c1$  とする。

c. は、充放電される負荷容量がセルの動作に依存する場合に用いる。図3のフリップフロップを例としてあげる。 $P_{CK}$ は $g1 \sim g8, i1, i2$ の和とする。 $P_D$ 及び $P_Q$ はCKの値によって2つのパラメタが考えられる。CK=1のとき、 $P_D$ は $c1$ 、 $P_Q$ は $i3 \sim i7, c2 \sim c8$ の和とし、CK=0のとき、 $P_D$ は $i3, i4, c1 \sim c5$ の和、 $P_Q$ は $i5 \sim i7, c6 \sim c8$ の和とする。そして、CK=1とCK=0のどちらにイベントが多く発生するかによりパラメタを選択する。

$P_{QB}$ は $P_{QB} = i7$ とする。

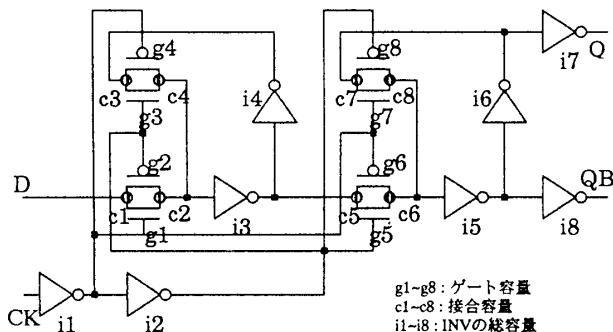


図3: フリップフロップ

d. は、ROM/RAMなどのメガセルの容量性負荷パラメタを算出する場合に用いる。端子の電位が変化した時に充放電されるメガセル内部の負荷容量を上記a.~c.により算出する。さらに、ビット線、ワード線などの配線容量やメモリセル部の接合容量といった負荷容量も、基準となる配線容量や接合容量と、レイアウトパターンから得られる配線長や拡散領域の面積、側壁長などから算出し、メガセル端子に割り当てる。

以上の4つの方法を使い分け、セルとメガセルの容量性負荷パラメタを算出する。

外部接続端子の容量性負荷パラメタは、LSIの外部接続端子に接続される周辺回路の負荷容量を与える。

#### 4. 性能評価

本手法の評価実験を行なった。対象としたLSIは音声信号処理用DSPで、2つのROMと3つのRAMを持ち、回路規模は約24,000ゲートである。外部接続端子の容量性負荷パラメタには消費電力を測定した周辺環境の負荷容量を与えた。

2つのLSI、計6通りの動作モードをシミュレーションした結果とデバイスの実測値を表1に示す。図4に実測値とシミュレーション結果の関係を示す。

シミュレーション結果は実測値より下回っている。これは、本手法では常時回路中に流れるDC電流を考慮していないことや容量性負荷パラメタの算出時に行なった

近似による誤差が原因として考えられる。

表1: 実測値とシミュレーション結果(単位: mA)

	実測値	見積り	誤差	配線	セル	メガセル
1	30	29.4	-2%	1.7	27.8	0.0
2	45	40.9	-9%	2.7	34.6	3.7
3	60	53.0	-12%	4.1	43.1	5.8
4	30	27.5	-8%	2.0	21.8	3.7
5	44	42.4	-4%	3.4	33.7	5.3
6	39	37.4	-4%	3.2	28.9	5.3

全体で見ると、本手法による消費電力シミュレーションにおける誤差は-2%~-12%と良好であり、十分实用できると考えられる。

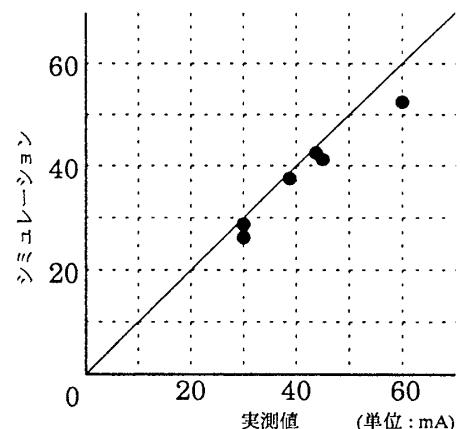


図4: 実測値とシミュレーション結果

#### 5. まとめ

配線やセル及びメガセルの端子に与える容量性負荷パラメタと論理シミュレーションによって求められる配線やセル端子の電位変化回数から消費電力を算出する手法を提案した。回路図やレイアウトパターンと基準となるゲート容量、配線容量、接合容量から容量性負荷パラメタを算出するため、回路シミュレーションを行なう必要がなく、実験によりメガセルを含む回路に対しても十分実用的であることを確認した。

今後、容量性負荷パラメタの精度向上、回路中のDC電流と貫通電流をモデル化して本手法に実装し、さらに精度を向上させ評価を行なっていく予定である。

#### 参考文献

- [1] 内村, 奥野, 金子, "論理シミュレーションを利用した消費電力見積りツール", 第5回回路とシステム軽井沢ワークショップ論文集, pp.273-277, Apr. 1992.
- [2] 指宿, 中畑, 大西, 伊串, "LSI論理設計における消費電力算出の一手法", 情報処理学会第46回全国大会予稿集, Vol.6, pp.155-156, Mar.1993.