

教育用 32 ビット マイクロプロセッサ QP-DLX の 設計における論理合成とテスト生成

1C-5

永浦 渉 岩井原 瑞穂 村上 和彰 安浦 寛人

九州大学 大学院総合理工学研究科 情報システム学専攻

1 はじめに

現在、我々は教育用 32 ビット マイクロプロセッサ QP-DLX の開発を行なっている。QP-DLX の開発はハードウェア記述言語 SFL による設計から設計検証、論理合成、論理圧縮、実部品マッピング、さらにレイアウト、テストベクトル生成、論理シミュレーション、ボード設計までを行なっている。ここでは SFL 記述で設計された QP-DLX を論理合成し、論理圧縮、実部品マッピングを経て最終版ネットリストを出力し、レイアウト側へ受け渡すまでの過程とテストベクトル生成に関して述べる。

論理合成、論理圧縮、実部品マッピングは、CAD ツールとして、NTT で開発された論理合成システム PARTHENON を使用し、論理回路簡単化プログラム onset (Optimizer for logic Networks Supported by Extension of Transduction method) を適用して面積最小となるよう論理圧縮を行なった。さらにクリティカルパス圧縮も行なった。実部品マッピングでは、セルライブラリとして VLSI Technology 社の VSC450 を用い、スタンダードセルへのマッピングを行なった。テストベクトル生成は CAD ツールとして、COMPASS Design Automation 社のテストベクトル生成ツール STAR を使用し、QP-DLX の観測機能を利用したテストベクトルを生成した。

2 論理合成から実部品マッピングまでの過程

QP-DLX の論理合成から実部品マッピングまでの過程を述べる。文章中の番号は図 1 を参照されたい。

まず、① SFL 記述で設計された QP-DLX を論理合成する。論理合成は PARTHENON により自動で行なわれ、初版のネットリストが出力される。次に、②最上位から見て直下の主なモジュール (IF ステージ、ID ステージ EX ステージ、MEM ステージ、WB ステージ、Controller、RegisterFile、FORWARD)[2] に対して論理圧縮および実部品マッピングを行なう。その後、③実部品マッピングを行なったモジュールを凍結した後、最上位の論理圧縮および実部品マッピングを行なう。最上位直下の主なモジュールを凍結した理由としては、第 1 に一度に全体を論理圧縮すると膨大な時間がかかる。第 2 に、レイアウトする際に、主なモジュールの入出力の変更を防ぎ、フロアプランを立て易くするためである。

Logic Synthesis and Test Vector Generation for Educational-Purpose 32bit Microprocessor QP-DLX
Wataru NAGARA, Mizuho IWAHARA, Kazuaki MURAKAMI, Hiroto YASUURA
Department of Information Systems, Interdisciplinary Graduate School of Engineering Sciences, Kyushu University, Kasuga-shi, Fukuoka, 816 Japan

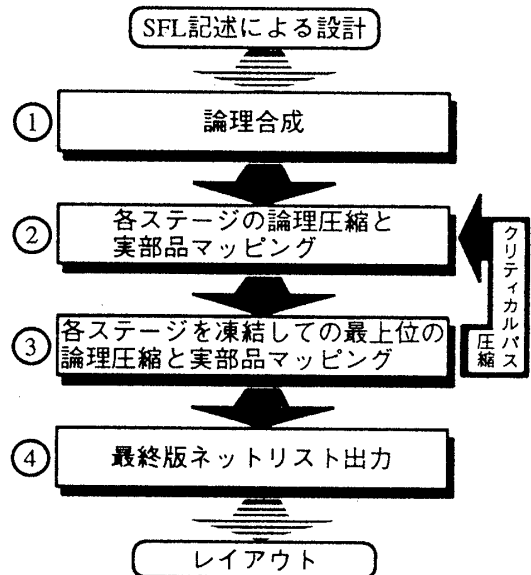


図 1: 論理合成から実部品マッピングまでの開発フロー

ここまでの論理圧縮は論理回路簡単化プログラム onset を複数回繰り返し適用し、面積が最小となるように行なった。onset については次章で詳しく述べることにする。この後、クリティカルパスを検出し、②このパスに属するモジュールに対して最短パスとなるように論理圧縮および実部品マッピングを行なう。再度、③最上位でクリティカルパスを検出し、先ほどと違うパスであるなら、②そのパスに属するモジュールに対して最短パスとなるように論理圧縮および実部品マッピングを行なう。同じパスであるならこれ以上圧縮できないので、④最終版のネットリストとして EDIF 形式で出力しレイアウト側に引き渡す。この一連の開発フローを図 1 に示す。

3 トランスダクション法を用いた論理圧縮の面積と遅延の関係

論理圧縮は PARTHENON2.2 で導入された論理回路簡単化プログラム onset を適用した。onset は組合せ回路をくくりだした後、トランスダクション法を用いて効率的な回路の変換や冗長性の除去を施し、回路削減を行なうものである [1]。さらに onset では複合ゲートへのマッピングも行なっている。くくりだす組合せ回路の入力数は 31 以下に制限されており入力数を大きくするほど回路削減の効果は大きいが必要時間は大きくなる [1]。また、onset を複数回繰り返し適用することでゲート数や面積は減少するがその反面、遅延が増加するとい

	(a) 初版ネットリスト	(b) クリティカルパス 圧縮前のネットリスト	$\frac{(a)-(b)}{(a)} \times 100$	(c) 最終版ネットリスト	$\frac{(a)-(c)}{(a)} \times 100$
セル面積	154264	148676	3.66	152104	1.40
最大遅延 (ns)	71.1	116.0	-63.3	72.8	-2.47

表 1: 論理圧縮結果

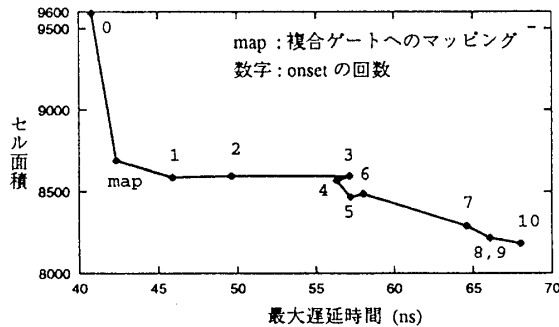


図 2: onset の実行回数と回路の面積および遅延時間の関係

う欠点がある。ここでは、クリティカルパスに属するモジュールである EX ステージの Alu を用いて onset を複数回繰り返して行なうことでセル面積および遅延時間がどのように変化していくかを調べ、クリティカルパス圧縮の参考にした。くりだす組合せ回路の入力数は 12 とし onset のスクリプトは [1] を参考にし、クリティカルパス圧縮となるスクリプトを用いた。実験結果を図 2 に示す。図 2 より明らかに onset を適用すると面積減少の効果に比べ遅延時間の増加が著しく、onset はクリティカルパス圧縮には適さないことがわかる。

4 クリティカルパス圧縮

前節で述べたように onset を複数回繰り返して適用すると面積は小さくなるがその反面遅延は大きくなる。従って、クリティカルパスを圧縮する場合は onset の複合ゲートへのマッピングのみを適用することにした。結局、QP-DLX で行なった論理圧縮は図 1 を用いて説明すると、最初、②では全て onset を適用して論理圧縮を行なう。③でクリティカルパスを検出し、次の②ではそのパスに属するモジュールに対しては onset 適用前のネットリストと取り替え、onset による複合ゲートへのマッピングのみ行なった。なお、onset のスクリプトは [1] を参考にし、面積最小となるスクリプトを用いた。くりだす組合せ回路の入力数は 12 とした。

5 論理圧縮の結果

以上の過程により、最終版のネットリストが出来上がった。結果を表 1 に示す。表 1 より、面積減少の効果に比べ、遅延は著しく大きくなることがわかる。このために最終版のネットリストは初版のネットリストに比べて面積は小さくなったが最大遅延時間は大きくなってしまった。QP-DLX の構成は、

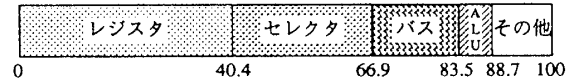


図 3: QP-DLX の構成 (ゲート数)

観測機能が備わっているためバスやセレクタが多いのが特徴である (図 3 参照)。クリティカルパスはフォワーディングに関するもので、1 クロック内で IF、ID、EX の 3 つのステージとフォワーディング回路を経由している。

6 QP-DLX におけるテストベクトル生成

QP-DLX のテストベクトルは COMPASS のテストベクトル生成ツール STAR を用いて生成する。このツールは、組合せ回路もしくは、スキャン機能が挿入された順序回路のネットリストを入力すると、テストベクトル、故障検出率 (= 検出された故障数 / 検出可能な故障数)、各テストベクトルに対する故障検出箇所等が出力される。

QP-DLX は観測機能が備わっており、レジスタ類、各ステージ間のラッチ等の読みだし/書き込みが可能であるので、この機能を利用したテストベクトル生成を行なった。ラッチ間、レジスタ-ラッチ間の組合せ回路部のネットリストを抽出し、STAR によりその回路のテストベクトルを生成する。テストする場合は入力側のラッチ (レジスタ) に入力値を書込み 1 クロック動作した後出力側のラッチ (レジスタ) の値を読み出すことによりテストできる。

7 おわりに

本稿では主に onset を適用した論理圧縮について述べた。最終版ネットリストは、初版のネットリストに比べ最大遅延時間は 2.47% の増加だったが、面積は 1.40% の減少となった。面積と最大遅延時間とのトレードオフを考慮しなかったのがクリティカルパス圧縮後の面積が増大してしまった。また、今回行なった論理圧縮が onset の機能を十分に活かしたものであったか検討する必要がある。

参考文献

- [1] 須山敬之, 名古屋彰: PARTHENON2.2 組合せ回路くりだしによる回路削減方法, 第 3 回 PARTHENON 研究会資料集, pp.25-32, 1993 年 11 月。
- [2] 岩井原瑞穂 他: 教育用計算機 QP-DLX の開発, 第 3 回 PARTHENON 研究会資料集, pp.43-50, 1993 年 11 月。