

5B-1

パーシャルスキャン設計における
スキャンフリップフロップ選択の一手法

尾野 年信

NEC C&C 研究所

1 はじめに

順序回路のテスト容易化手法としてパーシャルスキャンが注目されている。パーシャルスキャンは、少ないハードウェア付加でテストビリティを大きく向上させる可能性があるが、その効果はスキャンするフリップフロップ (FF) に大きく依存する。

これまでに多くのスキャンFF選択手法が提案されている。サイクル切断法[1]に代表される従来手法では、相対的にテストビリティを向上させることは可能であるが、回路規模が非常に大きい場合にはそれだけで十分なテストビリティが得られるという保証はない。また、スキャンされた回路に対し自動生成されたテスト系列が非常に長大となることも問題である。

本稿では、パーシャルスキャンによって回路分割を可能とすることにより、回路の規模によらず常に高いテストビリティを実現する、新しいスキャンFF選択手法を提案する。本手法により、テスト生成が容易になるとともに、順序回路のテストパターンでは困難であったパターンの圧縮も可能となり、短いテスト系列を短時間に生成することが可能になる。

2 テスト生成のための回路分割

2.1 分割の効果

順序回路を幾つかの回路に分割し、分割された各部分回路に対し独立にテスト生成を行なうことを考える。図1に示した回路分割の例において、矩形はFFを、三角形は外部出力を表す。この例では、全体の回路が重なりを持つ3個の部分回路に分割され、これらの部分回路は個別にテスト生成が可能である。

このような回路分割により以下の利点が得られる。

テスト生成の容易化 一般に回路の規模が大きいほどテストは難しくなり、その難しさは回路規模に対し指数的に増加する。従って、回路を分割してテ

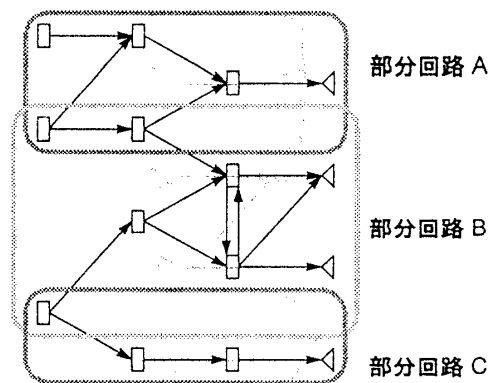


図 1: 回路分割の例

スト生成することにより、大幅にテスト生成に要する時間を短縮することができる。

テスト系列の短縮 分割された部分回路は同時にテスト可能である。従って、個々の部分回路のテストパターンから回路全体のテスト系列を構築する際に、パターンの圧縮が可能となる。

2.2 分割の条件

分割された回路に対し、独立にテスト生成が行なえ、しかも生成されたテストパターンを元の回路に印加することが可能であるためには、分割は以下に挙げる条件を満たす必要がある。

- 部分回路の外部入出力線は、全体回路の外部入出力線である。
- 部分回路の各外部出力線に関し、全体回路においてその外部出力線に到達可能なゲートや外部入力線はすべて、その部分回路に含まれる。

これらの条件を満たせば、図1のように、部分回路に重なりがあっても構わない。重なっている部分はテスト生成で複数回処理されることになるが、後で述べるように、対象故障を制御することにより無駄な処理を抑えることができる。

3 提案するスキャン FF 選択法

3.1 目的

一般には、分割により十分に小さい部分回路が得られるとは限らない。最悪の場合はまったく分割できないこともある。しかし、回路中の FF のうちの幾つかをスキャンすることにより、分割の可能性を拡大することができる。このように、各部分回路が十分に小さくなるような分割を可能とすることを目的として、スキャンすべき FF を選択する。

図 2 の例では、6 個の FF を含みそれ以上分割が不可能であった回路が、1 個の FF をスキャンすることにより、それぞれ 3 個の FF を含む 2 つの部分回路への分割が可能となる。

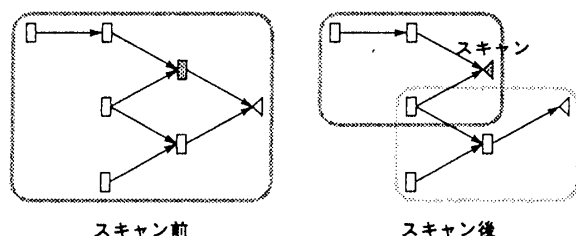


図 2: スキャン FF による回路分割

3.2 FF 選択問題のグラフ表現

順序回路に対して依存グラフと呼ばれるグラフ表現を導入する。ある順序回路に対する依存グラフとは、回路の FF と外部出力に対応するノードを持ち、回路中で FF あるいは外部出力の間に組合せ回路からなる経路が存在する場合に、それらに対応するノード間に有向枝を張ったグラフである。先に図 1 と図 2 で示したグラフも依存グラフの例である。

次に、依存グラフ G におけるノード n の重みを、枝をその方向にたどることにより n に到達可能なノードの数と定義する。ただし、 n 自身も数に含む。また、 G 中のノードの重みの最大値を $W(G)$ と表す。さらに、あるノードの集合 N について、 N に属すノードから出るすべての枝を G から削除したグラフを G_N とする。

ある FF をスキャンすることは、依存グラフの上では、対応するノードから出る枝を削除することを意味する。従って、回路の大きさとして内部に含まれる FF の個数を考えることとすると、スキャン FF 選択問題は次のように定式化される。

スキャン FF 選択問題 依存グラフ G と部分回路の大きさの上限 s が与えられた時、 $W(G_N) \leq s + 1$ を満たす要素数最少のノード集合 N を求める。

4 テスト生成

回路分割の後、各部分回路に対して個々にテスト生成を行なうが、これには一般の順序回路用テスト生成プログラムを用いることができる。しかし、部分回路間に重なりがあるため、1 個の故障に対して複数回テスト生成を行わないための工夫が必要となる。

ある部分回路において既に検出された故障は、他の部分回路が同じ故障箇所を含んでいても、そこで再度テストを生成する必要はない。ある部分回路の処理において、打ち切られた、あるいは冗長と判断された故障については、同じ故障箇所を含む他の部分回路において検出の可能性が残っているため、再度テスト生成を試みる必要がある。つまり、各部分回路のテスト生成を行なう前に、その部分回路の故障リストから、既に検出されている故障だけを削除する処理が必要となる。

部分回路の処理の順序は、同じ故障でも小さな部分回路において検出した方が容易であるため、回路規模の小さい部分回路から先にテスト生成を行なうことにする。

5 おわりに

与えられた順序回路を分割してテストバリエーションを向上させるパースナルスキャン FF の選択手法を提案した。本手法により、対象回路の規模に関わらず、テスト生成が容易な回路が得られるとともに、生成されたパターンの圧縮も可能となる。

スキャン FF 選択の実験プログラムを作成し、現在評価を行なっている。ISCAS89[2] のベンチマークで FF 数 50 個以上の回路に対して、部分回路の FF 数の上限値を 30 とした場合、分割に必要なスキャン FF 数の割合は総数の 30 ~ 50% であった。今後は、スキャン FF 選択とパターン圧縮のより効率的なアルゴリズムを確立し、詳細な評価を行なう予定である。

参考文献

- [1] K.-T. Cheng and V. D. Agrawal, "A Partial Scan Method for Sequential Circuits with Feedback", *IEEE Trans. Computers*, Vol.39, No.4, pp.544-548, 1990.
- [2] F. Brglez, D. Bryan and K. Kozminski, "Combinational Profiles of Sequential Benchmark Circuits", *International Symp. on Circuits and Systems*, pp.1929-1934, 1989.