

遺伝的アルゴリズムのハードウェア化に関する考察

3P-6

—選択確率計算の演算回路—

大東栄夫 田中敏雄 樋口哲也

電子技術総合研究所

1. まえがき

GAマシンの開発計画[1]の一環として、選択確率の計算用の演算方式を提案した[2]。本発表ではその改良方式と各方式の論理設計の結果を示す。

2. GAマシンと選択確率の計算

GAマシン全体の構成とハードウェア化の程度は要求される速さによる。その際、並列処理を行なうプロセッサ数とその接続ネットワークは重要課題である。また各構成要素の遅延時間を算出しネック部分の高速化が望まれる。選択確率の計算の方法もこれらとのバランスに基づいて決めることになる。既存のプロセッサによる方法や専用ハードウェアによる方法等があるがここでは後者の場合について述べる。ある個体 i ($i=1 \sim n$)の適応度を X_i とする。当面の計画より X_i を符号1ビットを含めて16ビットの小数、 n を128とする。選択確率の値を正確に求めるためには総和演算 $Y = \sum X_i$ と除算 X_i / Y が必要である。その回路方式は組合せ論理回路(CLC)を想定している。演算方式は簡明な配線、繰返し構造等に重点をおいている[2]。次にその高速化について述べる。

3. 演算の高速化

除算は時間のかかる演算であるのですでに示したアレイ除算器(AD)[2]の高速化について述べる。ADでは除算中の加減算は桁上げ伝播式(RCA)である。この伝播時間を短縮するために加算器を桁上げ保存式(CSA)とし、桁上げ先見器(CL)により最上位桁の桁上げを高速に算出する[3]。図1は全体の構成を示す。 x_j は被除数 X_i の各桁で、 y_j は除数 Y の各桁である(x_0, y_0 は符号)。本除算の特殊性より、 $m=22$ 、実際の被除数の $x_1 \sim x_{15}$ は図1の $j=8 \sim 22$ に対応する[2]。Sは図2の符号セル、Aは図3の演算セルである。CLは桁上げ先見加算器(CLA)の符号の桁への桁上げのみを算出する回路である。

4. 演算時間と回路量

CLCのため回路要素はゲートであり、AND、OR、NOTを例にとる。演算時間はAND+ORを一段として、その段数で評価する。段数は特にANDとORのファンインの影響が大きい。実施した論理設計では例としてこれを4とした。まず、ゲート量はAND、OR、NOTの総数で示す。総和回路、AD、CL付AD各々のゲート数は26,319、6,348、9,017である。総和

A Hardware Implementation of Genetic Algorithms—Arithmetic Circuit for Computing Probability of Selection—

Hideo Ohhigashi, Toshio Tanaka, Tetsuya Higuchi

Electrotechnical Laboratory

1-1-4 Umezono, Tsukuba-shi, 305 Japan

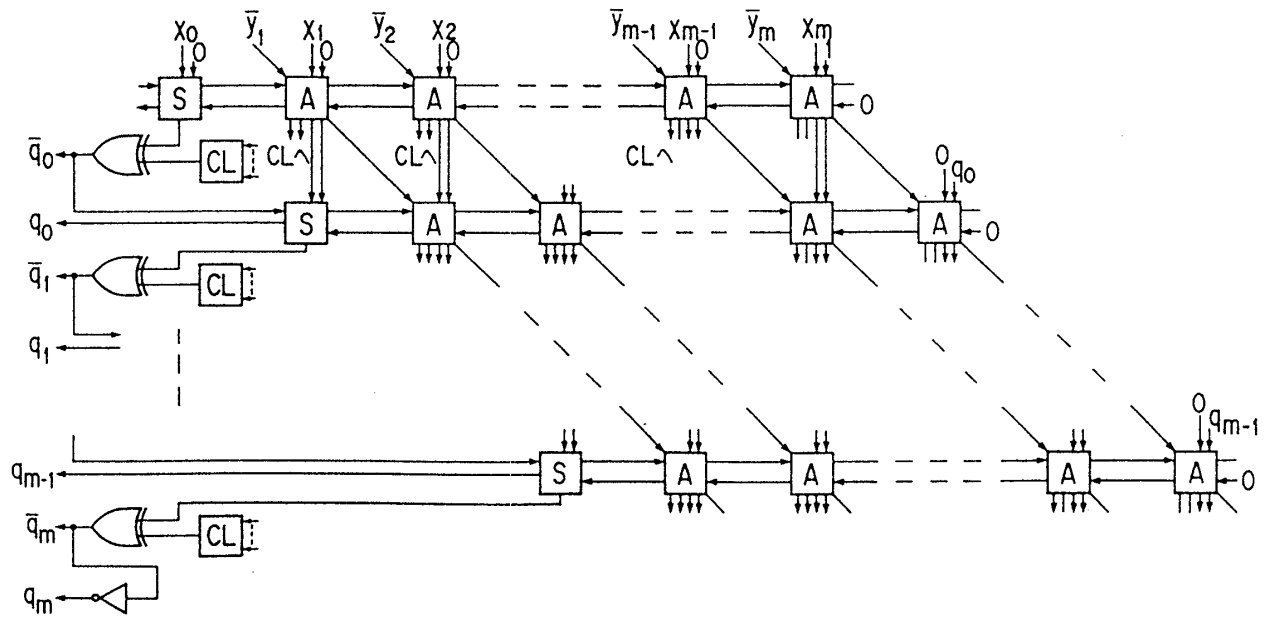


図1 桁上げ先見器付アレイ除算器(C L 付 A D)

回路、A D、C L 付 A D 各々の段数は18、552、196である。これらに1段当りの遅延時間をかけると論理遅延が求まる。A DとC L 付 A Dの比較について補足する。段数については桁数 m が大な程C L 付 A Dが有利になる。ゲートのファンインが多くなるとC L 回路の段数は減少する。配線はC L 付 A DよりA Dの方が簡単である。

5. あとがき

G Aの選択確率の計算をハードウェア化する立場で、この計算に合った演算方式を提案し、その論理設計に基づき演算時間と回路量を示した。これに見合った精度でG Aマシンの他の部分を設計することが次の課題である。

参考文献

- [1] 樋口、伊庭、田中、大東、“G A並列マシンの基本構想”、日本機械学会F A Nシンポジウム、1993. 9.
- [2] 大東、田中、樋口、“遺伝的アルゴリズムのハードウェア化に関する考察—選択確率計算の演算方式—”、情報処理学会第47回全国大会、1993. 10.
- [3] Cappa, M., and Hamacher, V. C., "An augmented iterative array for high-speed binary division", IEEE Trans. on Computer, Feb. 1973.

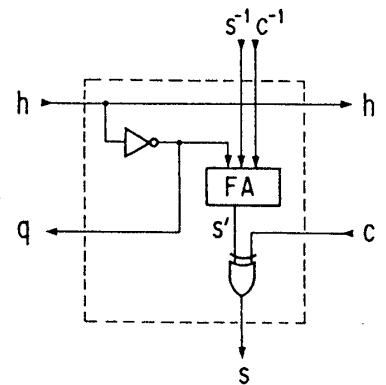


図2 符号セル(S)

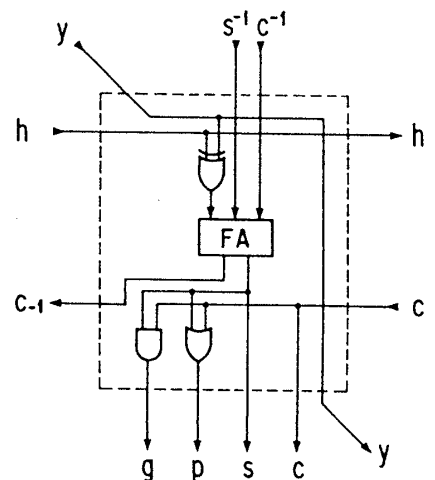


図3 演算セル(A)