

バイナリニューロンのハードウェア化とその検証

1P-5

大久保 祐治 山下 博司 黒川 恭一

防衛大学校理工学研究科 情報工学教室

1. はじめに

ニューラルネットワークの最大の特徴は、情報の並列処理にある。この特徴を最大限に活かすためには、そのハードウェア化が必要である。現在までのところ、各種の方法を用いてハード化が試みられているが、その構成法は確立していない¹⁾。

我々は、最適化問題を解く並列処理システムとして、バス結合による相互結合型ニューラルネットワークの構成法を提案し²⁾、バイナリニューロンのハードウェア化について考察した³⁾。

本研究では、実際にハードウェアを作成し、検証を試みた。

2. バイナリニューロン

2.1 特徴

バイナリニューロンによる相互結合型ニューラルネットワークは、各種の組み合わせ最適化問題を効率的、かつ高速に解くことができる並列処理システムであることが既に報告されている⁴⁾。

バイナリニューロンは、Hopfieldのニューラルネットワークに比べハードウェア実現上の問題が少ないため、現在最も進歩しているCMOS VLSIへの適合性が良好である。

2.2 動作式

出力として0か1の2値をとるバイナリニューロンの動作式は、その内部活性値 U の変化分を表す微分形として、1つ以上の抑制性の項および1つ以上の興奮性の項からなる多項式であり、一般的には、

$$\frac{dU}{dt} = \sum_i k_i \cdot F_i$$

と表わされる。ここで k_i は i 項の整数の係数、 F_i は i 項における関数であり、 F_i の型によって、シナプス結合しているニューロンの発火個数が一定値を越えたか越えないかにより作用する項と、シナプス結合しているニューロンの発火個数に応じて作用する項の大きく2つのタイプに分けられる。

3. ハードウェア化

3.1 ネットワークアーキテクチャ

図1に、バイナリニューロンをバスで結合した相互結合型ニューラルネットワークの構成を示す。図中○で示したのがニューロンであり、左から1、2、3、…とID番号が与えられている。各ニュー

ロンは、ローカルアービタを介してアービトレーションバスに接続されている。このように、バス接続方式を採用することにより、ニューロン数の増加によるハードウェア量の爆発的増加の防止と拡張性の確保を図っている。また、ローカルアービタへ接続した各ニューロンのうち発火状態にあるものだけが自分のID番号をアービタを用いてバスに乗せる方法を採用することによって、バス結合を用いる並列処理システム共通の問題であるデータ転送回数の大幅な増加を、大幅に軽減することができる。

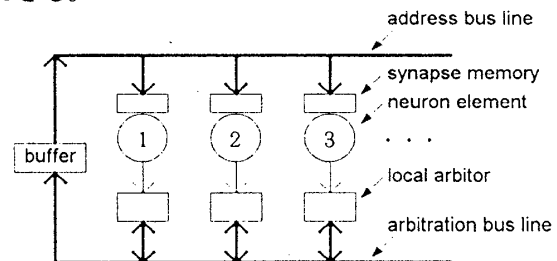


図1 ニューラルネットワークの構成

3.2 項生成ユニット

動作式の抑制性および興奮性の項は、「項生成ユニット」において実現する。図2に項生成ユニットの構成を示す。図中のTYPE信号を切り替えることによって2つの F_i のタイプを実現している。

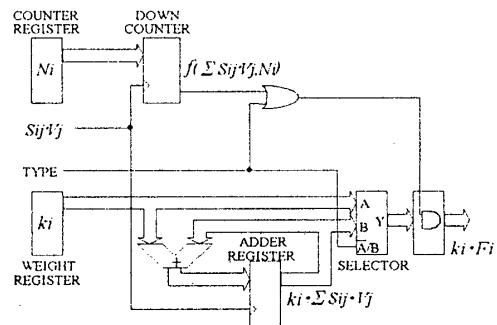


図2 項生成ユニットの構成

3.3 出力生成ユニット

出力生成ユニットは、6つの項生成ユニットにおいて算出された値の総和を取って dU/dt を算出し、その結果を用いて内部状態 U の更新を行ない、ニューロンの発火状態を決定する。

3.4 ニューロンのハードウェア構成

発火している ($V=1$) ニューロンは、ローカルアービタに対してバスの使用权を要求する。要求のあったローカルアービタは、アービトレーションバスにそのニューロンのID番号を出力する。アー

ビットレーションに勝ち残ったID番号は、システムのコントローラを通じてローカルアドレスバスに出力される。各ニューロンは、接続情報RAM上のローカルアドレスの示すID番号に対応するアドレスに蓄えられているそのニューロンとの接続情報に従って、項生成ユニットにより動作式の各項の値を導出する。各項生成ユニットの出力は、出力生成ユニットで合計されて内部活性値に加算され、ニューロンの発火状態を決定する。

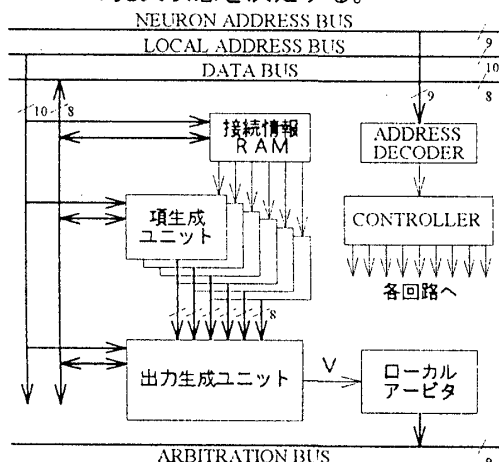


図3 バイナリニューロンの構成

3.5 回路の実装

回路の実装にあたっては図3に示したニューロンをFPGA及びSRAM等により構成し、それをVMEダブルハイト奥行280mmの4層基板上に8個搭載した。実装基板を図4に示す。この基板は、VMEバスラック上に20枚実装できるため、160ニューロンまでのシステムを構築できる。また、複数のバスラックを使用することにより、現状で512ニューロンまでのシステムを構築できる。この並列処理システムのコントロール及びデータの収集等は、専用のインターフェース回路を作成してパーソナル・コンピュータによりおこなっている。図5にニューロンのシステムの全景を示す。

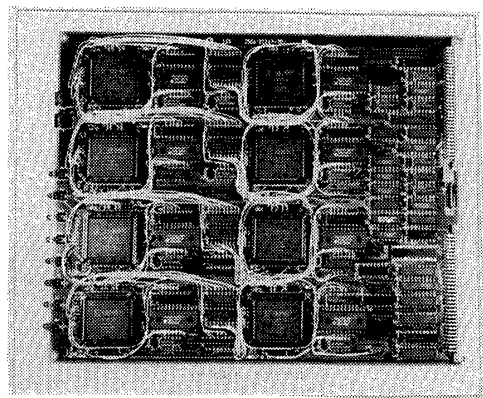


図4 実装基板

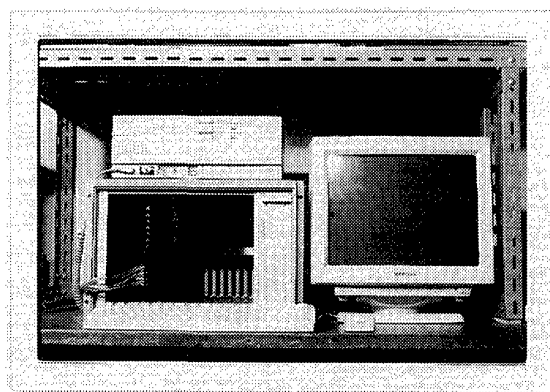


図5 システム全景

4. システムの検証

作成したニューロンの項生成ユニット及び出力生成ユニットが、それぞれ正常に動作することを確認した。また、ニューラルネットワークシステムにバイナリニューロンを用いた兵器割り当て問題（敵攻撃機の数6機、迎撃兵器の数6、使用バイナリニューロン数36）⁵⁾を実装し、並列処理システムとしても正常に動作することを確認した。

5. おわりに

ローカルアービタを利用したバス結合方式によるニューラルネットワークを提案し、そのハードウェアを作成した。バイナリニューロンは、CMOS VLSIへの適合性がよく、決定論の状態遷移を行い、シャープニングやアニーリングなどの特別の操作が不要であるといった特徴があるため、比較的簡単な回路構成をとることができた。今回提案した回路はFPGAを用いて実装しているので、初期設定を変えることによって、並列処理を必要とする様々な問題に対しても用いることができる。

参考文献

- 1) 平井：小特集：ニューラルネットワークのハードウェア化の動向 I. 研究動向について、電学誌、113巻4月号、pp.263-264(1993)。
- 2) 山下、黒川、古賀：バス結合方式による相互結合型ニューラルネットワークの提案、1993年電子情報通信学会全国大会講演論文集6、D-30(1993)。
- 3) 山下、黒川、古賀：バイナリニューロンのハードウェア化、情報処理学会第47回全国大会講演論文集(分冊2)、5N-9(1993)。
- 4) Y. Takefuji: Neural Network Parallel Computing, Kluwer Academic Publishers(1993)。
- 5) 土村、黒川、Y.B. Cho、武藤：ニューラルネットワークによる兵器割り当て問題の並列解法、信学論(D-1)、J-75-D-1、7、pp.410-418(1992)。