

配線の寄生素子を考慮したアナログLSI配置手法*

2H-6

内山恒示

若林真一

小出哲士

吉田典可

広島大学 工学部

1 はじめに

近年, アナログ LSI においても, 数千トランジスタのチップが一般的となり人手による設計が困難になっている。また, アナデジ混載 LSI 設計では, 比較的小さなアナログ部分が, 設計期間短縮のボトルネックとなっている。こうしたことから, アナログレイアウト自動設計の要求が高まってきている。アナログ回路では, 配線容量や配線抵抗といった寄生素子が性能低下の原因となる。このため, 文献 [3] では, トランジスタペアの近接配置や, 配線の交差禁止などの制約を課し, その制約を満たすようにレイアウトをしていた。これに対し, パフォーマンスドリブンレイアウトでは, パフォーマンスを定量的に評価するため, サイズとパフォーマンスの両方を考慮できる。[1] では, シミュレーテッドアニーリングを用いているため計算時間が大きい。本稿では, 配線の寄生素子による性能低下を抑えながらもコンパクトな配置を短時間で出力する素子配置手法を提案する。本手法では, まず各ネットの性能に対するセンシティビティ [2] を解析し回路の仕様を満たすような各ネットの目標配線長を求める。次にランダム配置を基にして, 全てのネットが目標配線長以下になるように素子の移動を行い, さらに素子の重なり面積による反発力を徐々に強めながらこの操作を重なりがなくなるまで繰り返す。

2 準備

2.1 配置モデル

配置領域は矩形で, 上辺と下辺に電源線とグランド線が走り, 目標面積が与えられている。素子としては, 抵抗とトランジスタとキャパシタを扱い, キャパシタは面積が等しければアスペクト比は任意である。

2.2 配置問題の定式化

入力 回路(素子数 N_e , ネット数 N_n), モジュールの高さ, 仕様(パフォーマンス関数を含む)

出力 重なりのない素子の相対配置

*A placement algorithm for analog LSIs considering wire parasitic, Kouji UCHIYAMA, Shin'ichi WAKABAYASHI, Tetsushi KOIDE and Noriyoshi YOSHIDA, Faculty of Engineering, Hiroshima University.

目的関数 パフォーマンスの偏差の最小化, レイアウト面積の最小化

3 提案アルゴリズム

3.1 アルゴリズムの概要

step 1 ネットを2端子分解し, 回路の仕様を基にセンシティビティを計算。

step 2 線形計画法による各ネットの目標配線長の計算

step 3 回路図を基にしたスキマティックあるいはランダム配置

step 4 すべての素子の移動

step 5 解の改善がC以上ならstep 4へ

step 6 形状可変素子の形状変更

step 7 重なりがあれば, 重なり反発力増加係数 α を更新し, 更に目的関数を初期化してstep 4へ

step 8 素子の相対位置を出力して終了

3.2 センシティビティについて

ここでは, センシティビティを以下のように定義する。パフォーマンス関数を

$$\{W_i\}, i = 1, \dots, N_w$$

とし, パラシティックを

$$\{p_j\}, j = 1, \dots, N_p$$

とする。このとき W_i の p_j に関するセンシティビティは,

$$S_{ij} = \frac{\partial W_i}{\partial p_j} \quad (1)$$

となる。線形近似を用いると, W_i 全体にかかる変化は,

$$\Delta W_i = \sum_{j=1}^{N_p} S_{ij} p_j \quad (2)$$

で表せる。さらに, 複数のパフォーマンス関数を同時に扱い, 仕様を考慮してパフォーマンス低下率 R_i を定義する。

$$R_i = \frac{\Delta W_i}{W_{spec} - W_{nom}} \quad (3)$$

ただし, W_{spec}, W_{nom} は, それぞれ仕様の限界値, 公称値をあらわす. このとき R_i が, 1 以下なら仕様は満たされる.

3.3 各ネットの目標配線長の計算

仮想配線長によるパフォーマンス低下率を見積もって目標配線長を求める. 線形計画法によって解くための, 標準形を以下に示す. 条件

$$0.8 \leq S \cdot m \leq 1 \quad (4)$$

$$\forall i \in N_n \quad d \leq m_i \leq D \quad (5)$$

の下で次の目的関数 Z を最大化する.

$$\text{maximize } Z = \sum_{j=1}^N m_j \quad (6)$$

ただし, S, m は, それぞれ $N_w * N_{2n}$ のセンシティブティ行列, $N_{2n} * 1$ のカラムベクトルとし, d, D, m_i は, それぞれネットの配線長の最小値, 最大値, ネット i の仮想配線長とする. また, N_{2n} は, 2 端子分解後のネット数とする.

3.4 素子移動アルゴリズム

全ての素子について, 次の手続きを行う. ただし, 素子 E_i につながるネットの集合を N_i とし, 素子 E_i と重なる素子の集合 (領域外も含む) を O_i とする. また, 素子 E_i と E_j 間の距離を d_{ij} とし E_i の端子座標を (x_{ti}, y_{ti}) とする.

Step4.1 素子 E_i につながるすべてのネットの仮想配線長 m'_i と他の素子との重なり面積 a_{ij} を求める.

Step4.2 素子 E_i を次の新座標 (x'_i, y'_i) に移動する. ただし,

$$\Delta m_i = \begin{cases} m_i - m'_i & m_i - m'_i < 0 \\ 0 & m_i - m'_i \geq 0 \end{cases} \quad (7)$$

とする.

$$\begin{aligned} x'_i = x_i + & \frac{\sum_{N_i} \left(\frac{\Delta m_i}{2} \cdot \frac{x_{tj} - x_{ti}}{|x_{tj} - x_{ti}| + |y_{tj} - y_{ti}|} \right)}{|N_i| - 1} \\ & + \alpha \left(\sum_{O_i} \frac{a_{ij}(x_j - x_i)}{a_i |d_{ij}|} \right) \end{aligned} \quad (8)$$

$$\begin{aligned} y'_i = y_i + & \frac{\sum_{N_i} \left(\frac{\Delta m_i}{2} \cdot \frac{y_{tj} - y_{ti}}{|x_{tj} - x_{ti}| + |y_{tj} - y_{ti}|} \right)}{|N_i| - 1} \\ & + \alpha \left(\sum_{O_i} \frac{a_{ij}(y_j - y_i)}{a_i |d_{ij}|} \right) \end{aligned} \quad (9)$$

Step4.3 次に示す目的関数の改善が定数 C 以上ならこの手続きを繰り返す. ただし, β は, 定数とする.

$$Z = \max_{j \in N_w} \left(\sum_{i=1}^{N_n} s_{ij} |m'_i - m_i| \right) + \beta \sum_{i=1}^{N_e} \sum_{j=1}^{N_e} a_{ij} \quad (10)$$

さらに, 解の収束を保証するために繰り返し回数に応じて移動量に上限を課す.

4 シミュレーション実験

提案手法をサンマイクロシステムズ社の SPARCstation2 上で C 言語を用いて実現し, MCNC ベンチマークデータのアナログオペアンプ (11 トランジスタ, 1 キャパシタ) に対して実験を行った. センシティブティは乱数を用いて発生し, 線形計画法はシンプレックス法を用いた. CPU 時間は, 150 秒であった. 全てのネットの仮想配線長は目標配線長以内におさまリ, パフォーマンス低下率は 0.000689 であった. また, 素子面積の総和の 2 倍程度の領域を指定すれば, すべての素子は重なりなく領域内に配置された. よって, 提案手法の有効性が確認された. 今後の課題として, 本手法によって得られた配置結果に対しコンパクションを施し, 更に, 面積を最小化をすることがある.

文献

- [1] T.Ohtsuka, et al.: "LIBRA: automatic performance driven layout for analog LSIs", IEICE Trans. Electron, E75-C, No. 3, pp. 312-321 (1992).
- [2] U.Choudhury, et al.: "Constraint generation for routing analog circuits", Proc. Design Automation Conference, pp. 561-566 (1990).
- [3] Y.Shiraishi, et al.: "A high-packing density module generator for bipolar analog LSIs", Proc. Int'l Conference on Comput.-Aided. Des., pp. 194-197 (1990).