

## C言語の解析木インタプリタのLSIの設計

9L-6

竹田信裕 金本好司 板野肯三

筑波大学

## 1 はじめに

本稿では、すでに提案されている解析木を拡張した実行木のインタプリタの基本アーキテクチャ [1] に基づき、C言語の実行木を解析実行する構文木インタプリタ PATIE-C を LSI 化し、実際に LSI チップとしての実現性について述べる。構文木インタプリタの LSI 化にあたっては、シリコンコンパイラ Genesil [2] という高機能な LSI 設計用の CAD を用いることにより、ゲートレベルよりも上のレベルで各ユニットの設計を行った。

## 2 PATIE-C の論理設計

PATIE-C は、シーケンサ・ユニット (SU)、トラバース・コントロール・ユニット (TCU)、リカーシブ・コントロール・ユニット (RCU)、データ・ユニット (DU) の 4 つのユニットとスタックブロックで構成した。これらすべてのユニットは、互いにオーバーラップすることのない 1 組の 2 相クロック (フェーズ A、フェーズ B) に同期して動作する。

## (1) SU

SU は 1 つのステートマシンで構成される。ステートマシンには入力ラッチ付き PLA を使い、その出力とは逆のフェーズの制御信号の出力には SU 外部に設計したラッチを出力ラッチとして利用した。

Genesil では PLA の設計のために PLA Block Editor が用意されており、さまざまなタイプの PLA がライブラリとして用意されている。そのため、目的のタイプを選択肢の内から選択することによって設計すべき PLA のタイプが決定される。PLA の動作に関する設計は、入出力信号名の定義、入力信号と出力信号の対応を PLAEQ 言語でプログラミングし、そのソースをコンパイルすることによってオブジェクトのレイアウト、タイミングモデルなどが生成される。

現在 PATIE-C はフルセットの C 言語を対象にしているが、制御部分については 8-7 割を定義しているだけであり、PLA は入力が 14bit、出力が 87bit、term 数が 329 であった。また、出力ラッチが必要な制御信号は 44bit あり、それらすべてを Random Logic Block で設計したトランスベアレント型ラッチの入力と接続した。

## (2) TCU

PATIE-C では図 1 のようにノードの形態を 1 種類に固定した。この図で示すとおり、TCU は 32bit 幅の平行データバスと 10bit 幅の平行データバスの 2 つのプリミティブで構成される。32bit 幅の平行データバスは、レジスタ child1, child2, PC, operand と、child1, child2 から TCU STACK, PC へ各々出力を選択するマルチプレクサ、PC の加算器とで構成される。

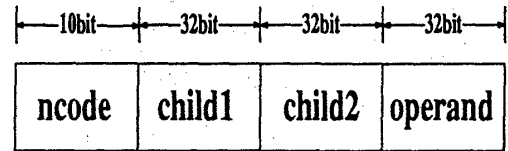


図 1: PATIE-C のノード

また、10bit 幅の平行データバスは、レジスタ ncode, TCU STACK POINTER (TSP) と、TSP の加減算器で構成される。TCU STACK のオペレーションは PUSH, POP と、2 クロックで完了する。

## (3) RCU

RCU は SU の状態を保持するレジスタ STATE、レジスタ RCU STACK POINTER (RSP) と RSP の加減算器で構成される 10bit 幅の平行データバスである。

Genesil で平行データバスの設計を行うときは、DATA-PATH Block Editor を用いる。DATA-PATH Block Editor では ALU や入出力ポートなど、その機能ごとに分けられたブロックがライブラリとして用意されており、それらのブロックを選択し、順序良くならべてゆくことで 1 つのデータバスを完成させる。

RCU STACK のオペレーションは PUSH は 1 クロック、POP は 2 クロックで完了する。

## (4) DU

DU はレジスタ部、演算部、スタックポインタ部の 3 つのプリミティブで構成されている。レジスタ部は 32bit 幅の平行データバスで、演算データや結果を保持する各種レジスタ、メモリのアドレスを保持するレジスタ、演算データや結果を演算部に送るバスで構成される。複数のレジスタから同時に同じバスにデータが流れないように、すべてのレジスタはトライステートドライバによってバスをアクセスするようになっている。演算部は、32bit の平行データバスで、実際に演算を行う ALU、SHIFTER ブロックと演算結果をレジスタ部に送るバスで構成される。スタックポインタ部は 8bit の平行データバスで、レジスタ DU STACK POINTER (DSP) と DSP の加減算器で構成される。データの演算、転送はすべて 1 クロックで完了するが、DU STACK のオペレーションは PUSH, POP 共に 2 クロックで完了する。

## (5) STACK BLOCK

TCU, RCU, DU のスタックを 1 つに集め、スタックブロックとした。スタックはそのサイズがほぼ同じであるため、あらかじめ 1 つのブロックにまとめておくことにより、後で述べるフ

表 1: 各ユニットのサイズ

	オブジェクトのサイズ (mil) × (mil)
SU	184.64 × 63.29
TCU	137.55 × 103.68
RCU	45.82 × 26.92
DU	270.64 × 240.01
STACK	183.88 × 134.54
PATIE-C	447.52 × 389.82

フロアプランの効率が良くなると予想されるからである。TCU STACK, DU STACK には 1ワード 32bit で 128ワード長の RAM を、RCU STACK には 1ワード 10bit で 128ワード長の RAM を用いた。これらの RAM はすべて Genesil のライブラリとして用意されている。

### 3 PATIE-C の物理設計

Genesil では設計のいちばん下のレベル、すなわちプリミティブのレベルでは、レイアウトのコンパイルは完全に自動で行われる。しかし、それより上のレベルでは下位ブロックのレイアウトがすべて生成された段階で、フロアプランと呼ばれる作業を行う必要がある。フロアプランとはブロック全体の外形や下位ブロック間の配線の方向を考慮しながら、全体として面積や配線量が最小となるように下位ブロックを配置する作業である。フロアプランが終了すると、そのブロックの配線が自動で行われる。その際、必要に応じて下位ブロックの間隔が広げられる。

このようにしてすべてのユニットおよび PATIE-C の物理設計を行った。それぞれのオブジェクトサイズを表 1 に示す。また、PATIE-C のレイアウトを図 2 に示す。実際にシリコンで LSI として実現可能な最大サイズは約 15mm × 15mm (600mil × 600mil) といわれていることから、PATIE-C は十分に LSI チップとして実現可能であるといえる。

### 4 機能シミュレーションおよびタイミング解析

Genesil では、設計したオブジェクトを保存する際に各信号のタイミング属性などが自動的にチェックされるため、少なくともそのオブジェクトのタイミング設計に関しては正しいことが保証されている。従って実際の機能シミュレーションは Genesil に付属のシミュレータを用いて行うにとどめた。具体的にはシミュレーションコマンド言語 Genie [3] により、ノードへの値のバインド、クロックの進行、レジスタの状態の表示をプログラミングして実行し、期待した値が得られることを確認した。この機能シミュレーションを PATIE-C 全体について行った。

また、Genesil に付属のタイミングアナライザを用いて、クロックの各フェーズごとの最小周期、クロックの最小動作可能周期などの解析を行った。その解析結果を表 2 に示す。

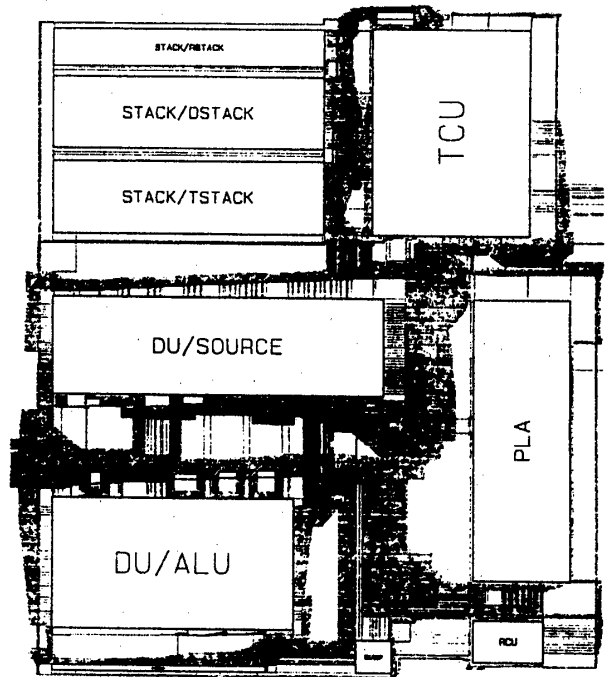


図 2: PATIE-C のレイアウト

表 2: 最大動作速度の解析

	最小周期 (ns)	周波数 (MHz)
TCU	38.7	25
RCU	26.0	38
DU	22.9	43
STACK	29.3	34
PATIE-C	59.8	16

### 5 おわりに

本稿では C 言語の構文木インタプリタを CAD を用いて設計し、LSI チップとして実現可能であることがわかった。しかし、不動小数点演算や徐算の実現など、まだアルゴリズムに改良の必要がある。今後、実際の構文木によるシミュレーションを行い、より詳細な性能評価をする予定である。

### 参考文献

- [1] 金本好司, カンギョウビ, 板野肯三, “C 言語の解析木インタプリタのレジスタ転送レベルの設計”, 情報処理学会第 46 回全国大会, 9L-05 (1993).
- [2] Silicon Compiler Systems Corporation, “Genesil System Compiler Library, Vol.1,2,3”(1989).
- [3] Silicon Compiler Systems Corporation, “GENIE Users Guide”(1989).
- [4] 酒井 仁, “構文木インタプリタの LSI 向き構成法に関する研究”, 筑波大学工学研究科 修士論文 (1991).
- [5] 酒井 仁, “構文木インタプリタの LSI 向き構成法”, 電子情報通信学会 論文 (1991).