

招待論文

システム LSI 設計の現状と課題

桜井 貴 康†

システム LSI の課題, すなわち「消費電力の危機」, 「配線の危機」, 「複雑さの危機」とそれらに対する解決策について述べる. 消費電力を抑えるためには, デバイス, 回路, アーキテクチャのレベルからソフトウェアに至るまでの各レベルでの取組みが必要となる. 今後は遅延, 消費電力, 信頼性, 製造コスト, TAT など重要な指標が配線によって決まるようになる. その意味で配線問題は重要性が高い. 配線間干渉によるノイズや遅延のばらつき, あるいはインダクタンスなど新しい配線問題を解決する設計環境の構築, あるいは設計ガイドラインの設定が急務となっている. 複雑さを克服するには階層化, 設計資産の共有や再利用が有効である.

Present and Future of System LSI's

TAKAYASU SAKURAI†

Issues and possible solutions to overcome power crisis, interconnection crisis, and complexity crisis in VLSI's are presented. The technologies to reduce the power consumption of LSI's range from software and architecture level to circuit and device level. Delay, reliability, TAT, cost, and power tend to be determined by interconnections in the future. The signal integrity will become an important concern of LSI designers together with IP-based designs.

1. 最近のシステム LSI の動向

DRAM の価格低迷などを背景に, 日本の半導体メーカーはシステム LSI 中心のビジネスモデルに移行してきている. システム LSI とはシステムの複雑な機能をワンチップ化した LSI である. 現在では 16 M ビットの DRAM とプロセッサ, 各種インタフェースを含めてワンチップ化したデジタルテレビ用システム LSI, 汎用プロセッサよりも数倍高速な次世代ゲーム用システム LSI などが発表されている¹⁾. さて, システム LSI の大きな問題は「何を作るか」だが, 「いかに作るか」も依然大きな課題だ. 特に, システム LSI を「いかに設計するか」はシステム LSI 成功の鍵である. なぜなら, 最近では億単位のトランジスタをワンチップに集積化できるようになり, 一方でムービングターゲットを追いかける市場から, より短工期が求められるようになってきて, 設計は多くの要求を同時に満たさなければならない高度な工程となってきたからだ. 本稿では, 今後のシステム LSI 設計の技術的課題と解決策に

ついて論じる.

技術的に見るとシステム LSI は 2 つの基礎技術によって成り立っている. 1 つは高集積化技術, 他の 1 つは混載技術である. 高集積化技術というのは, システム LSI でなくても集積回路の進化の方向として当然必要なものではある. しかし, システム LSI ではシステムそのものといった複雑な機能を実現するため, 高集積化技術は必須である. 高集積度は微細化から生まれる. 現在, 0.25 μm あるいは 0.18 μm 技術が先端的微細化技術だが, この辺のデザインルールになるとディープサブミクロン設計のいくつかの新しい問題が顕在化してくる. また, 取り扱うトランジスタ数が億単位になることで, 設計および評価が極端に複雑になる. ITRS (International Technology Roadmap for Semiconductors) の予測によれば, 今後とも年率約 60% で伸びる集積度に対して, 設計者 1 人あたりの生産性向上は年率 20% 程度であり, システム LSI の「設計の危機」は深刻さを増すばかりである. 新しいアプローチが必須な所以である⁸⁾.

一方, 混載技術は DRAM や EEPROM, アナログ, 高電圧回路, および従来のロジック, など今までボード上に載っていた各種チップをワンチップ化するのに

† 東京大学国際・産学共同研究センターおよび生産技術研究所
Center of Collaborative Research, University of Tokyo

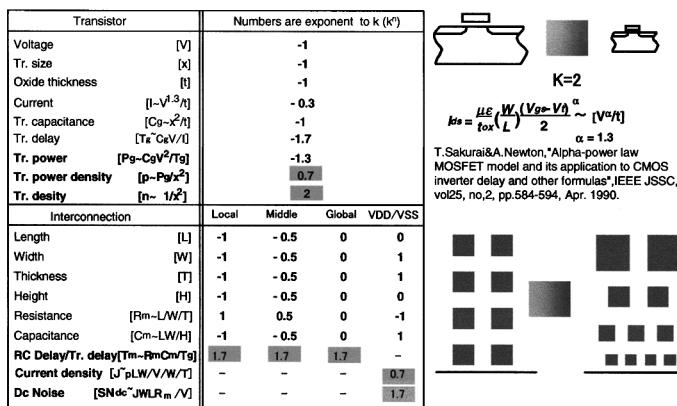


図 1 スケーリング則

Fig. 1 Scaling theory.

必要である。特に、混載 DRAM はシステム LSI に新しいディメンションを付加するものとして注目されている。

システムを全体をワンチップ化するのは時によっては必ずしも最適解ではないし、現在では可能でないこともある。確かに、チップ上にシステムが載っており、システム LSI 化は陶々とした流れだが、アナログ回路や高精度 A/D 変換器、メモリなど何でもかんでも 1 つのチップにすればよいというものでもない。適切なパーティショニングが必要とされる。実際、system-on-a-chip は system in a package に凌駕されるといった論評も米国ではなされている。したがって、複数チップによる構成は依然くならないので、チップ間的高速 I/O などの重要性が衰えることもないことは注意を要する。

2. 高集積化技術の 3 つの課題

高集積化は高性能、低コストが達成されるといった好ましい効果のため、集積回路が産声をあげてから一貫して追求されてきた。しかし、微細化の指導原理であるスケール則をひも解くと、高集積化には悪い効果もあることが分かる。デバイスや配線のサイズを 1/2 に縮小すると消費電力は 1.6 倍、配線遅延のトランジスタ遅延に対する比は 3.6 倍、配線電流密度は 1.8 倍、配線の電圧相対ノイズは 2.5 倍、設計の複雑さは 4 倍になる。これから、3 つの危機が認識される(図 1 参照)。

1 つは「消費電力の危機」で ITRS のロードマップでは 10 年後には 150 W 級のチップが登場するとも予測されている(図 2 参照)。2 つ目は「配線の危機」で、配線遅延の増大や配線電流密度の増大にともなう配線信頼性の低下、多層化する配線のコスト増、配線

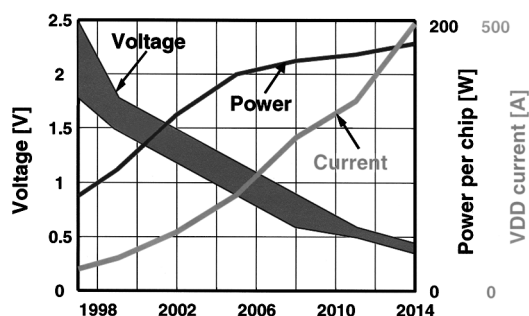
図 2 電圧、電力、電源電流のトレンド (ITRS)⁽⁸⁾

Fig. 2 Trend in voltage, power and current.

間カップリングの増大、配線ノイズの増大などトランジスタ中心の LSI 像が配線中心の LSI 像にパラダイムシフトしてきている。3 つ目は扱うトランジスタ数が増大することからくる「複雑さの危機」である。今後ともいっそうの高集積化を達成するためには以上の 3 つの問題の克服が重要課題であり、EDA ツールはこれらの問題の解決に大きな力を発揮するのはいうまでもない。

米国では MARCO プロジェクト (<http://marco.fcrp.org>) が始動した。テーマは 2 つ。配線と設計/評価である。上述の「配線の危機」と「複雑さの危機」に対応する。それぞれのテーマに年間 10M ドルを注入し、10 年を見通して大学中心でこれらの問題の解決に取り組む。2 年に 2 つずつテーマを増やしていく。MARCO では複数の大学が協調して 1 つの課題に取り組むという米国では珍しい形態をとり、意欲的なプロジェクトとなっている。

2.1 消費電力の危機

CMOS ゲートの消費電力は充放電成分 $a \cdot f \cdot C \cdot$

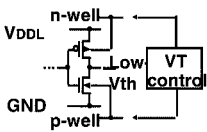
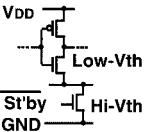
	Variable VTH	Multi-VTH
Principle		
Merit/ Demerit	Threshold control with sub-bias + Low leakage in standby + Already productized + Compensate Vth fluctuation + IDDQ test + No serial MOSFET + Conventional design env. + Conventional F/F's - Triple well is desirable - Scalability? (junction leakage)	On-off control of internal VDD/VSS + Low leakage in standby + Already productized - Compensate Vth fluctuation - IDDQ test - Large serial MOSFET slower, larger, lower yield... + Conventional design env. - Special F/F's, Two V_{TH} 's - Ultra-low voltage region? - Delay fluctuates on activity

図3 可変しきい値電圧技術 (VTCMOS) と多しきい値電圧技術 (MTCMOS)
Fig. 3 VTCMOS and MTCMOS.

V^2 とサブスレシヨルドリーク成分との和である²⁾。a は活性化率, f は周波数, C は負荷容量, V は電源電圧だが, 電源電圧は二乗で効くので, 消費電力をおさえるためには, 低電圧化が有効である。しかし, 低電圧化はそのままでは遅延の増大につながる。そのため, MOSFET のしきい値電圧を低くして高速化することが常套手段だが, これはサブスレシヨルドリーク成分を増大させ, 結局は消費電力を増大させたり, スタンバイ時の電池寿命を低減させたりする。このジレンマに対処するため, しきい値電圧を多種類用意したり, しきい値電圧を可変にしたりする工夫が現れている^{9)~13)} (図3 参照)。このような工夫は現行の EDA 環境, 特に配置配線環境の中で実現できるため, すでに大規模な LSI にも適用され一部実用に供されている。ただ, 将来は高いしきい値電圧のトランジスタサイズをどの程度にするかや, 時間的, 空間的なしきい値電圧の最適化など新しいツールの余地がある。たとえば, 複数しきい値電圧を用意し, スタンバイ時には高いしきい値電圧のトランジスタをオフしてリークを止める回路方式では, このトランジスタのサイズを大きくすると面積オーバーヘッドが大きくなり, 小さくすると遅くなる。最適サイズは回路の活性化率や動作時の最大ピーク電流によって決まるが, 決定には EDA ツールが望まれる。

このような新しい低電力回路を導入するときにスタンダードセルライブラリを設計しなおす必要にせまられることがある。数百のセルを設計しなおすのは困難な場合が多い。このよう事情に鑑み 20 セルほどのセルでも効率的に設計できるスリムなライブラリの研究もなされている¹⁵⁾。

一方, 必要な時と部分に応じて低電圧を与えるというアプローチも上述の遅延と低電圧化のジレンマを解消する一手段である。仕事量の少ない場合は周波数と電源電圧を下げたり, 遅くてよい部分には低電圧を与えたりする。ここでも多電源方式と可変電源方式があるが, このような適応型電源電圧方式の実用化のためオンチップの DC-DC コンバータの開発や新しい CAD ツールの整備が進んでいる¹⁴⁾。

周波数や電源電圧を制御するメカニズムを有するプロセッサが現れた。ソフトウェアとハードウェアが協調して低消費電力を達成する時代がきている⁴⁾。

特にリアルタイム処理では, ある仕事を時間内に終わらせなければならない。プロセッサが処理しなければならない処理量, いわゆるワークロードには入力データ依存性がある。今まではワークロードが最大(最悪)になる場合の入力データに合わせて, 高速なプロセッサを用意し, 全速力で動かしていた。これを, 入力データに応じて周波数と電圧を全速力から下げるというやり方に変える。MPEG の codec や音声 codec などへの適用では 1 桁以上の低消費電力性が達成される¹⁶⁾ (図4 参照)。

さて, 低消費電力化のために電源電圧をどんどん低下させた場合, 0.5 V 程度の低電圧になると遅延の温度特性が正になることも知られている⁵⁾ (図5 参照)。このような新しい現象はワースト条件の考え方を考える。また, 熱暴走の可能性も出てきており, 消費電力のより精密な見積りが必要になってくる。パワー・発熱を含めたシミュレーション環境が必要になる。低電圧で効果があると考えられている技術に SOI (Silicon On Insulator) 技術がある。ゲートとボディを結線して

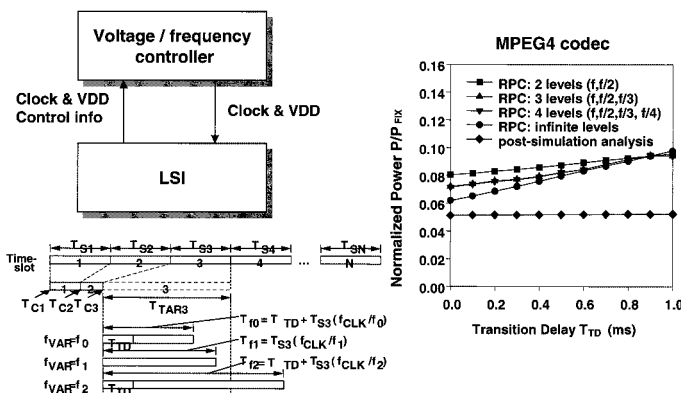


図4 周波数、電圧をソフトウェアで動的制御することにより、MPEG4のデコーダで1桁以上の低電力が達成される例

Fig. 4 Software control of operation voltage.

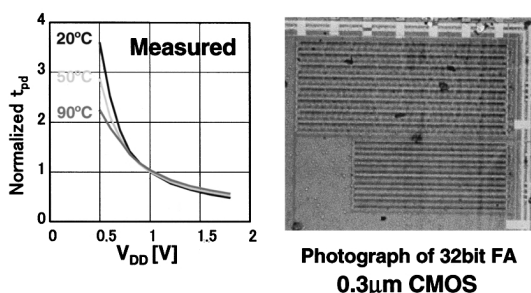


図5 低電圧電源下でのLSIスピードの正の温度特性

Fig. 5 Positive temperature coefficient of LSI speed.

ダイナミックにしきい値電圧を制御して使うDTMOSなども期待されている。

少し前まで、LSIの設計の良し悪しは遅延(D: Delay)と面積(A: Area)によって測られてきた。しかし、最近では消費電力(P: Power)がこれに加わった。場合によっては工期(T: Turn-Around Time)や信頼性(R: Reliability)、歩留まり(Y: Yield)もこれに加わる。したがって、EDAツールも設計のあらゆる段階でD, のみを意識するのではなく、P, D, AあるいはP, D, A, T, R, Yを目的関数あるいは制約条件に入れる必要が出てきた。各設計レベルでの電力のシミュレーションや電力を意識した合成ツールなどが低消費電力設計には欠かせない。活性化率を低くしたり、所望の遅延以内でローパワーゲートを使いこなす論理合成やトランジスタのサイジングツールなどが実用化されている。

このようなデバイスの、あるいは回路的なアプローチのほかにアーキテクチャレベルのアプローチがある。システムLSIはアーキテクチャとして低消費電力に向いている。

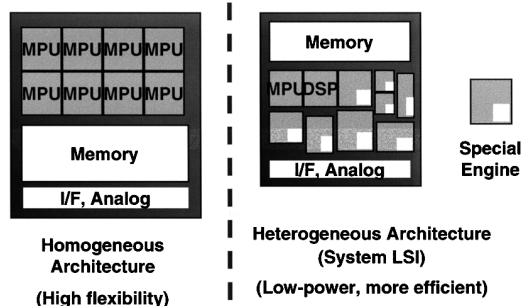


図6 並列プロセッサと低電力性に優れた専用機能ブロックを組み合わせたシステムLSI

Fig. 6 System LSI approach shows lower power.

たとえば、DVD(デジタル・ビデオ・ディスク)で使われているMPEG2のデコードをしたいとする。最近の高速マイクロプロセッサではソフトウェアだけでもMPEG2デコードは可能である。しかし、これには40W程度の電力が必要である。マルチメディア信号処理に特化したメディアプロセッサにすれば、3W程度でMPEG2動画をデコードできる。しかし、MPEG2デコード専用のシステムLSIを作れば、0.7Wで同じ機能を実現できる。このように、専用化することによって無駄を省いたシステムLSIのアプローチは2桁程度の低消費電力化の可能性がある。したがって、将来すべてのアプリケーションが並列プロセッサとソフトウェアで実現されるというシナリオには無理がある。多数のアプリケーションは専用ブロックとプロセッサなどを組み合わせたシステムLSIによって実現されると考えられる(図6参照)。

また、メモリを混載するシステムLSIのアプローチも低消費電力化につながる。たとえば、DRAMとプ

ロセッサを別チップで作り、1 GB/s 程度のバンド幅を得ようするとインタフェース部で 1 W 程度の電力が必要になる。しかし、両者を混載すれば、静電容量の小さなオンチップの配線を多数使って高いバンド幅を実現できるため 0.02 W 程度の電力で済む。インタフェースの電力は数十分の 1 にできる。

パワーの問題では、実装技術も重要である。CSP (Chip Size Package または Chip Scale Package) と呼ばれる最新のパッケージは、パッケージサイズが半導体チップ・サイズと同じ、あるいは一回り大きい程度の究極の小型パッケージで、超コンパクトな携帯機器の実現、およびパッケージの低価格化に貢献する。ウェーハスケール CSP になると、ウェーハの段階でパッケージを作りつけるため、半導体プロセスの延長として半導体ラインで作られる。このように LSI と実装の製造上の関連も増してきたが、関連は製造だけにとどまらない。

将来 0.5 V で 10 W のチップを考えると、20 A の電流が電源線に流れる。5% の電圧降下を許したとすると、チップの右端に入った 20 A の電流が左端に 0.025 V の電圧降下で到達するためには 20 μ m 程度の電源線の膜厚が必要である。このような膜厚はパッケージの配線を借りなくてはならず、LSI 側はアレイパッドを使ってパッケージと LSI を協調設計する必要が出てくる。このような電源線以外にも次節で述べる配線遅延問題の克服にパッケージの厚い配線層を借りることが出てくる可能性がある。また、すでにチップ間高速インタフェースでは実装と LSI が密接にかかわっており、EDA ツールには実装を含めたシステム全体としてのハードウェア設計を支援してほしい。

2.2 配線の危機

LSI の工期、コスト、遅延、電力などが配線によって決まるようになってきた (図 7 参照)。トランジスタ中心の設計から配線中心の設計へのパラダイムシフトが必要なゆえである。微細化とともに配線の断面積がスケール変数の二乗で小さくなるため配線抵抗が増し、信号が通りにくくなって配線遅延が増大するのは有名である。配線間コンタクトも微細化とともに面積がスケール変数の二乗で減少するため、急速に高抵抗化し、配線システムの遅延を増大させる (図 8 参照)。微細化とともに配線電流密度も増大しエレクトロマイグレーションによって配線信頼性は低下する。

微細化以外でも、多層化する配線は製造コスト増や製造期間増を引き起こす。配線抵抗や配線電流密度を少しでも減らそうとして、配線膜厚はあまり小さくしない微細化が行われるが、するとアスペクト比は増大

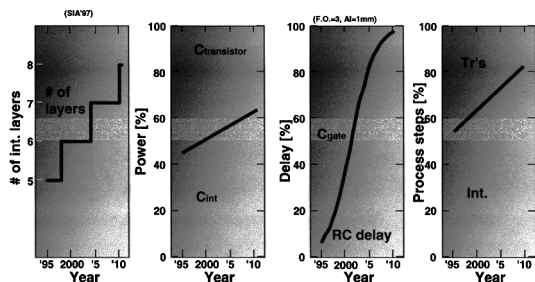


図 7 電力、遅延、コスト、工期などが配線によって決まる

Fig. 7 Interconnect determines power, delay, cost and TAT.

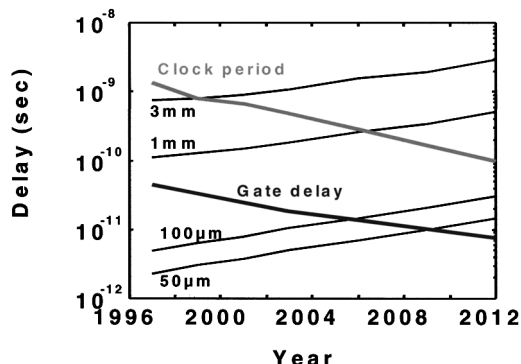


図 8 一定配線長による配線遅延の変化とゲート遅延

Fig. 8 Interconnect delay, gate delay and clock period.

する。多層化されアスペクト比が高くなってゆく配線システムでは対地容量に対して配線間容量が増大し、ひいては配線間カップリングノイズやタイミング誤差の増大へとつながる (図 9~図 11 参照)。クロック配線やバスなどの低抵抗で高速な伝送系では従来の抵抗 R と容量 C の他にインダクタンス L も考慮する必要が出てきた。このように配線関連の問題は山積している。

さて、これらの配線問題を解析¹⁷⁾あるいは解決する EDA も発表されている。配線遅延をタイミングシミュレータが考慮するのは常識になってきた。数年前、高速プロセッサを設計するときに自前のツールで配線遅延を考慮したのとは対照的である。配線遅延を低減するにはリピータと呼ばれる波形整形用インバータを配線の途中に挿入するのが有効だが、これに対応するツールもでてきた。ここでも消費電力を考慮すると遅延のみ最適化する場合に比較して、リピータの数は半分程度にすべきであることが導かれる⁶⁾。

配線構造から容量を正確に求めるツールは実用化の段階で、配線形状や配線間容量を記述するデータフォーマットの標準化も進んでいる。配線遅延を緩和

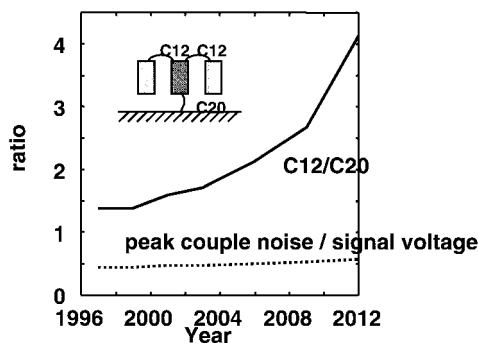


図 9 配線間のカップリング容量が増大し、ノイズが増大
Fig. 9 Increasing coupling capacitance and noise.

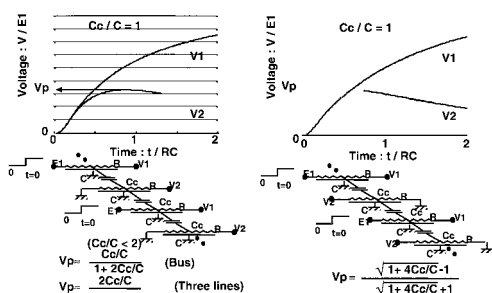


図 10 配線間カップリングの解析例¹⁷⁾

Fig. 10 Capacitive coupling among interconnections.

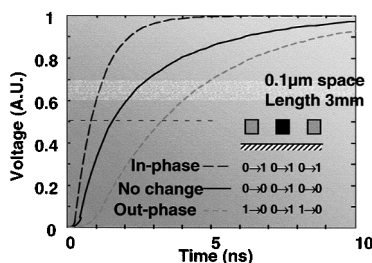


図 11 配線間容量カップリングによる配線遅延のばらつき

Fig. 11 Interconnect delay fluctuates by coupling of adjacent lines.

する一手法に上層の配線層の膜厚を厚くし低抵抗化するというアプローチがある。この低抵抗配線層を有効に使うにはタイミング制約の下で配線層の最適選択といった問題を解く必要がある。長期的に見ると配線遅延はアーキテクチャや高位設計の段階での解決が効果的である。遠いところとはあまり交信しないアーキテクチャは、すでにコンピュータシステムでキャッシュなどのローカルメモリによって実現されている。

配線遅延のみならず、配線間のカップリングを避けるため、なるべく配線間を離したりする最適化配線プログラムなども実用化されている。いわゆる signal

- Re-use and sharing of design
- Design in higher abstraction

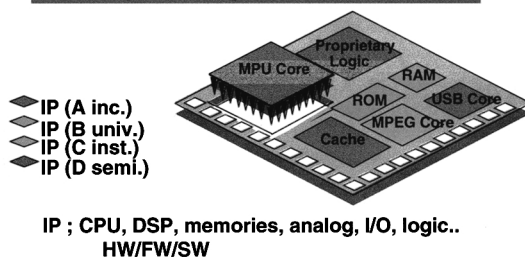


図 12 設計資産の再利用と高い抽象レベルの設計が複雑さの問題の解決には必要となる

Fig. 12 IP-based design.

integrity (信号の完全性)の確保は配線問題の中でも最も悩ましい問題である。そのほか、電源線のノイズ、耐エレクトロマイグレーションによる信頼性の確保なども深刻になってきている。たとえば、電源線が高抵抗化すると配線抵抗と電流によって電圧降下が生じる。これは電源線の IR ドロップ問題と呼ばれる。パッドに 2V の電圧を与えても内部では電圧降下によって 1.8V しか印加されないことがあり、実測とシミュレーションの違いの大きな原因になっている。将来、数百アンペアの電流を消費する LSI が出現すると考えられるが、このような場合電源線の IR ドロップ問題はますます重要になる。

ますます深刻化する多種類の配線問題に対応する EDA ツールはこれからもホットな分野であり続けるだろう。これらの問題の解決には解析ツール以外に設計ガイドラインの設定なども効果大きい。

2.3 複雑さの危機

複雑さの危機を救うには 2 つのアプローチが知られている。1 つは高い抽象度で設計すること、1 つは設計を共有したり再利用したりすることである (図 12)。どちらもコンピュータとネットワークを駆使することが前提である。また、お互いに関連しあっているのはいうまでもない。

高い抽象度で設計ということになると、最近の話題はハードとソフトの協調設計であろう。システム全体としてはハードウェアとソフトウェアが一緒に動いて一定の機能を実現する。したがって、システム LSI を設計するにあたっては一緒に使うソフトウェアも考えながら設計しなくては、本当の検証や最適化はできない。当面、協調設計ツールは協調シミュレーションや協調検証に限られている。しかし、今後、ソフトとハードをどのように切り分けたらシステムが最適化されるかなどに答えを出す高度なツールもでてくる。

このような最適化では、出来合いのプロセッサではなく、ワード長や命令セットまでも可変で最適化できるのが理想である。この場合はコンパイラも自動生成される。このような EDA ツールは米国のベンチャーなどで実用化が進んでいる。プロセッサだけならまだしも、FPGA などのブロックを持ったシステム LSI を考えると、どこを専用ハードに、どこをコンフィギュラブル構造に、どこをソフトに割り当てると最適になるかといった問題が出てくる。これから研究が進む分野と期待される¹⁸⁾。また、LSI とソフトだけでなく、機械などのアクチュエータまで一緒に設計するという、より広い協調設計もこれからの課題である。

一方、世界中で設計情報を共有、再利用するためにはインタフェースの標準化が必須である。これを目指した動きとして、世界で百数十社が集まって標準化を協議している VSI (Virtual Socket Interface) などが知られている。実際にこれらの設計法を適用する際にはコンピュータを駆使する必要がある、CAD 技術が重要となる。誰も億単位のトランジスタを最初から設計し、1 回のシリコンチップ作製で完動できないことを考えると、VSI 準拠にするしないにかかわらず、設計情報の共有、再利用は避けられないトレンドと考えられる。

このように大きな回路ブロック(仮想部品)を再利用しながら組み合わせてつくる設計手法は現実のものになりつつあるが、そこで使われる回路ブロックの設計情報は IP (Intellectual Property) と呼ばれる。ミドルウェアなどのソフトウェアまでを含めて IP と呼ぶこともあり、知的な情報の集積体である IP は付加価値の源泉である。IP 立国なる言葉も出てきた。英国の ALBA プロジェクトなどは EDA ベンダーと産学共同で大規模な IP 生産の枠組みを模索しており注目される。

もう 1 つ、この複雑さの危機に関連するものとして、半導体プロセスの標準化がある。LSI はハードウェアなので、論理あるいはそれより抽象度の高いレベルだけでは話は終わらず、どうしても物理レベルとの関連がある。特に、タイミングの検証などはプロセス依存が大きく、アナログ回路などではこれが顕著である。デザインルールやデバイスの電気特性の標準化が進む可能性は十分にある。現在、プロセスは半導体ハウスの差異化の源泉と考えられているが、IP ベースの LSI 設計が進んでくると、どこかでビジネス環境に変化が出てくるのではないだろうか。アドオンのプロセスで差異化を追求しつつも、ベースプロセスの標準化が行われる。垂直型産業から水平型産業に移行するために

は、各レベルのインタフェースを共通化する必要があるが³⁾、プロセスの標準化はこれの 1 つの例ではなからうか。

複雑さの範疇に入るもので、多少毛色の違うものにばらつきの問題がある。ディープサブミクロンプロセスでは極微細なパターンを使用するため比較的電氣的パラメータのばらつきが大きくなる。たとえば、MOS トランジスタのゲート長がばらつけば、しきい値電圧や電流駆動能力にばらつきが生じ、特に、メモリやアナログの回路では性能ばらつきが大きくなる。

プロセスのばらつきと回路性能のばらつきの関係解明やばらつきのある環境下での設計最適化など、歩どまりの高い LSI を設計するためには重要な研究領域となる⁷⁾。

2.4 混載技術

さて、システム LSI は従来のボードが LSI になったようなものなので、メモリ、ロジック、アナログなどの異種回路ブロックをワンチップに混載することが必要である。したがって、メモリ混載、アナログ混載、高電圧混載などが重要課題となる。メモリ混載、特に DRAM 混載や EEPROM 混載などでは、いかにメモリ部分のプロセスとロジックプロセスとの親和性を良くし、少ないマスク数でシステム LSI を実現するかが混載プロセスの 1 つの鍵である。また、アナログ混載ではロジック部分が発生するノイズの影響をいかに防ぐかが 1 つの鍵となる。ノイズには配線のカップリングによるもの、基板を介して伝わるもの、電源線経路で混入するものがある。これらの解析と防御にはツールが必要である。混載技術の課題はテスト技術にも及ぶ。混載メモリなどでは BIST (Built-In-Self-Test) などを活用することにより、テストコストを削減することが重要課題になってくる。多数、多種の高額テスターを使うことは多大なコスト増につながるからである。

しかし、汎用メモリとは異なり、1 品 1 品極限の設計をするツールよりは、自動モジュール生成による多品種展開、モジュールの埋め込み、混載時のテスト容易性などに EDA への期待が高まっている。多品種の混載 DRAM モジュールをマージンの高いメモリセルを使って設計する米国ベンチャーなども現れた。このように混載メモリや混載アナログの設計は今までの単独メモリやアナログ LSI の設計とは異なった最適化があり、混載用の IP あるいは EDA ツールには新たなビジネスチャンスもある。

Year	Unit	1999	2014	Factor
Design rule	i m	0.18	0.035	0.2
Tr. Density	/cm ²	6.2M	390M	30
Chip size	mm ²	340	900	2.6
Tr. Count per chip (i P)		21M	3.6G	170
DRAM capacity		1G	1T	256
Local clock on a chip	Hz	1.2G	17G	14
Global clock on a chip	Hz	1.2G	3.7G	3.1
Power	W	90	183	2.0
Supply voltage	V	1.5	0.37	0.2
Current	A	60	494.6	8
Interconnection levels		6	10	1.7
Mask count		22	28	1.3
Cost / tr. (packaged)	i cents	1735	22	0.01
Chip to board clock	Hz	500M	1.5G	3.0
# of package pins		810	2700	3.3
Package cost	cents/pin	1.61	0.75	0.5

図 13 2014 年の LSI の緒元予測 (ITRS)⁸⁾

Fig. 13 LSI's in 2014.

3. システム LSI と教育普及

システム LSI は今後の電子システムのキーコンポーネントである。電子システムそのものともいえる多様なシステム LSI の開発には、多くの人材が必要である。これらの人材は LSI の知識を持ち、CAD fluent でなければいけない。このような人材を積極的に育てるプログラムがいくつか始動している。

このようなシステム LSI の教育を議論するときには忘れてならないのは、システム LSI はもはやシステムであるということである。したがって、システムの知識なしに、半導体の知識だけでは提案や設計はできない。システム知識のある半導体技術者、半導体を知ったシステム技術者が渴望されるゆえんである。たとえば、MPEG, CDMA, ビタビ, α プレンディングなど今まで半導体技術者は関連の薄かった言葉が ISSCC (国際固体回路会議) などで飛び交っている。

4. システム LSI の将来

まず、現存の多くの部品を回路ブロックとして集積した形で始まったシステム LSI であるが、将来は回路ブロック間の融合や、新しい形のアーキテクチャが提案されるはずである。こうすることによって、より高い付加価値がつくからである。また、センサやマイクロアクチュエータが混載される可能性もある。いずれにしても集積回路のシステム LSI 化は今後、ますます加速されると考えられる。システムの高性能化、高機能化がシステム LSI 技術にかかっているからである。ITRS⁸⁾に基づく 2014 年の LSI の緒元の予測を図 13 にまとめる。

一方、これに対応して EDA 環境も進化する。ホットになる EDA の分野は大別して 2 つあると考えられ

る。1 つはハード・ソフトの協調設計などのより抽象度の高い高位設計評価 CAD, 他の 1 つはディープサブミクロンに対応する CAD 分野である。前者は複雑さの危機を乗り越えるため必須だし、後者は微細化すると問題となる物理量, たとえば消費電力や配線遅延, 信頼性などからの挑戦を受けて立つうえで必要になる。これら EDA 環境の new frontier と設計者の creative spark が結び付いて初めて、社会の新しい要求に応えられるシステム LSI が実現できる。

参 考 文 献

- 1) 桜井貴康ほか：特集：システム LSI—マルチメディア社会を支える IC 技術，電子情報通信学会誌，pp.1081–1182 (Nov. 1998).
- 2) 桜井貴康（編著）：低消費電力，高速 LSI 技術，リアライズ社 (Feb. 1998).
- 3) 西村吉雄：硅石器時代の技術と文明，開発社，(1996). 半導体産業のゆくえ，丸善ライブラリー (1995).
- 4) Chandrakasan, A., Amirtharajah, R., Cho, S.H., Coodman, J., Konduri, G., Kurik, J., Rabiner, W. and Wong, A.: Design Considerations for Distributed Microsensor systems, *CICC99*, pp.279–286 (May 1999).
- 5) Kanda, K., Nose, K., Kawaguchi, H. and Sakurai, T.: Design Impact of Positive Temperature Dependence of Drain Current in Sub 1V CMOS VLSI's, *CICC99*, pp.563–566 (May 1999).
- 6) 井高康仁：微細化された LSI におけるツリー構造配線への最適リピータ挿入，東京大学大学院工学系研究科電子工学専攻修士論文 (1999).
- 7) Sakurai, T.: Design Challenges for 0.1um and Beyond, *ASPDAC'00*, A7.1, pp.553–558 (Jan. 2000).
- 8) *International Technology Roadmap for Semiconductors*, 1999 edition, International Sematech (1999).
- 9) Mutoh, S., et al.: 1V High-Speed Digital Circuit Technology with 0.5um Multi-Threshold CMOS, *Proc. IEEE 1993 ASIC Conf.*, pp.186–189 (1993).
- 10) Kawaguchi, H., Nose, K. and Sakurai, T.: A CMOS Scheme for 0.5V Supply Voltage with pico-Ampere Standby Current, 1998 ISSCC Digest of Tech. Papers, pp.192–193 (Feb. 1998).
- 11) Kawaguchi, H., Itaka, Y. and Sakurai, T.: Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's, *Symp. on VLSI Circuits*, pp.140–141 (June 1998).
- 12) Kuroda, T., Fujita, T., Mita, S., Nagamatsu, T., Yoshioka, S., Sano, F., Norishima, M.,

- Murota, M., Kato, M., Kinugawa, M., Kakumu, M. and Sakurai, T.: A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme, *ISSCC*, pp.166–167 (Feb. 1996).
- 13) Mizuno, H., Ishibashi, K., Shimura, T., Hattori, T., Narita, S., Shiozawa, K., Ikeda, S. and Uchiyama, K.: A 18uA-Standby-Current 1.8V 200MHz Microprocessor with Self Substrate-Biased Data-Retention Mode, 1998 *ISSCC Digest of Tech. Papers*, pp.280–281 (Feb. 1999).
- 14) Takahashi, M., et al.: A 60mW MPEG4 Video Codec Using Clustered Voltage Scaling with Variable Supply-Voltage Scheme, 1998 *ISSCC Digest of Tech. Papers*, pp.36–37 (Feb. 1998).
- 15) Min, N.D. and Sakurai, T.: Compact yet High-Performance (CyHP) Library for Short Time-to-Market with New Technologies, *ASP-DAC'00*, A6.2, pp.475–480 (Jan. 2000).
- 16) Lee, S. and Sakurai, T.: Run-time Power Control Scheme Using Software Feedback Loop for Low-Power Real-time Applications, *ASP-DAC'00*, A5.2, pp.381–386 (Jan. 2000).
- 17) Kawaguchi, H. and Sakurai, T.: Delay and Noise Formulas for Capacitively Coupled Distributed RC Lines, 1998 *ASPDAC, Digest of Tech. Papers*, pp.35–43 (Feb. 1998).
- 18) Fujii, T., Furuta, K., Motomura, M., Nomura, M., Misuno, M., Anjo, K., Wakabayashi, K., Horita, Y., Nakazawa, Y., Ito, H. and Yamashina, M.: A Dynamically Reconfigurable Logic Wngine with a Multi-Context/Multimode Unified-Cell Architecture, 1999 *ISSCC Digest of Tech. Papers*, pp.364–365 (Feb. 1999).

(平成 12 年 2 月 2 日受付)

(平成 12 年 2 月 4 日採録)

桜井 貴康



昭和 56 年 3 月、東京大学電子工学専攻博士課程修了。工学博士。同年 4 月に(株)東芝入社、半導体技術研究所にて DRAM、高速 SRAM、キャッシュメモリ、ASIC の設計研究開発に従事。その間、世界初の DRAM 混載 ASIC などを発表。また、広く半導体産業界で使用されている α 乗則 MOS モデルや、配線容量、遅延のモデルを提案。昭和 63 年から平成 2 年まで U.C. Berkeley にて LSI CAD の研究、その後(株)東芝に帰任し論理 LSI、BiCMOS ASIC、高速プロセッサ、世界初の MPEG2 用 LSI、メディアプロセッサ等のシステム LSI の設計開発をマネジメント。平成 8 年 7 月より東京大学生産技術研究所教授。高速、低消費電力 LSI 設計の研究に従事。平成 10 年 7 月より東京大学国際・産学共同研究センター教授。VLSI 回路シンポジウム委員長、ASPDAC 副委員長ほか、ISSCC, CICC, DAC, ICCAD, FPGA workshop, ISLPED, TAU, ICVC 等の国際学会の技術委員。