

FMMにおける割り込み機能およびその性能予測

1 L-5

岩根 雅彦 塚原 宏享 7セシ・ケシヨ 浦崎 直彦
 (九州工業大学) (東芝 北九州工場)

1.はじめに. FMM(Flexible Mesh-network Multi-microprocessor)はSPMD型処理, MIMD型処理, MIMD+SPMD融合型処理をグループ毎に独立に実行できることを目的に設計されたシステムである. このような汎用性のあるシステムにおいてグループ管理, 共有変数更新のための相互排除, プロセス間における同期, プロセスからのサービス要求を効率よく処理する必要がある. 従来ソフトウェアでおこなっていたこれらの処理の多くを簡潔なハードウェア機構により実現した. これらのハードウェアを使用したときのシステムの性能を待ち行列により解析予測する.

2.システム構成. FMMは図1に示すようにHC(Host Computer), IIU(Integrated Interface Unit)および64台のPUで構成される. HCとIIUはHCバス, IIUとPUはDTバスおよびINTバス, PU間はトラス網およびGSMバスで結合している. HCバスはHCとIIU間のデータ転送, DTバスはIIUとPU間のデータ転送, INTバスはPUからIIUへステータス転送, トラス網はPU間の4隣接方向へのデータ転送, GSMバスは同一グループ内PUの共有メモリの更新のために使用される.

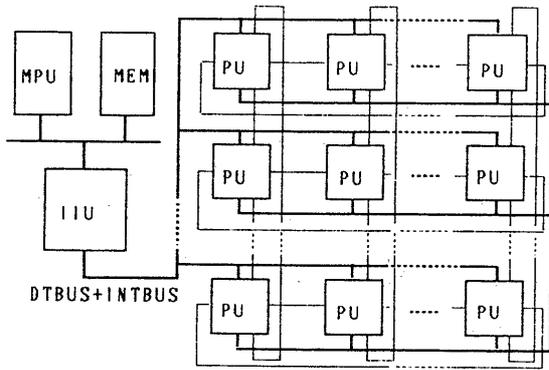


図1 ハードウェア構成

3.統合インターフェース. 図2に示すようにIIUはHCとPUとのインターフェースであり, HC-PU間およびPU-PU間のデータ転送, 任意のPUをまとめてグループとして取り扱うための特別なCAMを用いたグループ管理およびPUから通知されたステータスに従って処理する要求処理を行う. データ転送および要求処理ではCAMを共用するので一方が使用中のとき他方は待たされる. PUからの要求には, Lock(同一グループ内の他のPUの実行を中断する), Unlock(Lockで中断している同一グループのPUの実行を再開する), Barrier(同一グループ/サブグループ内のすべてのPUがBarrierを発生するまで実行を中断する), Hsync(同一グループのすべてのPUがHsyncを発生するとHCに割り込みを発生する), Service Call(HCに割り込みを発生する)がある. PUはバスを介して要求種別, PU番号/グループ番号およびパラメータをIIUに送る. 要求種別がLock, Unlock, Barrierのとき, IIUはPU番号をもとにCAMからグループ情報を引き出し, 条件が揃えばグループ内すべてのPUへ制御信号を送る. Hsyncのとき, PU番号をもとにCAMからグループ情報を引き出し, 条件が揃えばHCに割り込みを発生させグループ番号およびパラメータを渡す. Service CallのときHCにわりこみを発生させPU番号およびパラメータを渡す.

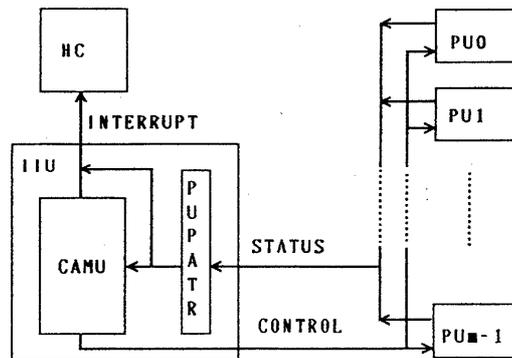


図2 インタフェース

3. 待ち行列モデル. IIUの要求処理を待ち行列による性能予測を行うために以下の仮定をおく。

- 1) 各PUは一定のマシサイクル後にIIUに要求を発生する。
- 2) PUのIIUへの要求の到着はポアソン分布に従う。
- 3) IIUのサービスは到着順に行われる。
- 4) IIUのサービス時間は一定時間遅れを伴った指数分布に従う。

この仮定のもとにIIUのPU要求処理を有限母集団待ち行列によるモデル化すれば図3となる。

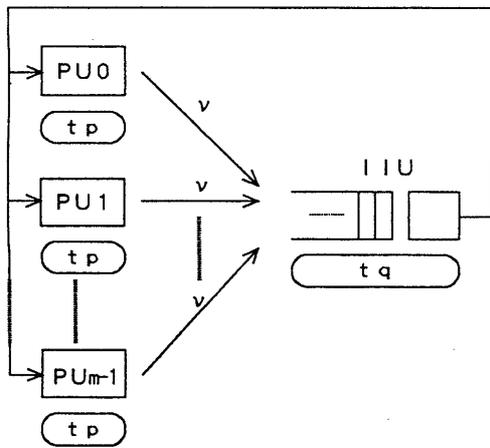


図3 待ち行列モデル

- m : PUの台数
- Tp : IIUに要求を出すまでのPUの平均実行時間
- ν : 到着率, (ν=1/Tp)
- Tq : IIUにおける平均系内時間
- Ts : IIUの平均サービス時間

仮定4よりIIUのサービス時間分布g(t), 平均サービス時間は次式となる。

$$g(t) = u(t - T_0) \lambda \{ \exp(-\lambda(t - T_0)) \} \quad (1)$$

$$T_s = T_0 + 1/\lambda \quad (2)$$

一般にM/G/1/Nモデルにおける平均系内時間Tqは次式で与えられる。

$$T_q = m T_s - (1 - 1/h) / \nu \quad (3)$$

$$h = \sum_{j=0}^{m-1} \binom{m-1}{j} \psi(j)$$

$$\psi(j) = \frac{1}{\prod_{i=0}^{j-1} \{1 - F(i\nu)\}} \quad (j \geq 1)$$

$$= 1 \quad (j=0)$$

ただし、F(s)はf(t)のラプラススチルチェス変換、 $f(t) = \int_0^t g(x) dx$ である。

IIUにおける平均系内時間Tqは次式となる。

$$T_q = (m h \nu T_s - h + 1) / h \nu \quad (4)$$

$$h = 1 + \sum_{j=0}^{m-1} \binom{m-1}{j} \times \prod_{i=0}^{j-1} \{ i \nu (T_s - T_0) + 1 - \exp(-i \nu T_0) \} / \exp(-i \nu T_0)$$

4. 性能予測. 平均系内時間Tqとサービス遅れ時間To、要求の到着率νおよびPU台数mとの関係を式(4)により予測する。図4において横軸はPU台数m、縦軸はIIUのマシサイクル数による平均系内時間Tqであり、到着率ν、遅れ時間To、係数λはマシンサイクル時間で正規化されている。式(4)および図4よりあるPU台数mより大きいところでは平均系内時間Tqは平均サービス時間Tsに比例し、平均サービス時間が等しければPU台数mは到着率νに反比例する。FMMではTo=8(マシサイクル)であるのでν=0.001, 0.0005, λ=0.5とすると、64台のPUでは待ち時間は無視でき平均系内時間Tqは平均サービス時間Tsとみなせる。256台PUシステムを想定すると1NTバス幅を16ビットから32ビットへの拡張および転送速度の向上が必要となる。

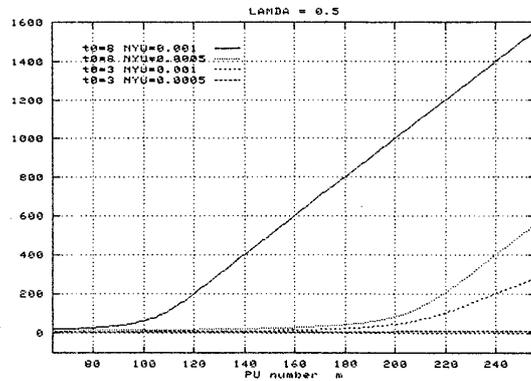


図4 PU台数と平均系内時間

5. むすび FMMにおける相互排除、プロセス間同期等のハードウェア機構、性能解析のためのモデル化および待ち行列モデルによる性能予測について述べた。64台のPUで構成されるFMMでは性能低下は起こらないと判断できた。現在4PUでデバッグ中であり、実測値との比較検討が今後の課題である。

参考文献

1. 塚原他: グループ共有メモリを持った柔軟な格子結合型並列計算機, SWoPP日向灘'92, 1992
2. S.F.Lundstrom: Applications Considerations in the System Design of Highly Concurrent MultiProcessors, IEEE Trans Comput., Vol.36, No 11, Nov., 1987, pp.1292-1309
3. 伏見: 確率と確率過程, 講談社, 1987
4. 森村, 大前: 応用待ち行列理論, 日科技連, 1975