

HDL記述の論理合成向き自動変換

4E-4

清水圭典 野地保

三菱電機 カスタムLSI設計技術開発センター

1. はじめに

近年、レジスタ転送レベルのハードウェア記述言語(HDL)を入力とする論理合成プログラムが種々実用化され始めてきた。しかしながら現状ではHDLの記述スタイル(記述の仕方)が、論理合成時間やメモリ使用量だけでなく論理合成結果をも大きく左右する。さらに悪い場合、意図しない論理合成結果を得ることもある。これらの問題点を解決する一手法として、論理合成に適した記述スタイルへのHDL自動変換が考えられる。本論文では自動変換プログラムの開発構想について述べる。

2. 目的

機能仕様をレジスタ転送レベルで記述する場合、どの程度ハードウェアの構造情報を付加するかによって様々な方法がある。図1に示すように現状の論理合成プログラムでは、機能的には同じ記述であっても、記述スタイルによって論理合成結果は必ずしも一致するとは限らない。

構造情報の少ない(すなわち抽象度の高い)記述は、記述量が少なく動作を理解し易いという利点がある半面、

- ①意図する回路に論理合成される保証がない、
- ②記述と論理合成結果の対応がとりにくい、
- ③論理合成に多くの計算機リソース

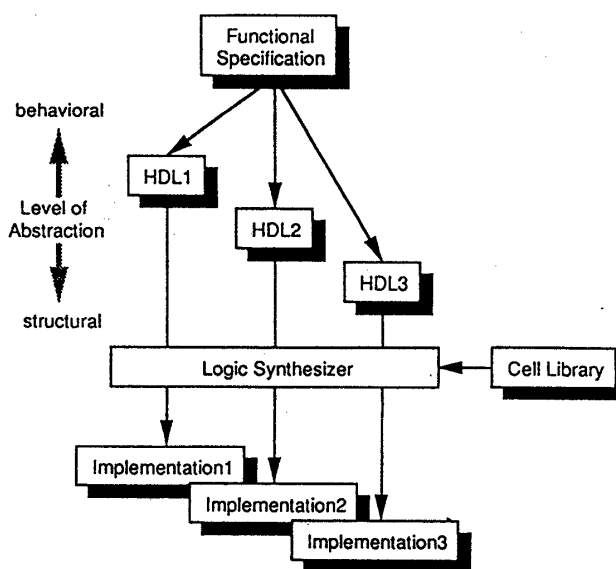


Fig. 1 The relationship between HDLs and synthesized logic

(論理合成時間、メモリ使用量)が必要となる、

といった欠点がある。一方、構造情報の多い(すなわち抽象度の低い)記述は、構造情報を付加する分、記述量が多くなり動作が理解し難くなる。さらに一般に構造情報の多少に関わらず、制御構造の深さ、回路分割の違いによっても、上記①、②、③の問題点が発生することがある。

そこでこれらの問題点を解決するために、レジスタ転送レベルのHDL記述を論理合成に適した記述スタイルに自動変換するプログラムを開発する。本プログラムの目的は、ハードウェア設計者の負担を増すことなく、HDLレベルで論理合成後の回路構造を保証

An automatic HDL translator for logic synthesis.

Keisuke Shimizu and Tamotsu Noji

Mitsubishi Electric Corp., ASIC Design Engineering Center

するとともに、論理合成に必要な計算機リソースを削減することである。

3. 機能

図2に自動変換プログラムの位置付けを示す。ここでは自動変換プログラムの機能を、①セマンティクス・チェック機能、②構文変換機能、③構造情報付加機能に分けて説明する。

セマンティクス・チェック機能

論理合成する前に回路構造の不具合を発見する機能。具体的には以下の10項目の検出を行う。

- ①レジスタ間の同相転送。
- ②データとクロック間のタイミングエラーの発生可能性。
- ③ライブラリに存在しないラッチ、フリップフロップの参照。
- ④非同期リセット。
- ⑤被演算子とセンシティビティ・リストの整合性誤り。
- ⑥メモリ素子。
- ⑦ワイヤードロジック。
- ⑧同一信号の別名。
- ⑨不定値の代入。
- ⑩不定値との比較。

構文変換機能

論理合成プログラムが、ハードウェア設計者の意図する回路を論理合成するように、構文を変換する機能。具体的には以下の4項目の変換を行う。

- ①ループ文内でループ変数の値を終了条件としている箇所をループ脱出文に変換する。
- ②レジスタ初期化記述をコメント文に変換する。
- ③比較文、代入文に現れる定数のビット幅を明示的に指定するように変換する。
- ④並列実行文を逐次実行文に変換する。

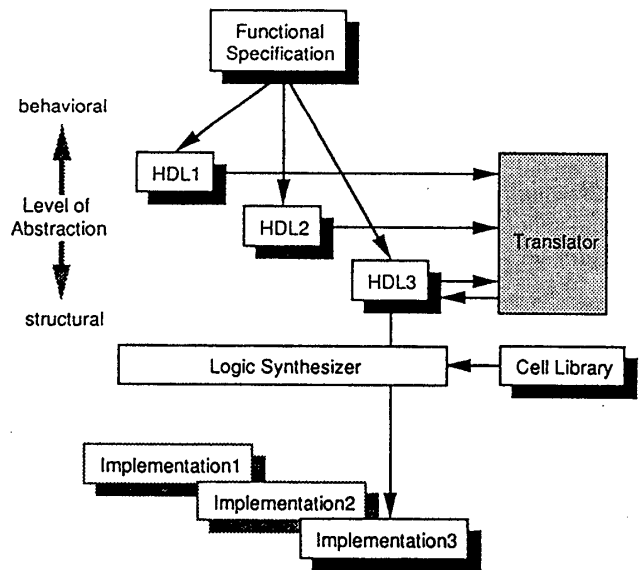


Fig. 2 The function of translator

構造情報付加機能

HDLに構造情報を付加する機能。

4. 今後の課題

本論文では、レジスタ転送レベルのHDL記述を論理合成に適した記述スタイルへ自動変換するプログラムの開発構想について述べた。今後、構造情報付加機能の実現方法を検討し、プログラム実現のための問題点を洗い出すとともに、プロトタイプ作成を行う。さらに実際のHDL記述に対して自動変換プログラムを適用し、有効性を確認する。

参考文献

- R. Camposano: "From Behavior to Structure: High-Level Synthesis," *IEEE Design & Test of Computers*, 7, 5, pp. 8-19, (October 1990).
- J. Bhasker and Huan-Chih Lee: "An Optimizer for Hardware Synthesis," *IEEE Design & Test of Computers*, 7, 5, pp. 20-36, (October 1990).