

5 J-2 アナログ機能ブロックのレイアウト設計支援システム

長尾明、山内貴行、乙井美佐代、神戸尚志

シャープ株式会社

1 はじめに

これまで、アナログ LSI のほとんどが人手設計によりレイアウトされてきた背景には、以下のような理由があげられる。

- 回路規模が比較的小さい。
- 配線抵抗や寄生容量、素子の電気的特性のばらつきなどがチップ性能に大きく影響するため、デジタル LSI 用の自動レイアウト手法が適用できない。
- 用途ごとに要求される回路特性が異なり、レイアウトの標準化が難しい。

しかし近年の高集積化と回路規模増大により、人手レイアウトによる短期間設計はもはや困難となり、設計の効率化が強く望まれている。このような要求のもとに、アナログ機能ブロック設計の自動化手法がいくつか提案されているが、いまのところ回路特性やチップサイズを考慮すると現実的でない。各種検証機能や会話的操作のできる自動レイアウト機能を備えたシステムにより人手設計を支援する方法が实际的である。

本稿では、バイポーラプロセスを対象にした、アナログ機能ブロックのレイアウト設計支援システムを紹介する。本支援システムは VLSI レイアウト設計支援システム [2] をベースに、各種支援コマンドが統合されており、設計期間短縮に寄与している。

2 レイアウトモデル

本支援システムで扱うレイアウトモデルを示す。

- 機能ブロック内に配置される素子のレイアウトパターンは、ライブラリとしてプロセス毎に用意される。なお、パラメータにより形状が変化する抵抗などの素子は、基本形状が登録されている。
- 素子には配線用の接続要求(ネット名)、接続位置等を示す端子が存在する。

A Module Generator for Analog LSI
A.Nagao, T.Yamanouchi, M.Otoi, T.Kambe
SHARP CORPORATION

- 素子には素子枠が存在し、配置時に素子枠どうしが重なり合わない限り素子間の設計規則を満たすよう登録されている。
- 素子上に配線可能な領域が存在する。
- 配線はメタルを用い、1層配線出来ない場合に2層メタル配線を使用する。

3 本支援システムによる設計

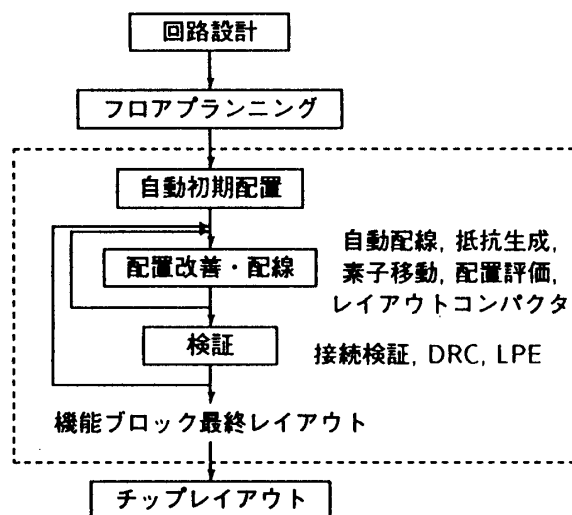


図 1: 設計の流れ

以下、各支援コマンドを紹介する。

3.1 初期配置

回路図における素子の相対位置を反映して、素子を自動配置する。従来の人手設計においても、回路図における相対配置をもとにしたラフなレイアウトから設計を行っており、これは回路図が以下の点に留意して設計されることによる。

- 信号の流れに沿った素子の配置がなされる。
- 相対的な精度を要する素子群は近くに配置される。
- 配線の交差が少なくなるよう工夫される。

3.2 会話型自動配線

機能ブロック内全体、部分領域、指定端子間の配線が可能で、これを設計段階に応じて使い分ける。本会話型自動配線 [1] は線分探索法をベースに、素子上の通過可能な領域を認識して端子間の配線を行う。また、機能ブロック内配線において縦横ルール適用はビア数を増し、回路特性の劣化、機能ブロックの面積増加をまねくとともに、機能ブロック間配線時のブロック上配線を妨げるため得策でない。本コマンドでは、まず一層のみで一括配線する。次いでレイアウト設計者は、既配線の引き剥がし、素子配置の改善、配線径路のおおまかな指示、2層メタル配線の利用、配線径路の複数候補からの選択、等を会話的に繰り返して未配線部分の配線を行う。

3.3 結線要求表示

配線要求のある素子端子間を破線で結んで表示する。会話型自動配線は、結線要求に基づいて配線を行っているが、レイアウト設計者は配置改善において、この結線要求を参考にすることができる。また、未配線となった端子間だけの表示も可能である。

3.4 回路 / レイアウト間のナビゲーション

素子の配置改善として、移動・回転・位置揃え・形状変更等の操作が行なわれるが、操作の対象となる素子を選択(セレクト)する際、機能ブロックのレイアウトパターンを表示している画面上で素子の選択を行うと、回路図画面上の対応する素子がハイライト表示される。また、回路図画面上での指示により、レイアウト画面上の素子を選択できる。さらにネット単位で配線を行う場合に、回路図画面上でネットを指定して、結線要求のある端子群を選択する機能が装備されている。

3.5 抵抗生成

初期配置後の抵抗素子は、抵抗値に応じて基本形状を伸縮して配置してあるだけで、折れ曲がりがない。従って面積の比較的大きい抵抗素子については、周囲の素子配置や配線要求を考慮して、機能ブロックのサイズが小さくなるよう折り曲げる必要がある。本コマンドでは、抵抗値と基本形状名を与えて新規に抵抗を生成する機能に加え、既に配置されている抵抗素子に画面上で中間点を指定して形状を変更できる。なお、抵抗値の算出式は、基本形状毎にテクノロジーファイルに記述されており、初期配置・抵抗生成コマンドとも同一の算出式により素子形状を決定している。

3.6 LPE

抵抗素子、容量素子、配線抵抗、配線容量を画面上での指示により算出する。初期配置時の容量素子外形は矩形であるが、最終レイアウトにおいては周囲の素子配置を考慮して多角形となることが多い。形状を変更することに会話的に容量値の検証が可能である。

4 本支援システムの適用結果

本支援システムによるレイアウト結果を図3に示す。これは図2の初期配置から配置改善を行って、一括配線し、電源配線および未配線部分を会話的に自動配線した結果である。図3に示すような機能ブロックのレイアウト設計を、人手設計に比べ1/2程度の期間で行うことができた。

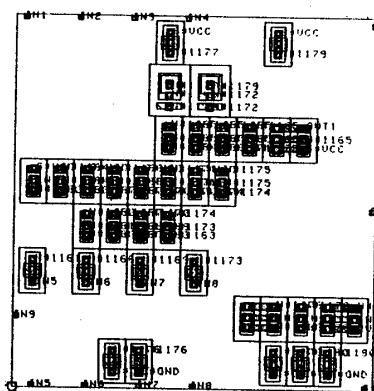


図2: 初期配置結果

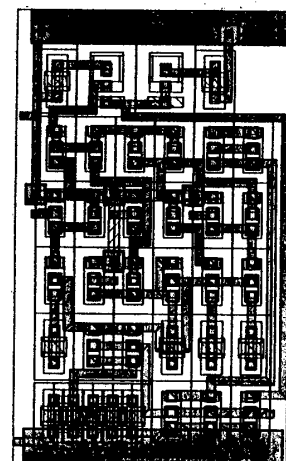


図3: レイアウト結果

5 おわりに

本稿では、アナログ機能ブロックのレイアウト設計を従来の人手設計の流れに沿って支援し、短期間でレイアウト設計する手法を提案した。

参考文献

- [1] 松本美佐代、他“VLSI レイアウト設計における会話型自動配線”，第35回情処全国大会 6H-6, 1987.
- [2] 神戸尚志、他“VLSI レイアウト設計支援システム”，信学技報 VLD87-9, 1987.
- [3] 吉田健一、他“アナログLSIのレイアウト設計支援システム”，第39回情処全国大会 3V-2, 1989.
- [4] 山田晃久、他“アナログ機能ブロック内配置の一手法”，電通全国大会 SA-3-4, 1990.