

# 1 チップ・シミュレーションエンジン：TASSE II

## 3 J-4

富田 昌宏 菅沼 直昭 多田 新吾 平野浩太郎  
神戸大学

### 1. はじめに

ASICの普及とともに、デジタル回路の論理検証、タイミング検証をQTAT(Quick Turn Around Time)で、かつ容易に実行できる環境が求められている。論理シミュレーションを高速化するために、多くの専用エンジンが開発されてきた[1]。我々は、数万ゲートのASICを含むシステムを対象としたシミュレーションエンジンTASSE[2]を既に開発したが、他のエンジンと同様、ホストコンピュータと独立した大型の筐体が必要とし、通信によりデータの授受を行っていた。また、シミュレーションモデルの追加・変更が困難な点に問題があった。

そこで、設計者が1人1台のエンジンを占有利用することを目標とし、以下の点を特徴とするシミュレーションエンジンTASSE II (Timing and Strength Simulation Engine II)を開発した。

- (1) エンジンの処理ユニットを1チップ・ゲートアレイに集積し、パーソナルコンピュータの増設ボード上でシステムを実現。
- (2) ソフトウェア処理を短時間で実行。
- (3) 拡張性の高いシミュレーションモデル。

### 2. 仕様

システムの仕様について以下に示す。

- (1) 対象：ASICと、その周辺回路(CPU、メモリ等)
  - i) 素子数 64K素子/ユニット (最大16ユニット)
  - ii) モデル ゲート、MOS素子と、192種まで拡張可能な外部モデルの適用により、リアルチップ、メモリ、機能モデルについても扱う。
- (2) 処理速度：約20万イベント/秒 (1ユニット)
- (3) ソフトウェア処理時間：数万ゲートの回路に対して、数分で前処理を終了する。
- (4) 信号値：状態値と信号強度で表現する [2]。
  - i) 状態値 4値 (0, 1, X, C:競合)
  - ii) 信号強度 4段階 (D:駆動, R:抵抗負荷, B:大容量性ハイインピーダンス, F:小容量性ハイインピーダンス) × 2 (確定, 不定)
- (5) 遅延：0~4,095単位時間で各素子に割り当てる。

### 3. 構成

図1にシステムの構成を示す。複数の処理ユニットから構成されるエンジンと、論理情報編集、回路モデル生成、実行制御と結果解析等を行うため、パーソナルコンピュータ上に実現された支援ソフトウェアからなる。

#### (1) ソフトウェア構成

シミュレーションに必要なとなる全ての情報を入力

する。各回路ブロック単位でコンパイルを行った後、対象箇所に指定された部分回路について階層展開を行い、シミュレーションに必要な回路モデルを作成する(リンク処理)。回路モデルとテストパターンをエンジンにロードし、シミュレーション実行を制御する。シミュレーション結果をリアルタイムで表示すると共に、必要に応じてファイルへ出力する。機能ブロック単位の分割・リンク処理、回路モデル出力用キャッシュの採用により、高速化と必要メモリ量の削減を図った。

#### (2) ハードウェア構成

図2にTASSE II エンジンの構成を示す。16台まで拡張可能な処理ユニットと、ホストとのデータの授受や処理ユニットの制御を行うスーパーバイザよりなる。システムの小型化を最優先とするため、実行時に参照する接続表、信号値表、イベントリスト等の情報について、すべて同一のDRAMモジュールに格納

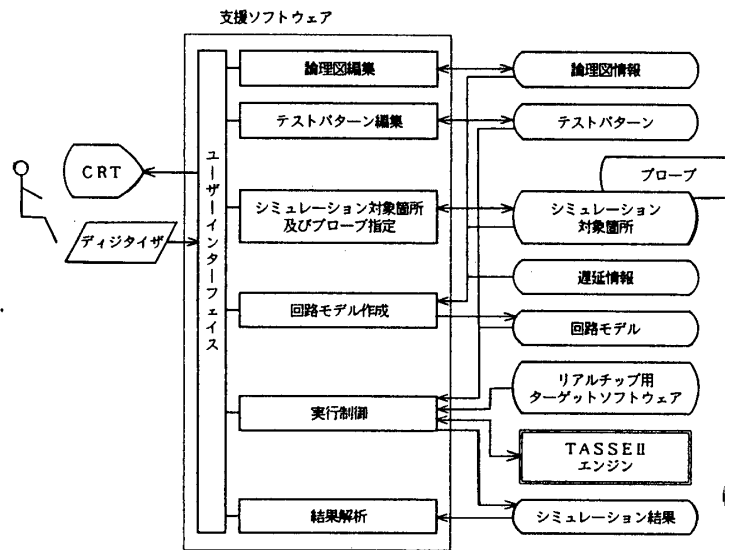


図1 システムの構成

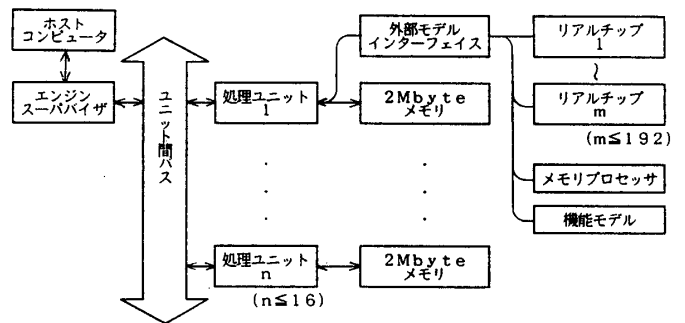


図2 TASSE II エンジンの構成

し、ユニット間通信はバス方式とした。各処理ユニットとメモリとの接続箇所、外部モデルインタフェースを結合させることにより、192種までのモデル拡張を可能とする。外部モデルにイベントを生じると、入力信号値の読み取りの後、外部モデルから出力値の演算結果が返されるまで待機する。各モデルの入力および出力信号線の本数は、それぞれ256K、64Kまで許される。

図3にボードの外観を示す。2層構造とし、下層にスーパーバイザを、上層に2台の処理ユニットを実現した。スーパーバイザには、2,000ゲート相当のLCA (Logic Cell Array) を4チップ用いている。

4. 実験

外部モデルを除く、基本的なシステムを完成させた。処理ユニットについては、約1万ゲートのCMOSゲートアレイで実現し、DRAMアクセスの関係でクロックを4MHzとした。図4に、円弧関数発生を行う8bit DDAのシミュレーション結果を示す。

ソフトウェアについては、Turbo Pascal 5.5を用い、オーバーレイ機能の利用によって限られたメモリ上で実現した。プログラム規模は、論理情報入力部:23,500行、回路モデル作成部:10,000行、実行制御部:6,500行である。パーソナルコンピュータには、PC9801 RA21 (80386CPU, 20MHz)を用い、RAMディスク5Mbyteとディスクキャッシュ1Mbyteを用意した。

ハードウェアの処理速度を表1に示す。入力に変化を生じた1素子の評価を1イベントとしている。

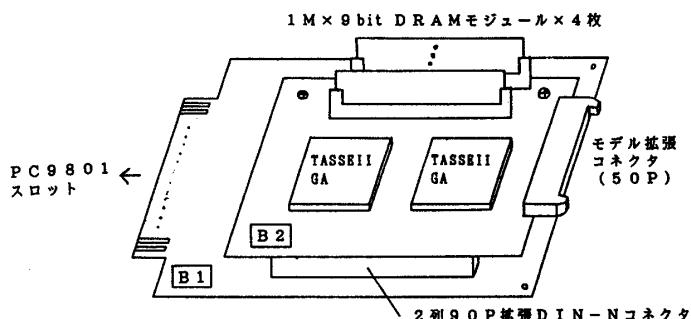


図3 TASSE II エンジンの外観

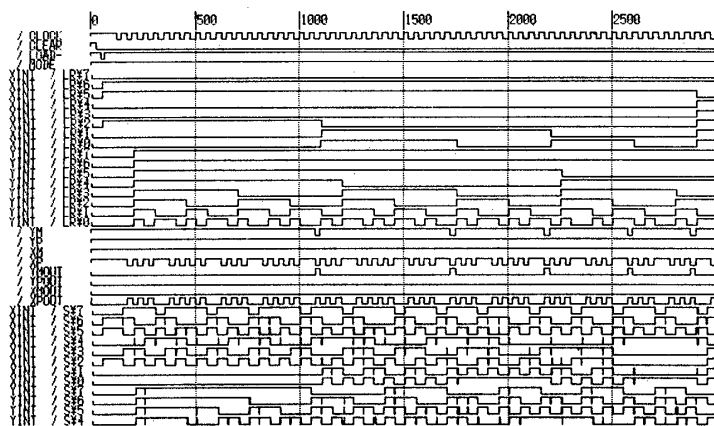


図4 シミュレーション実行結果の例 (8bit DDA)

カウンタとレジスタを組み合わせたテスト用回路と8bitのDDAについて、1ユニット構成時の処理速度をロジックアナライザで測定した結果、仕様とした20万イベント/秒は満足された。表2に、各ハードウェア処理を1回実行するために要するクロック数と、実際の処理時間に占める割合を示す。ファンアウト処理、ゲート評価処理については、実行の頻度が高いため、クロック数の割に処理時間比率が高い。イベント当りの平均では、約15クロックを要する。

また、ソフトウェア処理時間を表3に示す。約6万ゲートの回路例について、数分ですべての処理を終えている。さらに高速化するためには、リンク時にエンジン上のメモリに対して直接アクセスし、実行時の回路モデルロードを省くことが考えられる。

5. まとめ

ASIC設計を対象として、パーソナルな環境で専用ハードウェアの占有利用を可能とする1チップ・シミュレーションエンジン:TASSE IIについて述べた。小型化を優先した構成を採用し、パーソナルコンピュータの増設ボードとしてシステムを実現した。

今後は、外部モデルの開発によってCPUの扱いを可能とし、ソフトウェアとハードウェアの開発を统一的に支援するシステムとする。

参考文献

- [1] 広瀬他: VLSI論理シミュレーションプロセッサ, 情報処理, Vol.31, No.4, pp.466-472 (1990).
- [2] 小田原他: MOS LSI を対象とするシミュレーションエンジン, 情報処理学会論文誌, Vol.30, No.3, pp.375-386 (1989).

表1 ハードウェア処理速度

回路例 (ゲート数)	カウンタ・レジスタ (61,400)	8bit DDA (600)
イベント数	$3.37 \times 10^6$	$2.48 \times 10^4$
処理時間	12.8sec	0.0916sec
処理速度	263Kイベント/s	271Kイベント/s

表2 各ハードウェア処理の時間比率 (8bit DDA)

処理項目	クロック数	処理時間比率
時刻切り替え	6	5.1%
イベント取り出し	3	9.9
ファンアウト処理	5	31.0
ゲート評価	4	29.0
出力値比較	2	13.5
イベント登録	4	11.5

表3 ソフトウェア処理時間

回路例 (ゲート数)	カウンタ・レジスタ (61,400)	TASSE (9,200)	8bit DDA (600)
コンパイル	10sec	25sec	4sec
リンク	74	33	2
実行時ロード	50	10	2