

6H-8

スーパーミニコンピュータ
における高速チャネル技術

米山正、 木原淳一
(株式会社東芝 府中工場)

1. はじめに

近年、磁気ディスク装置の転送速度は、記録密度の増加あるいはホストインターフェイス(IPI, SCSI)の速度向上に伴い、高速化が進んでいる。我々が開発を行っているスーパーミニコンピュータTOSBAC G8000/DS6000シリーズに接続される磁気ディスク装置には、転送速度が最大3MB/Sという高速なものもある。この磁気ディスク装置の高速化に伴い、主記憶装置とのDMA転送を行うチャネルも高速化が必要とされている。本稿では、チャネルのDMA転送能力を従来比で2.4倍にしたDMA転送回路について報告する。

2. 従来技術

図1にG8000/DS6000シリーズのシステム構成例を示す。

一般に磁気ディスク装置のような高速入出力装置を接続するチャネルでは、主記憶装置と入出力装置間のデータ転送はブロック単位で行われ、メモリアドレスは昇順である。また、主記憶装置及びチャネルは、メモリリード時にメモリリード要求とそのレスポンスが分離されたスプリットバス制御方式のクロック同期式システムバスにより相互接続される。スプリットバス制御方式におけるメモリリードは以下のように行われる。

- (1) チャネルは、メモリリード要求情報としてメモリアドレスと要求元を示すソースIDを準備する。ソースIDは、装置ID(4bit)と装置内ID(2bit)から成る。
- (2) チャネルはシステム制御部にメモリリード要求を発行する。
- (3) システム制御部は、レスポンス情報としてメモリリードデータとレスポンス先を示すディスティネーションIDを準備する。ディスティネーションIDは、メモリリード要求時のソースIDがエコーバックされる。
- (4) チャネルは、ディスティネーションIDのうち装置IDが一致しているレスポンス情報を受け取る。

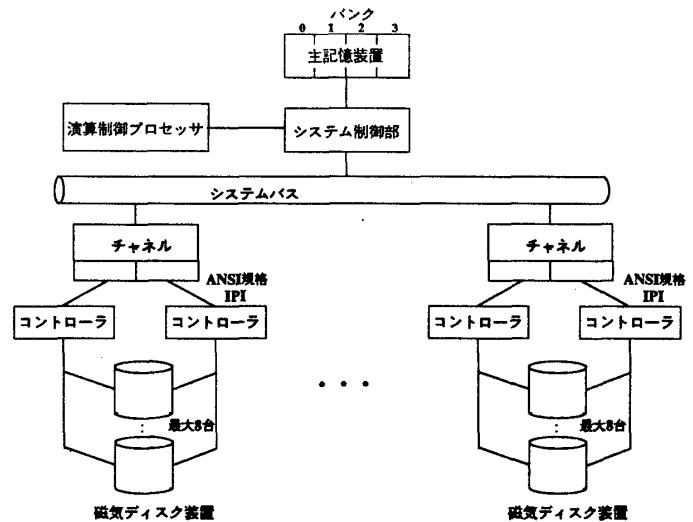


図1システム構成例

さて、主記憶装置では性能向上のためにメモリインターリーブ方式が採用されるのが一般的である。ここで、チャネルから主記憶装置へメモリリード要求を出した後、その要求に対応するレスポンスが返ってくる前に、次のメモリリード要求を出すとする。主記憶装置の制御回路は、Busy状態でないメモリバンクへの要求を先に処理することから、その時のメモリバンクの状況によっては、要求を出した順番にレスポンスが返ってくる保証はない。従って、メモリ制御装置から返ってきたメモリリードデータを入出力装置への転送のために順にデータバッファに格納した場合、その並びはメモリアドレスの昇順にならない。

従来は、チャネルから主記憶装置へメモリリード要求を出した後、その要求に対するレスポンスが返ってきたのを確認してから、次のメモリリード要求を出していた。その時の主記憶装置とチャネルの転送速度は2.1MB/Sであり、高速磁気ディスク装置よりも遅くなる。

3. 高速DMA転送回路

チャネルのDMA転送を高速化するためには、メモリリード要求を連続的に発行し、その要求順に返ってくる保証のないメモリリードデータをメモリアドレスの昇順に並び換える回路が必要とされる。以下に、システムバス上の動作と並び換える回路について述べる。

High Performance Channel Technology
of Superminicomputer

Tadashi YONEYAMA, Jun-ichi KIHARA
TOSHIBA Corp.

3. 1 動作説明

システムバス上のメモリリード要求とレスポンスの動きを従来の方式と高速化の方式それぞれについて図2に示す。従来の方式は、メモリリード要求S0に対するレスポンスD0が返ってきたのを確認した後、次の要求S1を発行している。一方、高速化の方式では、メモリリード要求はS0, S1, S2, S3という順序で連続的に発行され、その要求に対するレスポンスが何番目に返ってきたかを記憶しておき、後でメモリリードデータを要求順に並び換えるようにしている。この図2の例では、メモリリード要求S1でアクセスした主記憶装置の該当バンクがBusyであり、その要求に対するレスポンスD1よりも、次の要求に対するレスポンスD2の方が早く返ってきた場合を示している。

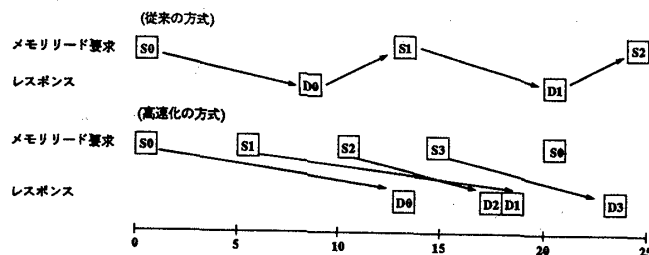


図2. メモリリード要求とレスポンスの関係

3. 2 ハードウェア説明

図3はその実施例を示すブロック構成図である。メモリリードデータを格納するRDバッファ（4ワード×2）、レスポンスの順番を記憶しておくレスポンスオーダーバッファ、入出力装置との速度差を緩衝するためのデータバッファ等のハードウェアから構成されている。ハードウェアは以下のように動作する。

- (1) 主記憶装置からのメモリリードデータは、RDバッファにワード単位でレスポンス順に格納される。
- (2) 同時に、そのデータが何番目に返ってきたという情報をレスポンスオーダーバッファに記憶する。
- (3) RDバッファに4ワード溜ったところで、データバッファへメモリリードデータを書き込む。
- (4) その時、レスポンスオーダーバッファに記憶していたデータを用い、メモリアドレスの昇順にメモリリードデータを並び換える。

また、RDバッファからデータバッファへデータを書き込んでいる間も、メモリリードデータを受け取ることができるようにRDバッファを2個用意する必要がある。

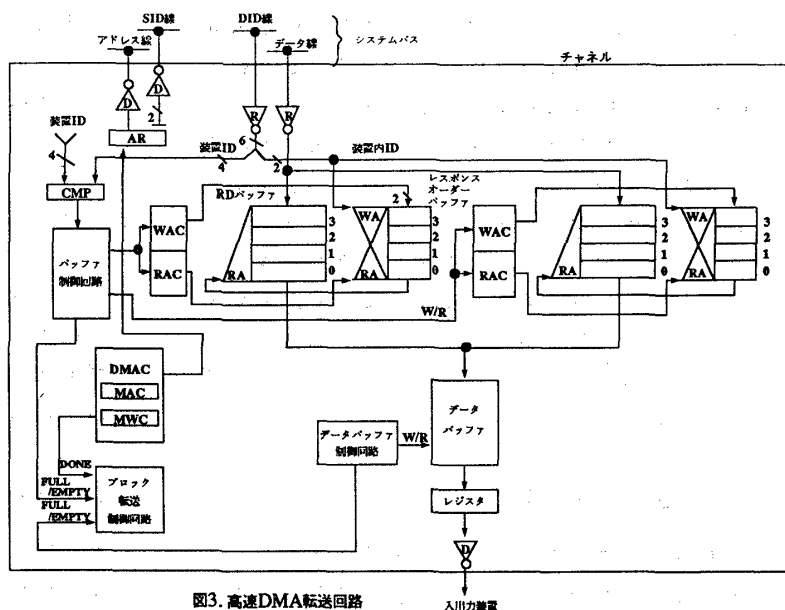


図3. 高速DMA転送回路

4. 効果

図2に示すように、従来の方式であると、レスポンスデータを受け取ってから次の要求を出すため、システムクロックの12周期につき1回しか要求を出すことができなかった。しかし、この高速化を行うと、次の要求を発行するのにレスポンスを待たなくて良く、システムクロックの5周期に1回要求を出せるようになった。これにより、転送速度5MB/S×2ポートを実現することができた。

5. おわりに

以上、高速DMA転送回路を実現することにより転送速度を従来比で2.4倍にすることができた。これにより、高速磁気ディスク装置の性能を最大限まで引き出すことができる。しかし、近い将来、磁気ディスク装置はさらに高速になるため、今後もDMA転送技術の改善が必要とされている。