

5 ポートレジスタファイルを用いた  
3H-4 VLIW型計算機 KIDOCH  
安倍 正人<sup>+</sup>、城戸 健一<sup>\*</sup>

<sup>+</sup>東北大学大型計算機センター、<sup>\*</sup>千葉工業大学

### 1. まえがき

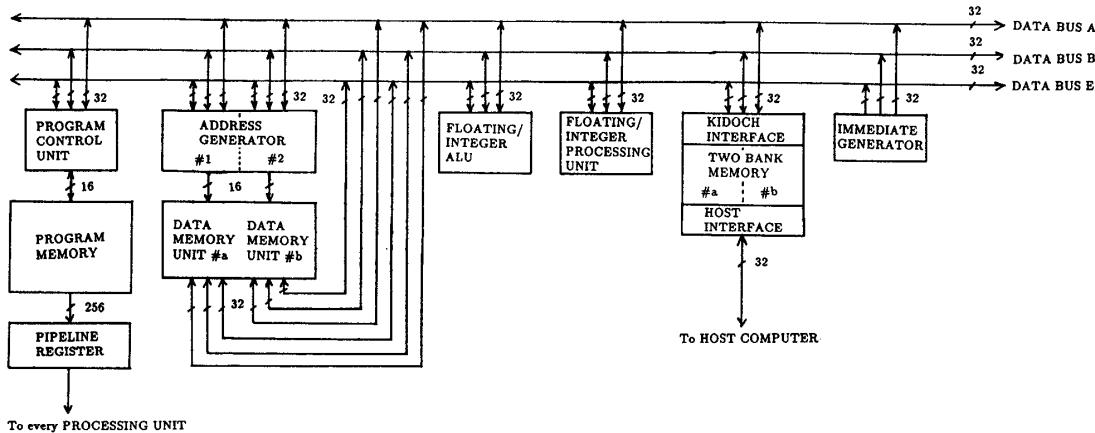
本文では、開発中のVLIW型計算機KIDOCH IVのハードウェアについて述べる。すなわち、VLIW型計算機として1ステップで一度に動作させることができる装置として、2つの入力ポートを持つメモリ、、アドレス計算用の整数データ用のALUが2個、浮動小数点データ用あるいは整数データ用のALUが1個、浮動小数点データ用あるいは整数データ用の四則演算器として用いることができるFPUを1個用意してある。これらの装置にはそれぞれ64w/32bitの5ポートレジスタファイルが付いており、このレジスタファイルを経由して3つのデータバス(32bit幅)につながり、各演算器間でデータを交換することができる。また、このレジスタファイルはデータメモリおよびプログラムメモリ用のメモリ管理ユニットとしても有効に用いられている。

### 2. KIDOCH IVのハードウェア構成

図1に本システムの全体の構成を示す。ホスト計算機はUNIXマシンである。このホスト計算機とKIDOCH IVはVMEバスを通じて結合される。

KIDOCH IVは独立に稼働する13個の装置からなり、約A3判大のプリント基板1枚で構成される。KIDOCH IVもKIDOCH II [1] [2]と同様にデータ用の内部バスは3本用意している。

図1 本システム全体の構成



VLIW Computer KIDOCH with 5 port register files

Masato ABE<sup>+</sup>, and Ken'iti KIDO<sup>\*</sup>

<sup>+</sup>Computer Center, Tohoku University, <sup>\*</sup>Chiba Institute of Technology

### 3. レジスタファイルの利用によるバスネットの解消

KIDOCHのように各装置間のデータ転送をすべて内部バスで行うアーキテクチャでは、バスネットが問題となることがある。すなわち、KIDOCH IVでは入出力できる装置が10あるのにに対し、バスの数が3本しかないことが問題となる。

KIDOCH IVでは図2に示すように各演算器の入力部に5ポートのレジスタファイル(64w/32bit)を設けることにより上述の問題を解決する。レジスタファイルは2つの入力ポート(C, D)、2つの出力ポート(A, B)、および1つの入出力ポート(E)を持っており、自由にリードライトすることができる。(但し、同一アドレスに2つ以上のポートから書き込みがおきると、動作は保証されない。) すなわち、KIDOCH IIIのように入力部にレジスタが1つしかないと、後で再び同じデータを使うとわかっていても、その前にその演算器を使わなければならないときには、そのデータを別の領域に待避しておき、必要になった時点で、再びデータを転送しなければならないが、代わりにレジスタファイルを用いることにより、このような問題がほぼ完全に解消される。

さらに、このようにレジスタを介してバッファリングを行なうことにより、データの転送をすべて同期式で行なうことができ、サイクルタイム25nsでの高速動作が可能となる。

### 4. レジスタファイルのDMMUへの応用

データメモリは図3に示すようにDMUaおよびDMUbの2つのメモリバンクから構成されており、

それぞれ $64\text{ kW} \times 32$ ビットのRAMで構成され、 $1\text{ kW}$ ずつの64個のページに分けて管理される。DMMUは5ポートレジスタファイルを利用したデータメモリ管理ユニットで、各ページに入っているデータが有効かどうかを示すフラグと実際のアドレス(32ビット)を保持しており、ダイレクトマッピング方式のページングを行なう。

サイクルタイム $25\text{ n s}$ の高速動作をさせるために、様々な工夫がなされている。すなわち、論理アドレス(アドレス生成用ALUの出力)と物理アドレス(DMU aあるいはDMU bのアドレス)の間にはパイプラインレジスタがあり、この1ステップの時間差の間にアドレスの変更がある場合に、変更後のアドレスが変更前のアドレスと異なる場合には $1.5\text{ n s}$ だけ、同期クロックを待たせる。そして、この間にDMMU内のアドレスと変更後のアドレスを比較し、それが同じで、かつ有効フラグが立っている場合には、そのままメモリがアクセスされる。一方、アドレスが一致しないかあるいは有効フラグが立っていない場合には、実行を中断し、ホスト計算機に割込をかけてDMUおよびDMMUの内容の変更を要請する。このようにして、KIDOCHは最大 $4\text{ Gw}$ のデータを扱うことができる。

また、別に2つの5ポートレジスタファイルを用意し、メモリスヌープ機能を持たせている。すなわち、2つのメモリバンクに同じデータが入っており、かつ、どちらか一方にデータが書き込まれた場合には、もう一つのメモリバンクのうち、対応するページの内容はリードしてはならない。そのため、レジスタファイルを設けて、ハードウェア的に同一のページアドレスに書き込があったかどうかを検出し、そこからリードしようとした場合にホスト計算機に割込をかけてDMUとDMMUの内容を入れ換えるようにした。この機能により、Cコンパイラ[3]には大きな負担をかけずに、2つの入力ポート数を扱うことができる。

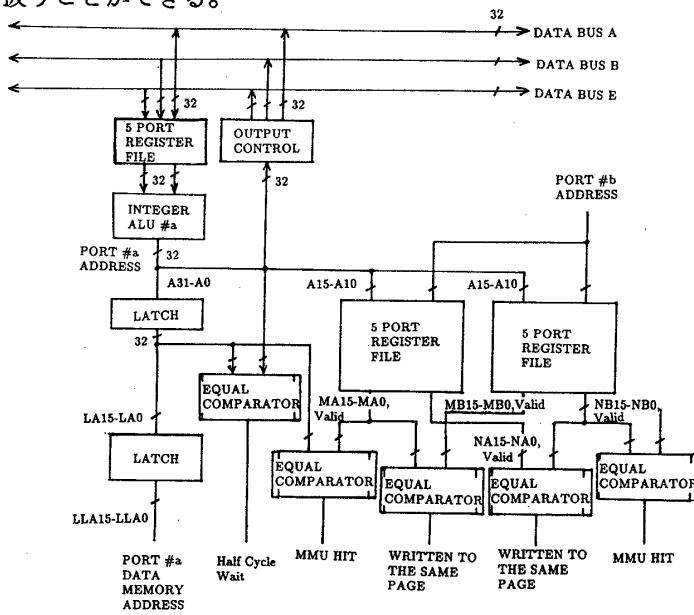
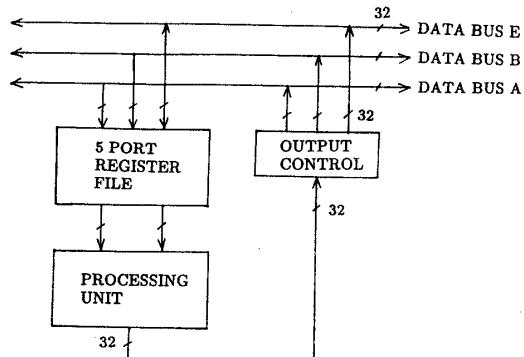


図3 データメモリ管理ユニットの構成

図2 レジスタファイルの利用によるバスネックの解消



### 5. KIDOCH IVの性能

開発中のKIDOCH IVの浮動小数点データの単精度演算の能力はピークで $120\text{ MFLOPS}$ 、整数データの演算能力はピークで $200\text{ MIPS}$ となる。

### 6. むすび

本文では、開発中である5ポートのレジスタファイルを用いたKIDOCH IVの概要を述べた。

### 参考文献

- [1] 安倍 他：音響ディジタル信号処理を主目的とする高速演算装置 $\mu$ KIDOCH、情報処理学会論文誌28、12、pp. 1306-1317 (1987)
- [2] 安倍 正人、永田 仁史、牧野 正三、城戸 健一：VLIW型計算機KIDOCHのメモリ管理機構、電子情報通信学会技術研究報告CP SY89-40 (1989)
- [3] 安倍 他：VLIW型計算機 $\mu$ KIDOCH用Cコンパイラの特徴、情報処理学会技術研究報告 計算機アーキテクチャ83-29 (1990)