

5M-8

制約論理型言語のOR並列実行

車谷 博之 広瀬 正
 (株)日立製作所 システム開発研究所

1. はじめに

現在、制約論理プログラミング(CLP, Constraint Logic Programming)の研究が、盛んに行われている。我々は、CLPの持つ制約機能によりPrologより宣言的な記述が可能となることに注目しているが、制約解消処理はProlog処理に比べて多大の計算時間を必要とする。一方、我々は、PrologのOR並列処理系の研究も行っているが^{1,2)}、CLPのOR並列実行には、Prologと同様、①全解探索型問題：並列実行による高速化効果と、②単解探索型問題：横型探索時、最初に求まった解を採用した時点で他の探索パスを中止し、処理時間を削減する効果、を期待できる(図1)。そこでCLPのOR並列処理を試みた。この検討に際して、以下の方針を立てた。

- (1)推論エンジンのOR並列実行：CLPの並列実行には、制約解消処理の並列実行と推論エンジンの並列実行がある。文献3)では、有限集合を対象とした制約解消のOR並列処理を行う研究報告がある。本処理系では、先ず推論エンジンの並列実行を試行する。
- (2)制約解消処理とOR並列処理の独立した実現：独立に実現することにより、簡潔に処理系を作成する。
- (3)従来Prolog処理系の拡張機能として実現：従来処理系の上位互換性の保持、従来処理系からの移行の容易化のため、従来Prolog処理系の拡張機能として、制約機能とOR並列機能を実現する。

これらの方針を満たすため、制約解消処理機能やOR並列実行制御機能をProlog処理系の組込述語(それぞれ、制約述語、並列述語という)として実現する

方法を採用した。また、CLPプログラムを解析して制約述語と並列述語を挿入し、Prologプログラムに変換するプリプロセッサを実現する。

2. 並列述語

(1)divide述語

プロセスを生成する。

本述語実行プロセスは「divide≡fail」と解釈し、実行を続ける。

生成されたプロセスは「divide≡!」と解釈し、実行を続ける。

プロセスはdivideにバックトラックした時点で消滅する。

(2)dfg述語

本述語はプロセスの深さ優先探索の順序(Prolog逐次実行順)を回復し、従来Prolog処理系との互換性を確保するために用いる。

深さ優先順で前のプロセスすべての消滅を待つ。この待合せにより深さ優先探索の順序を回復する。

3. 制約述語

数値(分数で表現する有理数、浮動小数点数)の線形等式/不等式に関する制約を実現する。

(1)clp_unify(X,Y,Env):変数X,Yの制約解消を行う。Envは、伝播する制約リストである。

(2)clp_le(X,Y,Env):不等式 $X \leq Y$ の制約解消を行う。

(3)clp_lt(X,Y,Env):不等式 $X < Y$ の制約解消を行う。

(4)clp_check(Env):制約リストEnvの制約解消を行う。

4. 制約述語の実現

(1)等式制約解消方法

ガウスの消去法を次のように用いる。

ステップ1(前進消去):各制約実行時点で、Expに既に解かれている変数を代入する。そして、方程式を次の形式に変形する。

$$f(X): A_1 X_1 + A_2 X_2 + \dots + A_n X_n = 0 \quad A_i: \text{定数}, X_i: \text{変数}$$

既に解かれていない変数に注目し、この変数について解き $X = \text{Exp}$ とする。

ステップ2(後退代入):Expが定数式の場合評価し、Xに評価値をユニファイする。既に解かれている変数にこの変数値を代入し、

定数式になるか否かを判定する。

次にステップ1に行く。

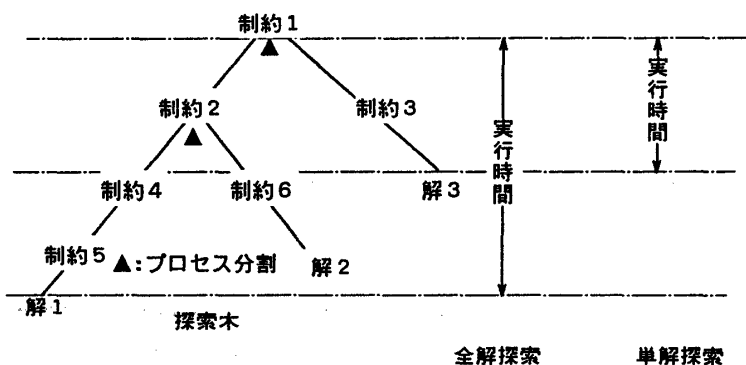


図1. CLPのOR並列実行効果

表 1. 不等式変数消去条件

項	$A_i:0$	$X_i:Exp_i$	$f[Exp_i]:0$
1	$A_i > 0$	$X_i \geq Exp_i$	$f[Exp_i] \leq 0$
2	$A_i < 0$	$X_i \leq Exp_i$	$f[Exp_i] \leq 0$
3	$A_i > 0$	$X_i \leq Exp_i$	$f[Exp_i] \geq 0$
4	$A_i < 0$	$X_i \geq Exp_i$	$f[Exp_i] \geq 0$
5	$A_i > 0$	$X_i > Exp_i$	$f[Exp_i] < 0$
6	$A_i < 0$	$X_i < Exp_i$	$f[Exp_i] < 0$
7	$A_i > 0$	$X_i < Exp_i$	$f[Exp_i] > 0$
8	$A_i < 0$	$X_i > Exp_i$	$f[Exp_i] > 0$

(2) 不等式制約解消方法

等式解消と協調して、線形不等式を解消する。不等号 $\alpha \leq \beta$ の制約解消方法(clp_le述語の実現)は次のように行う。

ステップ1: 各制約実行時点で、既に等式制約により解かれている変数を制約式に代入し、次の形式に変形する。

等式 $f(X): A_1 X_1 + A_2 X_2 + \dots + A_n X_n = 0$

不等式(\leq) $f(X): A_1 X_1 + A_2 X_2 + \dots + A_n X_n \leq 0$

ステップ2: $f(X)$ に現れる各変数について、既存の不等式制約で変数消去可能なものを解析し消去する。

変数消去可能条件を表1に示す。 $f[Exp_i]$ は、 $f(X)$ の X_i に Exp_i を代入した式である。1項は、 $A_i > 0$ かつ $X_i \geq Exp_i$ の場合、 $f[Exp_i] \leq 0$ が成立することを示している。また、5項は、 $A_i > 0$ かつ $X_i > Exp_i$ の場合、 $f[Exp_i] < 0$ が成立することを示している。(ただし、 \leq については、1, 2, 5, 6項)

$f[Exp_i] \leq 0$ が成立する表1の1, 2項の場合、これらの不等式の各変数に注目して、 $X \leq Exp$ または $X \geq Exp$ に変形する。また、 $f[Exp_i] < 0$ が成立する表1の5, 6項の場合、これらの不等式の各変数に注目して、 $X < Exp$ または $X > Exp$ に変形する。

ステップ3: $X \leq Exp$, $X \geq Exp$, $X < Exp$, $X > Exp$ において、 Exp が定数式の場合評価し、これを $Const_i$ とする。

表 2. 変数境界無矛盾性判定表

項	条件	処理
1	$Const1 \leq X, X \leq Const2,$ $Const2 < Const1$	「fail」を実行しclp_le述語を失敗させる。
2	$Const1 < X, X \leq Const2,$ $Const2 \leq Const1$	
3	$Const1 \leq X, X < Const2,$ $Const2 \leq Const1$	
4	$Const1 < X, X < Const2,$ $Const2 \leq Const1$	
5	$Const1 \leq X, X \leq Const2,$ $Const1 = Const2$	「 $X = Const2$ 」を実行する。
6	以外	「true」を実行し、次にステップ1に行く。

同一 X について、境界値の無矛盾性を判定する。判定条件及びその処理を表2に示す。

5. プリプロセッサ

まず、CLPプログラムをPrologプログラムに変換する。CLPでは、Prologのヘッドユニフィケーション、 $'=''$, $'<=''$, $'>=''$, $'<'$, $'>'$ を制約実行と解釈するので、これを制約述語に変換しPrologプログラムに変換することによりCLPプログラムを実行する。

(a)ヘッドユニフィケーションの変換

「 $p(X,Y):-\dots$ 」は「 $p(\alpha, \beta, Env):-clp_unify(\alpha, X, Env), clp_unify(\beta, Y, Env), \dots$ 」に変換する。 α, β は変数とする。ただし、変数パラメタについてはclp_unifyには変換しない。

(b)述語 $'='$ の変換

「 $X=Y$ 」は、「 $clp_unify(X,Y,Env)$ 」に変換する。

(c)不等式述語 $'<'$, $'>=''$, $'<'$, $'>'$ の変換

$X < Y, Y >= X$ は $clp_le(X,Y,Env)$ に変換する。 $X < Y, Y > X$ は $clp_lt(X,Y,Env)$ に変換する。

(d)式評価代入述語 $'is'$ の変換

「 $X is Exp$ 」は、「 $X is Exp, clp_check(Env)$ 」に変換する。評価結果の変数 X への代入による制約解消を行うため、制約述語clp_checkを呼ぶ。同様に、変数 H ユニファイが生じる部分の直後に、clp_checkの呼出しを挿入する。

次に、文献2)で述べた方法を用いて、変換したPrologプログラムをOR並列実行するプログラムに変換する。

6. おわりに

制約解消機能とOR並列実行制御機能をPrologの組込述語として実現し、CLPプログラムを解析して制約述語と並列述語を挿入しPrologプログラムに変換するプリプロセッサを実現することによって、従来Prolog処理系の拡張機能としてCLPのOR並列実行処理系を実現する方法を述べた。

参考文献

1)広瀬、車谷、「並列化Prolog処理系LONLI+, 基本設計方針」、第39回情報処理学会全国大会、pp.1336-1337。
 2)車谷、広瀬、「並列化Prolog処理系LONLI+, 並列化変換」、第39回情報処理学会全国大会pp.1338-1339。
 3)P.Van Hentenryck, "Parallel Constraint Satisfaction in Logic Programming: Preliminary Results of CHIP within PEPsYS", ICLP-'89, pp.165-180.