

2E-7

SDNN アルゴリズムを用いたプリント配線の平面グラフ抽出

中島修二

中川 徹

北川 一

(豊田工業大学)

1. はじめに

近年、電子部品の小型軽量化に伴い、プリント配線板の高密度実装技術が進歩している。その技術の一つとして、1枚の平面にできるだけ多くの配線を行える平面グラフの抽出が望まれている。

平面グラフの抽出は、従来よりグラフ理論を用いた研究^[1]が行われているが、Takefujiriがニューラルネットを用いた方法^[2]を新たに提案した。また、本学では別稿のSDNN^[3]が研究され、筆者らは、すでにSDNNを用いて完全グラフから平面グラフの抽出^[4]を行った。今回、実際の回路の配線について平面グラフ抽出を行ったので、以下報告する。

2. 制約集合による配線問題の設定

図1で示されるICの実装基板の配線例を使い、交差しない配線を求める、平面グラフ抽出のための制約集合の設定方法を示す。

基準線

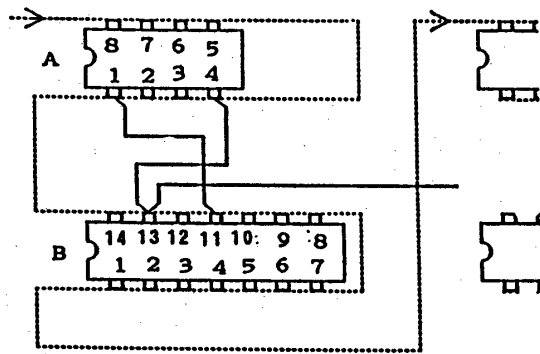


図1 IC実装基板の配線例

- (1) 図1の中で破線で示される基準線を設ける。基準線は各ICの端子を一巡するように選ぶ。
- (2) 基準線を一次元上に展開する。図2で示される如く基準線の上側をup領域、下側をdown領域とする。

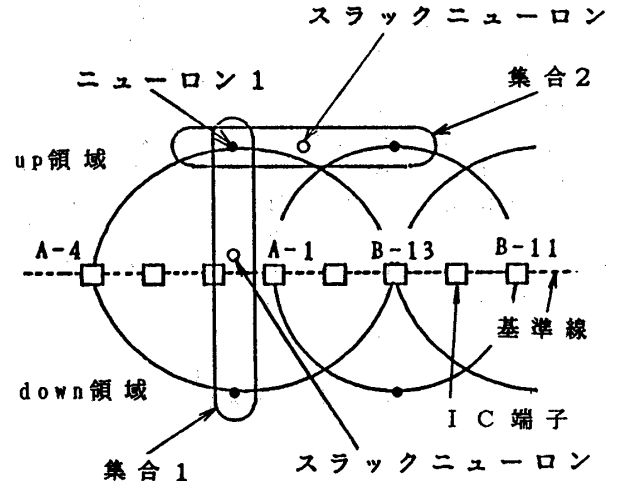


図2 制約集合の設定例

(3) IC端子の接続元と接続先を図2のup領域で仮配線する。同様の仮配線をdown領域でも行う。図2の実線で示されるものが仮配線であり、□印はIC端子を示す。

仮配線上に●印で示されるニューロンを設定する^{[2][4]}。このニューロンには配線があればオンとなり、配線がなければオフとなる性質を持たせる。

(4) 関係のあるニューロン同士をくくりだし集合にまとめる。図2において、ニューロン1に着目すれば集合1と集合2の2種類を作れる。集合1は上下の関係を示し、集合2は交差の関係を示す。また○印はスラックと呼ばれるニューロンで、●印のニューロンがオンとならない場合に、かわりにオンさせて集合関係を満たすようにする。

(5) これらの関係を全ニューロンについて施し、上記例ではk-out-of-n設計規則^[3]よりk=1, n=3とすれば、制約集合の設定が行え、SDNNで解が求まる。

A Planarization of Printed Circuit Connections using Strictly Digital Neural Networks

Syuji NAKASIMA, Tohru NAKAGAWA, and Hajime KITAGAWA

Toyota Technological Institute

3. 平面グラフ抽出の実験

[抽出実験内容]

4ビットシフトレジスタ回路(74LS295相当)を例にとり, 交差しないで描ける配線数を求めた。また, SDNNと深さ優先探索アルゴリズムとの比較も行った。

[抽出実験規模]

対象回路 : 4ビットシフトレジスタ回路
IC個数 : 約 10個
要求配線数 : 50本
ニューロン数 : 631個
集合数 : 732集合

[抽出実験結果]

図3に解の品質を示す。横軸は求めた配線数, 縦軸は解として求めたその配線数の個数が解全体の個数に占める割合を示す。要求配線数 m を変化させて, 深さ優先探索アルゴリズムとSDNNアルゴリズムで求めた解の品質の比較をした。

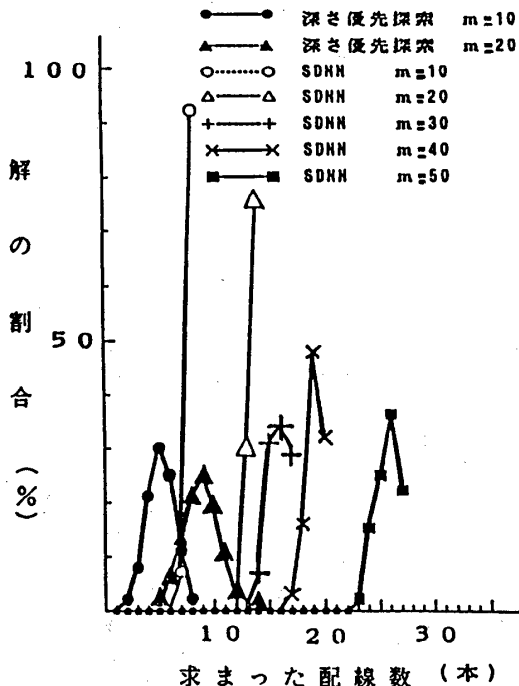


図3 解の品質

また, このときのSDNNの平均並列実行ステップ数 $\tilde{T}_p$ のオーダは要求配線数 m に対して $O(m^{2.9})$, ニューロン数 n は要求配線数 m に対して $O(m^{2.0})$, 1個のニューロンが所属する最大集合数 S は $O(m^{1.0})$ で増加する結果が得られ, この3者の積のオーダは $O(m^{5.9})$ となった。

図4は, 最大配線数を求めるのに要した平均CPU時間 $\tilde{T}_s$ を示す。横軸は, 要求配線数であり, 10~50本まで変化した。縦軸は, そのときに最大配線数を得るために要した $\tilde{T}_s$ である。使用計算機はサンマイクロ社のSPARC 1である。

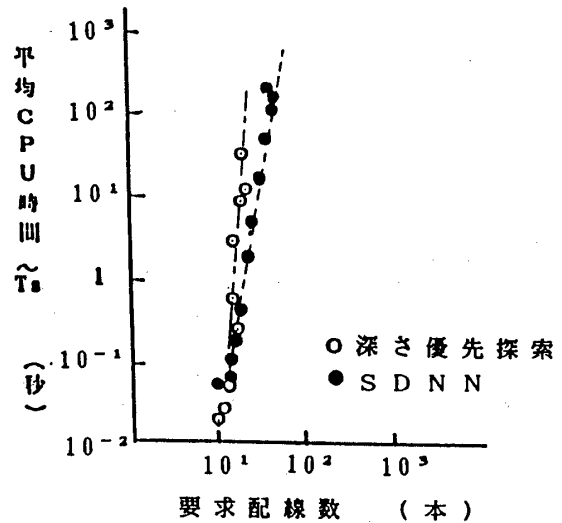


図4 最大配線数を求めたときの平均CPU時間 $\tilde{T}_s$

このときのSDNNシミュレーションの平均CPU時間 $\tilde{T}_s$ は要求配線数 m に対して $O(m^{5.9})$ で増加し, 前述の $O(m^{5.9})$ とほぼ一致した結果が得られ, SDNNの並列性が確認された。

4. 考察

図3の結果より, 最大配線数, 及び最大配線数に次いで配線数の多い準最大配線数が解として一番多く得られたのはSDNNアルゴリズムである。

図4の結果より, 最大配線数のみの抽出に限れば, 通常の深さ優先探索アルゴリズムより, SDNNのほうが短い計算オーダで求まることが判明した。上述の制約集合の設定で得られた最大配線数は, 物理的に配線可能な最大数を保証するものでないが, プリント基板上で配線数が最大配線数の目安を得るための一手段として有効である。

5. おわりに

更に, 要求配線数の多い例(例えば1000本)を用いて良質な解を得ることが現在の課題であり, 実際の配線と大差のない配線を乱数などで発生し, 収斂実験を進めている。

参考文献

1. Jayakumar, Thulasiraman, and Swamy : " $O(n^2)$ Algorithms for Graph Planarization, " IEEE Trans. CAD, vol.8, March 1989
2. Takefuji and Lee : " A Near-Optimum Parallel Planarization Algorithm, " Science, Vol.245, pp.1221-1223 1989
3. 本大会別稿参照 : 中川他 "SDNN:..." 文献[1]
4. 中島, 中川, 北川 : "平面グラフ抽出の2種類のニューラルネットワークアルゴリズムの実験, " 情報処理学会第41回論文集 (II), pp.119-120 1990