

PIE64 の推論ユニットのハードウェア

6P-4

日高 康雄 小池 汎平 田中 英彦

{hidaka,koike,tanaka}@mtl.t.u-tokyo.ac.jp

東京大学 工学部

1 はじめに

我々は、大規模知識処理のための高並列推論エンジン-PIE64 - [1] の研究、開発を進めている。PIE64 は、コミティッドチョイス型言語である Fleng[6] の専用計算機であり、64 台の推論ユニット (IU - Inference Unit) を、2 系統の相互結合網 [2] で接続した構成をしている。

本稿では、PIE64 の重要な構成要素である推論ユニット内部のハードウェアについて述べる。

2 推論ユニットのハードウェア構成

推論ユニットのハードウェア構成上の大きな特徴は、

- 自立的に動作するプロセッサを 3 種類 6 チップ持つ。
- 転送能力の高いバスを複数本持ち、メモリがバンク分けされている。

ことである。前者は、Fleng プログラムの並列実行における分散協調モデルを実現するためのものである。後者は、この複数のプロセッサの能力を十分に引き出すためのものである。本稿では、後者について重点的に述べる。各プロセッサの詳細については、他の文献 [3, 5] を参照されたい。

推論ユニットは、図 1 に示すように、

- 推論処理プロセッサ (UNIRED),
- ネットワークインタフェースプロセッサ (NIP),
- 管理プロセッサ (SPARC),
- ローカルメモリ (LMEM),
- SPARC 用メモリ,

から構成されている。UNIRED は、Fleng プログラムを実行する専用プロセッサ、NIP はその並列実行を支援するプロセッサであり、管理プロセッサと共に協調動作を行なう。

これらのプロセッサやメモリの間は、

- 3 本のメモリバス,
- コマンドバス,
- SPARC バス,

という、それぞれ 32 ビット幅のバスによって接続される。SPARC からは、コマンドバスインタフェース (CMDIF)、メモリバスインタフェース (MBIF) を介して、コマンドの発行、受信とローカルメモリのアクセスをすることができる。

また、フロントエンドとなるホスト計算機からは、ホストバス、ホストバスインタフェース (HOSTIF) を介して SPARC バスをアクセスすることができ、SPARC バスからは IO バスインタフェース (IOIF)、IO バスを介して、ディスクなどの周辺機器をアクセスすることができる。

このほか、性能評価のための様々なデータ収集を行なう測定用カウンタが用意されている。

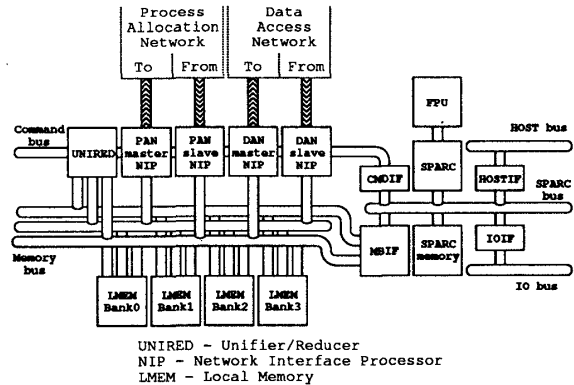


図 1: 推論ユニットのハードウェア構成

3 ローカルメモリ、メモリバス

ローカルメモリには、UNIRED の命令コード、Fleng のグローバルフレーム、ヒープ上のデータ、GC 時の間接参照テーブルなどを格納する。ローカルメモリは 4M バイトの容量を持っており、4 つのバンクに分けられて、3 本のメモリバスを介してアクセスされる。

1 本のメモリバスは、32 ビットのデータ、20 ビットのアドレス、数本の制御信号線とバスアービタからなっている。また、それぞれのバンクはバンクアービタを持っている。各プロセッサは、まずバスアービタにリクエストを出し、バスの使用許可を受けてアドレスを出力する。続いて、バンクアービタからバンクのアクセス許可を受け、次のサイクルで実際のメモリアクセスを行なう。

メモリアクセスは、バンクのアクセス許可を受けるまでのアービトレーションサイクルと、実際のアクセスを行なうアクセスサイクルとに分けて行なわれるため、1 回のアクセスには 2 サイクル (1 サイクルは 100n sec) を要する。しかし、この二つのサイクルはパイプライン化されており、毎サイクルのデータ転送が可能になっている。

三本のバスには、それぞれ以下のプロセッサ等を接続する。

1. UNIRED(命令フェッチ), MBIF(ダイレクトアクセス)
2. UNIRED(データリード), PAN master NIP, DAN slave NIP
3. UNIRED(データライト), PAN slave NIP, DAN master NIP, MBIF(ステージングアクセス)

これは、UNIRED の各ポートの性質と各 NIP のアクセス頻度に関する考察を元に決定した。[4] また、Fleng 処理系の実装においては、2 系統の相互結合網の使い分け方、ローカルメモリの使用方法などに関して各種方式を検討する必要があるが、様々な方式に適するように、各アービタの優先順位交換の方式、バンク分けに用いるアドレス線等は、ソフトウェアによって数種類の中から選択できるようになっている。

4 メモリバスインタフェース (MBIF)

SPARC バスとメモリバス間の MBIF は、ダイレクトアクセスとステージングアクセスを提供する。ダイレクトアクセスは、SPARC バスのアドレス空間上に、4M バイトのローカルメモリを直接マッピングするものである。ステージングアクセスは、FIFO メモリとアドレスカウンタを使って、ローカルメモリ上の連続する領域を読み書きするものであり、ダイレクトアクセスよりも高い転送効率を提供する。

5 コマンドバス

コマンドバスは、6つのプロセッサ間でやりとりされるコマンドとリブライを転送するための 32 ビット幅のバスである。コマンドは 1〜3 ワードであり、コマンドの種類によって 1 ワードのリブライがある場合とリブライがない場合がある。アービトレーションとデータ (コマンド / リブライ) の転送は 10MHz のクロックに同期したプロトコルで行なわれ、アービトレーションサイクルにおいてもデータ転送を行なう。このため、数ワードのデータ転送毎のアービトレーションのオーバーヘッドは存在しない。また、NIP, UNIREN のレジスタの読み書きもコマンドバスを介して行なわれる。

コマンドバスは、32 ビットのデータ、3 ビットのアドレス、数本の制御信号線とバスアービタからなっている。コマンド、リブライを送出するプロセッサは、バスアービタにリクエストを出し、バスの使用許可を受けて、アドレス、データ (コマンド又はリブライ)、コマンド / リブライの種別などを出力する。コマンド送出の場合はアドレスに送出先のプロセッサ番号を指定し、リブライ送出の場合はアドレスに自分のプロセッサ番号を指定する。他のプロセッサは自分宛のコマンドかどうかを監視し、コマンドを受け付けられない場合はビジー信号を返す。また、リブライを待つプロセッサは、発行先のプロセッサがリブライを出しているかどうかを監視する。

6 コマンドバスインタフェース (CMDIF)

SPARC バスとコマンドバスの間のコマンドバスインタフェースは、以下の特徴を持っている。

- SPARC から発行するコマンド、SPARC が受け取るコマンドは、それぞれ 512 ワードの FIFO メモリに格納され、SPARC の制御プログラムがコマンド転送上のネックとならないようにしている。また、FIFO とは別にリブライ受け取りレジスタを持ち、最後に発行したコマンドに対するリブライを受け取ることができる。
- FIFO の状態によって発生できる SPARC への割り込みが 2 本あり、割り込みを起こす条件をソフトウェアで柔軟に設定できる。これを用いて、FIFO のフロー制御を行なう SPARC のプログラムを、極僅かのオーバーヘッドで実現することができる。
- 発行側の FIFO に書き込まれたコマンドをキャンセルして、コマンドバスへの送出を止めることができる。また、SPARC は、発行をキャンセルされたコマンドを読み出すことができる。これは、GC 開始時における通常処理の停止の時などに使われる。
- デバッグモードの設定により、SPARC 以外のプロセッサに対するコマンドを受け取り側の FIFO に取り込むこと

表 1: 推論ユニットの諸元

項目	仕様
SPARC クロック	富士通製 S-20 20MHz (12.5MIPS)
SPARC 用メモリ	SRAM 512K Byte, no wait
FPU クロック	WEITEK 製 Abacus 3170 20MHz (2.54MFLOPS)
UNIREN クロック	富士通製 ゲートアレイ 10MHz (最大 1.25MLIPS: 予定)
NIP クロック	富士通製 ゲートアレイ 1IU 当たり 4 個 10MHz (約 0.5MOPS: 予定)
ローカルメモリ	SRAM 4M Byte, 4 Bank
メモリバス	3 本
メモリバス転送能力	最大 40M Byte/sec (バス 1 本)
コマンドバス転送能力	最大 40M Byte/sec

ができる。

7 おわりに

推論ユニットのハードウェア上の諸元を表 1 にまとめる。

本稿では、PIE64 の推論ユニットのハードウェア構成について述べた。1990 年 5 月現在、推論ユニットの設計が終了している。今後、推論ユニット単体での調整、相互結合網を介して複数台接続した上での調整、Fleng 処理系の実装を進めていく。

謝辞

基板の設計、製造、実装を担当したヨシキ電子株式会社に深謝いたします。また、富士通株式会社には、メモリ IC を提供していただきました。なお、本研究は文部省特別推進研究 No.62065002 の一環として行なわれている。

参考文献

- [1] 小池, 田中: “並列推論エンジン PIE64”, 並列コンピュータアーキテクチャ, bit 臨時増刊, Vol.21, No.4, 1989, pp. 488-497.
- [2] 高橋, 小池, 田中: “並列推論マシン PIE64 の相互結合網の作成および評価”, 並列処理シンポジウム '90 A1-1, 情報処理学会, May 1990.
- [3] 清水, 小池, 田中: “並列推論マシン PIE64 の推論ユニット間通信”, 計算機アーキテクチャ研究会 79-4, 情報処理学会, Nov. 1989.
- [4] 清水, 小池, 田中: “PIE64 のネットワーク・インタフェース・プロセッサのシミュレーションによる性能評価”, 第 40 回 情報処理学会 全国大会, 1L-8, Mar. 1990.
- [5] 島田, 下山, 清水, 小池, 田中: “推論プロセッサ UNIRENII の命令セット”, 計算機アーキテクチャ研究会 79-5, 情報処理学会, Nov. 1989.
- [6] Nilsson, M. and Tanaka, H.: *Massively Parallel Implementation of Flat GHC on the Connection Machine*, Proc. of the Int. Conf. on Fifth Generation Computer Systems, 1988. p1031-1040.