

4 N-9

# 論理合成システムの改良とその考察

松浦 隆 佐藤 姫登美

富士通株式会社

## 1.はじめに

論理回路の設計規模が大規模化するに従って、設計工程の長期化が問題になっている。大規模な論理回路を早く正確に設計するには、既設計資産の活用や論理回路の設計自動化が有効である。我々は、論理機能記述を入力として、セルベースのネットリストを自動生成する論理合成システム「ZEPH CAD」<sup>1)</sup>を開発した。しかし、実際の論理設計に適用した結果、機能の強化、及び採用アルゴリズムの変更が必要であることがわかった。そこで、システムがかかえいた問題点を検討し、改良を行った。

ここでは、システム概要について説明し、従来システムでの問題点を明らかにする。また、問題点を解決するために行った改良について述べる。

## 2.システム概要

改良後のシステム構成を図1に示す。図1に従って、各プログラムの機能を説明する。

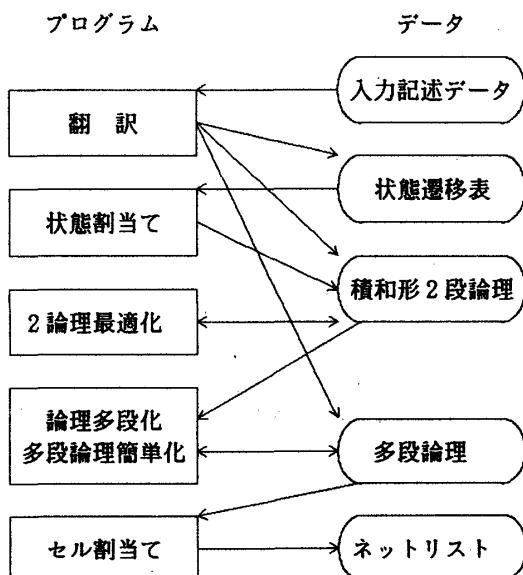


図1. システム構成図

## 2.1 設計仕様入力

入力記述形式としては、論理式記述、真理値表記述、及び状態遷移記述が可能である。

## 2.2 翻訳

入力記述データの記述形式により、積和形2段論理、多段論理、または状態遷移表に翻訳する。

## 2.3 状態割当て

状態遷移表の中の記号で表現された各状態に、状態を記憶するフリップフロップの2値符号を割当て、積和形2段論理に変換する。

## 2.4 2段論理最適化

積和形2段論理に対して論理全体の最適化を行い、積項数を削減する。

## 2.5 論理多段化と多段論理簡単化

積和形2段論理の論理式のある論理式により括り出しを行い、論理式が最も簡単な表現になるような多段論理に変換する。

## 2.6 セル割当て

多段論理に対してテクノロジーマッピングを行い、セルベースのネットリストを生成する。

## 3.システム改良点

### 3.1 状態割当て処理の改良

#### ① 状態割当てについて

状態割当て結果により、組合せ回路部分の回路規模が左右される為、回路規模を最小にする状態割当てを行う必要がある。

#### ② 従来の状態割当て処理

積和形2段論理に変換した場合の積項数が最小となる評価関数を用いて、シミュレーテッドアニーリング法による状態割当てを行っていた。しかし、シミュレーテッドアニーリング法では、状態数が増加すると処理時間がかかる、という問題があった。

### ③ 改良点

シミュレーテッドアニーリング法の代わりに、MUSTANG<sup>2)</sup>をベースにした、新しい最適化状態割当て手法<sup>3)</sup>を開発し、処理時間の高速化を実現した。新手法では、状態間における関係の強さを利用している。（最適化状態割当てについては、本大会予稿集<sup>4)</sup>を参照されたい。）

また、状態遷移回路には、状態間の遷移関係が複雑なネットワーク型、状態間の遷移関係が単純なチェーン型の2種類が存在する為、それぞれに適したアルゴリズムの開発を行っている。

## 3.2 多段化処理の改良

### ① 論理多段化の手法

論理を考慮せずに多段化するWeak Division<sup>5)</sup>、論理を考慮して多段化するStrong Division<sup>6)</sup>がある。一般にWeak Divisionは、処理時間は速いが、処理結果に冗長を含む場合がある。Strong Divisionは、処理時間は遅いが、処理結果に冗長を含むことが少なく、最適な多段論理式が得られる。

### ② 従来システムの問題点

Weak Divisionを適用した結果、ランダムな論理回路に対しては、多段化結果に論理冗長が含まれることは少なく、ほぼ最適な論理式が得られた。一方、演算回路に対しては、多段化結果に多くの論理冗長が残る場合がある。4ビットALUを例にとると、自動合成の結果が人手設計と比較して約8倍の大きさになる。

### ③ 改良点

多段論理の簡単化手法の1つである、トランスクション<sup>6)</sup>をベースに多段論理簡単化処理を開発し、従来のWeak Division処理と併合した。図2に示すように、多段化処理と簡単化処理を繰り返し実行することで、上記の問題に対処した。（しきい値制御については、本大会予稿集<sup>7)</sup>を参照されたい。）

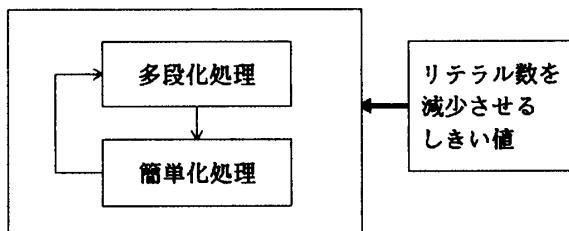


図2. 改良後の多段論理処理

## 3.3 セル割当て処理の改良

### ① 対象テクノロジー

従来は、CMOSテクノロジーのみを対象とした、セル割当て処理を行っていた。

### ② 従来のセル割当て処理

ファンアウトの調整、局所的な論理最適化、及び遅延時間の調整処理をルールベース手法で行っていた。しかし、論理最適化処理と遅延時間の調整処理が、ルールベースではうまく働かない、という問題があった。

### ③ 改良点

ECLテクノロジーに対する、セル割当て処理<sup>8)</sup>を追加した。ECL回路設計では、CMOS回路設計ではない、ゲートの肯定と否定の両出力を同時に使用することができる、という特徴がある。そこで、ECLに対するセル割当て処理では、この特徴を効果的に実現することが必要である。我々は、トランスクション法を応用することにより、ゲートの肯定と否定の両出力を同時に使用するような回路変換を導入し、ECLセル割当て処理を実現した。

遅延時間の調整処理を、従来のルールベース手法からトランスクション法を用いたアルゴリズム手法に変更し、遅延時間調整の最適化を行った。（遅延時間最適化手法については、本大会予稿集<sup>9)</sup>を参照されたい。）

## 4. おわりに

論理合成システムの構成とその改良点について述べた。今後は、RTLレベルの記述からフロアプラン、チップ全体のレイアウト、及びテスト容易化等を考慮した合成システムを検討していく予定である。

## 参考文献

- 1) 佐藤 妃登美、"論理合成システム"、信学技報 Vol89 No.444 pp.69-74
- 2) Devadas,et.al.,:MUSTANG:State Assignment of Finite State Machines Targeting Multilevel Logic Implementations, IEEE Trans.on CAD, Vol.CAD-7, No.12, pp.1290-1300, 1988.
- 3) 中田 恒夫、"状態遷移記述を利用したテスト容易化手法"、第40回情報処理全国大会4M-2, 1990
- 4) 井上 こずえ、中田 恒夫、"論理合成システムにおける最適化状態割当て"、本大会予稿集
- 5) R.K.Brayton,R.Rudell,A.Sangiovanni-Vincentelli and A.R.Wang:MIS:A Multilevel Logic Optimization System, IEEE TC, Vol.CAD-6, pp.1062-1081, 1987
- 6) S.Muroga,Y.Kambayashi,H.C.Lai,J.N.Culliney: The Transduction Method Design of Logic Networks based on Permissible Functions, IEEE TC, Vol.38, No.10, pp.1404-1424, 1989
- 7) 藤島 尚美、松永 裕介、"論理合成システムの多段化におけるしきい値制御の評価"、本大会予稿集
- 8) 高橋 登、佐藤 妃登美、"ECL論理合成法"、信学技報 Vol89 No.444 pp.61-69
- 9) 高橋 登、松永 裕介、"論理合成システムにおける遅延時間最適化手法"、本大会予稿集