

## キャッシュ性能測定の一手法と考察

4L-2

畠下 豊仁 石田 仁志 志賀 稔  
三菱電機(株)

## 1. はじめに

近年エンジニアリングワークステーションには、より一層のコスト/パフォーマンスと省スペース化が求められている。この様な状況を鑑み、我々はエンジニアリングワークステーション・ME-400を開発した。ME-400はMEシリーズの最上位機種である。

本報告では、ME-400のキャッシュの性能測定の手法とその考察について述べる。

## 2. ME-400 概要

ME-400はマイクロプロセッサMC68030(25MHz)を中心に、浮動小数点プロセッサとしてMC68882(オプションWTL3168)、外部キャッシュ64KB(ノーウエイト)、主メモリ最大32MB(2ウェイインターリード)を備え、I/OとしてEthernet、SCSI等を標準で装備する。ピットマップディスプレイは1280×1024画素の高解像度であり、256色の表示が可能で、2Dのグラフィックエンジンを搭載している[1]。更に、拡張用にVMEバスインターフェースを備えている。

外部キャッシュは64KBの容量を持ち、ブロック長は16バイト、ダイレクトマッピング、ライトスルー、命令/データ統合方式を採っている。更に、ライトバッファを1段備えている。

## 3. キャッシュ性能測定

## (1) 目的

外部キャッシュのヒット率を測定し、性能に与える影響を調べる。更に、ライトバッファの効果と必要な段数を調べる。

## (2) 方法

外部に測定回路を設け、H/W信号から測定項目のイベントを作成し計数する方法を採用了。

図1に測定回路の構成を示す。測定回路は、H/W信号から測定項目のイベントを検出しイベントクロックを生成するイベント生成回路、イベントクロックをカウントする32ビットのカウンタが2個、VMEバスからの指示データに従い、イベントの選択と測定の指示及びカウンタのクリアを指示する制御レジスタ、2つのカウンタの出力を選択してVMEバスに出力する出力選択回路、VMEバスからのアクセスを制御する制御回路よりなる。

次に測定回路の動作について説明する。H/W信号はCPUボード上でバッファリングされ、イベント生成回路に入力される。H/W信号には例えば、アドレスストローブ信号、ライト信号、キャッシュミス信号などが上げられる。これらのH/W信号はイベント生成回路において論理積をとるなどの操作を受け、イベントクロックが生成される。例えば外部リードイベントはアドレスストローブ信号のアサートとライト信号のネゲートの論理積により得られる。生成されたイベントクロックはカウンタで計数される。カウンタは27MHzまで動作可能であり、どのようなイベントもカウント可能である。カウンタの出力は出力選択回路により選択され、読み出される。

次に手順について説明する。測定ボードはME-400の拡張スロットに挿入される。被測定プログラムの直前にカウンタのリセット・測定項目の選択・測定開始を指示するプログラムを実行し、被測定プログラム終了後に測定中止、カウンタ読み出しを行なうプログラムを実行することにより測定を行なう。測定回数は測定項目毎に20回である。同時に測定できるのはカウンタの個数の制約により2項目なので、測定項目を変えて同様に行なう。以上の手順をshellスクリプトを用いて記述し、誤差を最小にするために、シングルユーザモードで測定する。以上の手順により、S/Wのオーバヘッドによる誤差を最小にしてキャッシュの性能を測定することが可能である。

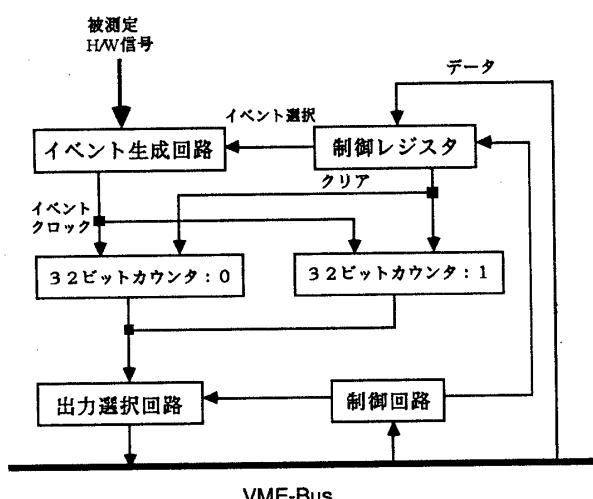


図1.測定回路の構成

被測定プログラムとして、ドライストーンベンチマーク及びコンパイル(C言語:1992行)を選んで測定を行なった。

### (3) 項目

測定項目には次のものが上げられる。総サイクル数・総命令サイクル数・総データサイクル数・総CPUサイクル数・連続ライトサイクル・外部キャッシュ命令リードミス等である。これらの項目からヒット率などが計算可能である。

### (4) 結果

外部キャッシュのヒット率を表1に、MC68030の内部キャッシュのヒット率を表2に、連続ライトの累積度数を全ライトサイクルで正規化したものを図2に示す。また、外部キャッシュにより約25%の性能向上(user\_time)が得られた。

### 4. 考察

測定結果から、以下の3点の考察が得られた。

(1) 外部キャッシュにより、約25%の性能向上が観測できる。

このことは、ヒット率から導き出される性能向上予測と良く一致する。これから測定方法は妥当なものであるといえる。

(2) 更に、測定の妥当性を見るために測定データの平均値の区間推定を行なった結果、信頼水準を95%にとった場合でも、標本平均値の高々前後5%の中に収まることが解った。誤差は満足できる範囲に収まっているといえる。

(3) 1段のライトバッファを持つことにより、全書き込みサイクルの内コンパイル時で37%、ドライストーンベンチマークで68%をノーウエイトで処理することが可能である。更に段数を増やすことにより(例えば7段)、コンパイル時においても全書き込みサイクルの約8割をノーウエイトで処理することが可能であることが解った。段数と効果は単純な比例関係ではなく、不連続点があるように観測されるので、段数を決めるには測定事例を増やす必要がある。

### 5. まとめ

外部に簡単な測定回路を付加することにより、キャッシュの性能を測定し、評価を行なった。

本手法は、同時に測定できるイベントが2項目に限定されるが、S/Wへの影響が少なく、測定回路量も小さいものであるから、実稼働システム上で簡単に実施できるメリットがある。また、測定の結果は他の測定と良く一致し、測定誤差も満足のいく範囲に収まり、測定方法は妥当なものであることが確認できた。

更に、ME-400の外部キャッシュは、従来のキャッシュ[2]に較べ満足のいくヒット率を得ることができた。また、外部キャッシュにより約25%の性能向上が得られることが確認できた。

### 参考文献:

[1] 飯塚、向井、亀山:「ME-400のグラフィック・エンジン(1),(2)」、情報処理学会第39回全国大会、7X-6,7, pp1908-1911(1989).

[2] 村木、黒田、新堂:「キャッシュ・メモリの方式とトレードオフ」、32ビット・マイクロプロセサの全容、日経マグロウヒル、pp242-265(1986).

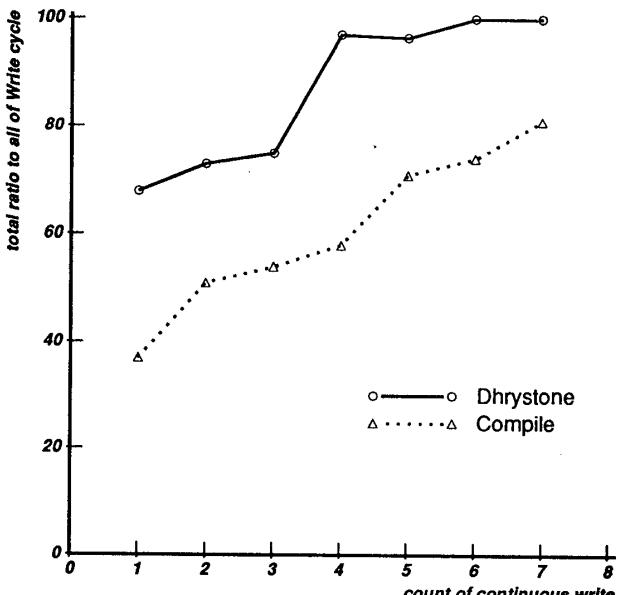


図2. 連続書き込みサイクルの全書き込みサイクルに占める割合

項目	Dhrystone	コンパイル
データ・ライト	93.71(29.0)	83.78(23.3)
データ・リード	99.98(10.1)	94.99(19.4)
命令リード	99.99(60.9)	98.39(57.3)
全体	98.17	94.32

( )内は外部アクセスサイクルに占める比率

表1 外部キャッシュヒット率

項目	Dhrystone	コンパイル
データ・リード	80.12	52.34
命令リード	48.11	60.19

表2 MC68030 内部キャッシュヒット率