

1 L - 6

PIE64の相互結合網ハードウェアの詳細

高橋 栄一 小池 汎平 田中 英彦
(eiichi, koike, tanaka @ mtl.t.u-tokyo.ac.jp)
東京大学 工学部

1 はじめに

並列推論マシン PIE64[1] は、記号処理を並列処理により高速実行することを目的として開発が進められている知識処理向きマシンであり、64台のプロセッシング・エレメントを2系統の相互結合網で結合したアーキテクチャを有している。

現在、PIE64のハードウェアは、プロセッシング・エレメントを構成する中心要素となる二種類のゲートアレイの開発が進んでいる他、相互結合網[2]の基板が完成して(写真2)テスト段階に来ており、新たに開発したテスト専用ハードウェア[3]を用いることにより、実際の動作状態に近いレベルでの動作チェックを行ない、効率的なデバッグが可能となる。

本稿では、相互結合網ハードウェアの実装方式に対する検討を行なう。

2 相互結合網の構成

PIE64の相互結合網は、図1に示すような3段の多段網である。スイッチエレメントは、独自に開発したゲートアレイ4つから構成される32ビット、 4×4 のクロスバスイッチである。他の部分に比較して配線量が多く、規則的であるネットワークの特性を利用し、また、特殊な接続用部品の使用を避けて、実装密度を上げるために、1で箱型の相互結合網の実装方式を提案した。

この実装方式では、フラットケーブルの接続により各段を接続するシャッフル・エクステンションを構成する必要があり、常に接続誤りを犯す危険性があることと、接続部分で接触不良を起こす可能性があるが、逆にネットワークの構成を簡単に変更することもできる利点が生ずる。

3 スイッチエレメント間の配線

スイッチエレメント間の配線をフラットケーブルで行なうことにより、配線の自由度が増すばかりでなく、各スイッチエレメントの独立性が高くなった。これにより、スイッチエレメントのアサインを最適化して、ネットワーク内の総ケーブル長を最短にできる可能性が生じた。

Details of the interconnection network hardware of PIE64
Eiichi TAKAHASHI, Hanpei KOIKE, Hidehiko TANAKA
University of Tokyo

Three Stages Network Connection Diagram

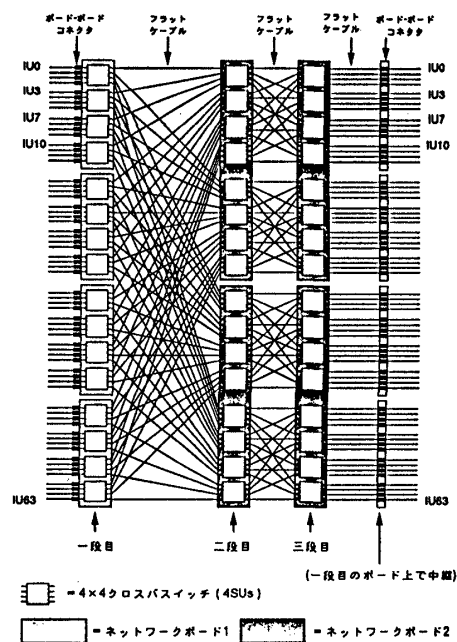


図1: 相互結合網の構成

また、各スイッチエレメントを個別にテスト、デバッグすることも容易にできるようになった。

さらに、フラットケーブルの接続を変えて、異なるネットワーク構成を実験することもできる。

4 スイッチエレメントの配置

各ボード上のスイッチエレメントの配置を、図3に示す。

側面のボード上のスイッチエレメントは、このボードがプロセッサボードのバックプレーンになる関係上、1段目として固定してしまったが、2段目、3段目のスイッチエレメントを上下面どちらのボードにアサインするかは、ボード単位で選択することができる。

この2段目と3段目のスイッチエレメントのアサインに関しては、これらのスイッチが4組の 16×16 、2段スイッチを構成する(図1参照)点に着目すれば、次の2つのプランが実用的であると考えられる。

1. 上面に2段目を下面に3段目をアサインする。

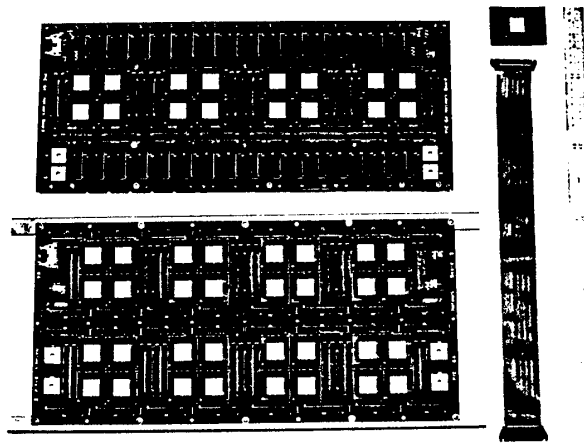


図 2: ネットワークボードの写真

上下の対向するスイッチエレメントを組みすることにより、フラットケーブルの混雑の度合を軽減することができると考えられる。

2. 2段目のスイッチエレメントも3段目のスイッチエレメントも、上下面に半分ずつ割り当てる。
縦方向に走るケーブルを無くすことにより、水平方向のケーブルの配線のしやすさを増大させる。

5 ネットワークボードに対する荷重

ネットワークボードの素材は、通常のプリント基板に比較して軟らかく、しかも、少々の変形により断線を起こしやすいので、変形を最小限に抑えるような強力な補強材を付加した。

また、下面のボードにはフラットケーブルの重量のほとんど(約10kg)がかかるので、その荷重を上面のボードをも用いて支えるために、図4のような支持方式を採用した。

6 おわりに

本稿では、PIE64の相互結合網のハードウェアインプリメンテーションの詳細について述べた。現在、相互結合網のテストを、小規模の構成から段階的に行なっており、テスト専用ハードウェアを用いることによって、作業が効率的に進行している。

なお、本研究は文部省特別推進研究 No.62065002 による。

7 謝辞

Switching Unit チップ作成に多大なる御支援を頂いた株式会社 富士通研究所 人工知能第三研究室の服部室長、並びに、久門氏、三宅氏、ネットワークボードを作成して頂いた日立化成工業株式会社、PIE64のラックの製造、及び、ネットワークボードの実装をして頂いたヨシキ電子株式会社に深く感謝致します。

Network Wiring of PIE64

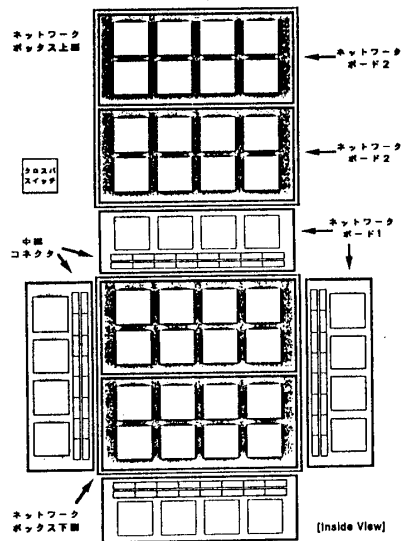


図 3: スイッチ・エレメントの配置

Network Board 2の補強および支持

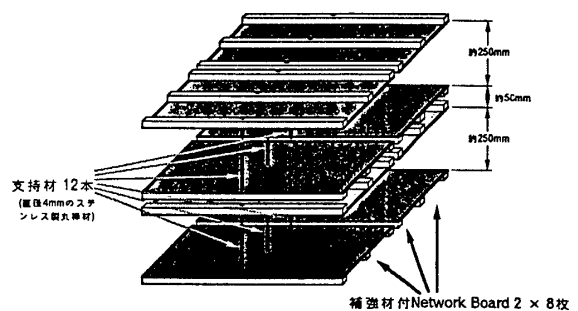


図 4: ネットワークボードの補強

参考文献

- [1] 小池, 田中, “並列推論エンジン PIE64”, 並列コンピュータアーキテクチャ, bit 臨時増刊, Vol. 21, No. 4, 1989, pp. 488-497.
- [2] 高橋, 田中, “並列推論マシン PIE64 におけるインターコネクションネットワークの作成と評価”, 計算機アーキテクチャ研究会, 76-1, 情報処理学会, May 1989.
- [3] 日高, 高橋, 小池, 清水, 田中, “PIE64のネットワークメンテナンス, ホストインタフェース, クロック分配機構: タコ”, 第40回情報処理学会 全国大会, May 1990.