

一線入力論理多段NANDゲート回路の縮約法

4X-1

の検討

後 藤 公 雄

神奈川工科大学

1. はじめに

一線入力論理多段縦続NANDゲート回路の設計法についてはマップファクタリング法を含む種々の方法が提案されており、^[1] 著者も禁止用ループ法による設計法を提案した。^[2] しかしながら禁止用ループ法のみでは、すべての場合について最小回路^{[3],[4]} が得られることは必ずしも保証されない。この対策として回路の縮約が考えられるが、文献^[5] による縮約法以外に明確な方法が見当らない。著者はこれまでに続いて、^[6] さらに縮約法を検討する。

2. 縮約のための定義と定理

用いられるゲート回路はNANDゲートに限定する。

【定義1】多段縦続ゲート回路の相互のゲート回路間で入力側に近い方を前段ゲート回路、出力に近い方をゲート回路を後段ゲート回路と呼ぶ。

【定義2】多段縦続ゲート回路で、任意のゲート回路の前段にあるものを先行ゲート回路、また隣接した前段となるものを直接先行ゲート回路と呼び、後段にあるものを後続ゲート回路、また隣接した後段となるものを直接後続ゲート回路と呼ぶ。

【定義3】あるゲート回路の入力の中で、直接先行ゲート回路1個のみからの出力による入力を主入力、またそれ以外の入力を副入力と呼ぶ。

【定義4】1個の主入力、0個以上の副入力および1個のみの出力を持つ1つのゲート回路を標準ゲート回路と呼ぶ。

【定義5】複数個の標準ゲート回路を1個ずつ直接先行ゲート回路と直接後続ゲート回路との間に多段にわたって縦続接続して得られる一連の回路を標準ゲート縦続回路と呼ぶ。

【定義6】同数の段数を持つ n 個($n > 1$)の標準ゲート縦続回路を並列につないで得られる n 列の並列縦続回路の最後段を1個のゲート回路につないで得られる回路を標準並列縦続ゲート回路と呼ぶ。

【定義7】標準並列縦続ゲート回路の各列最後段出力の全てが集中して入力されるゲート回路を出力集中ゲート回路と呼び、このゲート回路は他の入力をも持ち得る。

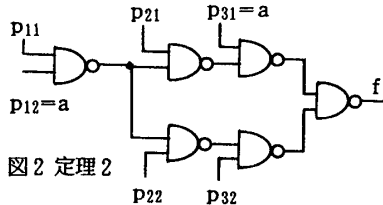
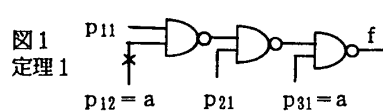
【定理1】標準1列NANDゲート縦続回路の任意の標準ゲート回路の主入力、もしくは各段標準ゲート回路の副入力に同じ入力があるときは、最後段の副入力のみを残し、他はすべて抹消できる。

【定理2】標準1列NANDゲート縦続回路の途中の任意の標準ゲート回路の1出力が k 列の並列多段縦続回路 $C_j(j=1 \sim k)$ に繋るとき、この標準ゲート回路以前の段の

主入力または副入力 x が抹消できるのは、これらの並列多段縦続回路 C_j のすべて($j=1 \sim k$)について、同時に副入力 x が存在するときに限られる。

【説明1】図1で第1段入力 p_{12} と第3段入力 p_{31} は相等しく、 p_{12} は抹消できる。図2では p_{12} と p_{31} が等しいが、 p_{12} は抹消できない。

【定理3】標準ゲート縦続回路のゲート数が奇数個より成る標準並列縦続ゲート回路 S の全初段の主入力

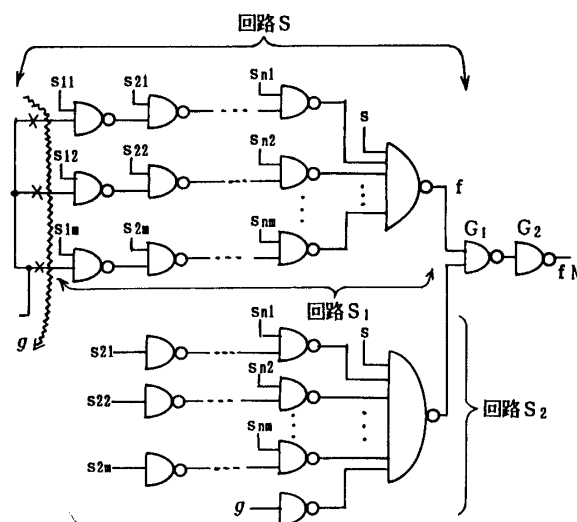


をすべて除去し

た標準並列縦続ゲート回路 S_1 と、回路 S から全初段ゲートを除去し、回路 S の出力集中ゲートに g を副入力として追加して得られる回路 S_2 との2つの出力を直接後続ゲート回路につなぎ、その出力を否定して得られる新回路 S_N は元の回路 S に等価である。

【定理4】標準ゲート縦続回路のゲート数が奇数個より成る標準並列縦続ゲート回路 S の全初段の主入力 g を持ち、 i 段 j 列目の標準ゲートへの副入力を s_{ij} 、出力集中ゲート回路への副入力を s 、段数を n 、列数を m とするとき、

$$\bar{g} s \prod_{j=1}^m \left(s_{2j} \left(s_{3j} \left(s_{4j} \dots s_{n-1,j} s_{n,j} \right) \right) \right) = \bar{g} \quad (1)$$

図3 定理3による新回路 S_N の生成

が満足されれば、元の回路Sの初段から入力 g をすべて除去して、この g を集中ゲートの出力につながる直接後続ゲート G_1 の副入力として移し変え、さらに G_1 の否定ゲート G_2 を追加した回路SNを作ると、回路SNは元の回路Sに等価である。

〔説明2〕図3は定理3による新回路SNであり、式(1)が成立すれば、定理4によって、初段入力 g が全て除去され、ゲート G_1 の副入力として g が追加される。

〔定理5〕標準ゲート縦続回路のゲート数が偶数個より成る標準並列縦続ゲート回路Sの全初段の主入力が同一入力 g を持つとき、回路Sから初段主入力 g をすべて除去し、さらに回路Sから初段ゲートをすべて除去した回路 S_1 の出力と、入力 g の否定出力 $\bar{g}$ とを2つの入力とする直接後続ゲート回路の出力を元の回路Sの集中出力ゲートの入力として追加することによって得られる新たな回路SNは元の回路Sと等価である。

〔定理6〕標準ゲート縦続回路のゲート数が偶数個より成る標準並列縦続ゲート回路Sの全初段の主入力が同一入力 g を持ち、 i 段 j 列目の標準ゲートへの副入力を s_{ij} 、出力集中ゲート回路への副入力を s 、段数を n 、列数を m とすると、

$$\bar{g} \prod_{j=1}^m \left(s_{2j} \left(s_{3j} \left(s_{4j} \dots s_{n-1,j} \cdot s_{n,j} \right) \right) \right) = \bar{g} \quad (2)$$

が満足されれば、元の回路Sの初段から入力 g をすべて除去して、この g を回路Sの出力集中ゲートの副入力として追加することによって得られる新回路SNは元の回路Sと等価である。

〔説明3〕図4は定理5による新回路SNであり、式(2)が成立すれば定理6によって、回路Sの初段主入力 g を全部除去し、出力集中ゲートへの副入力として g を追加して入力することができる。

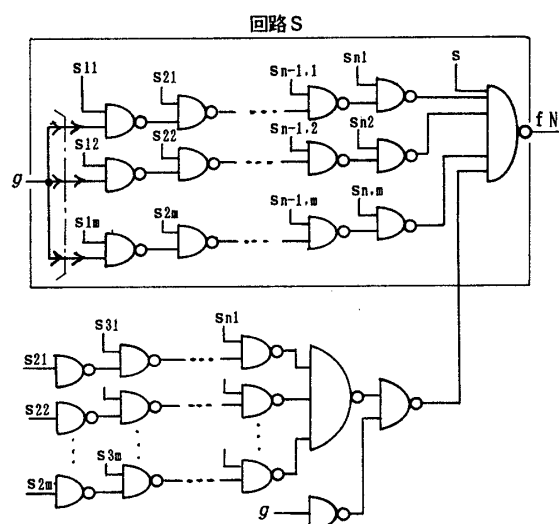


図4 定理5による新回路SNの生成

3. 応用例

前述した各定理の中で定理1, 3~6は元の回路Sから等価な回路SN求めたが、逆に回路SNが与えられた

とき、回路Sを求めることも可能である。つぎに応用例を示す。図5(a)は

$$f = \Sigma(1, 2, 3, 4, 7) \quad (3)$$

で与えられる関数 f を

禁止用ループ法^[2]によって求めたものである。

定理6により集中

ゲート1を

除去してゲ

ート7の副

入力とし、

図5(b)を

得る。ゲ

ート5, 6の

共通入力 b

に着目し、

定理4によ

ってゲ

ート8, 9を

介して、集

中ゲ

ート7への

副入力を

追加し、図

5(c)を得

る。さらに

定理1を逆

に用いてゲ

ート2にゲ

ート3を、

ゲート1に

入力 a を追加し、

整理して図

5(d)を得る。

(ゲート数、結線数、段数)は図5(a)の(7,18,4)から

図5(d)の(6,15,4)に縮約される。

4. おわりに

以上、一線入力論理多段NANDゲート回路の縮約法

として3種類の主要定理を一般的な形で導入した。これ

らの定理により、3変数P同値類68関数について禁止用

ループ法のみでは最小解が得られないような場合でも最

小解まで縮約できることが確認できた。しかし、この縮

約を計算機で行うには各定理の適用順序について検討す

る必要がある。

【参考文献】

- [1] Muroga, S.: Logic Design and Switching Theory, John Wiley (1972).
- [2] 後藤: 禁止用ループの使用による一線入力NANDゲート回路生成の一手法, 情報処理学会論文誌, Vol.30, No.5, pp.624-632 (1989).
- [3] Hellerman, L.: A Catalog of Three-Variable Or-Invert and And-Invert Logical Circuits, IEEE Trans. Electron. Comput., Vol. EC-12, No.3, pp.198-223 (1963).
- [4] 池野, 橋本, 内藤: 4変数素子最小NAND回路, 研実報(別冊), No.26 (1968).
- [5] H. P. Lee and E. S. Davidson: Redundancy testing in combinational networks, IEEE Trans. Comput., Vol. C-23, No.10, pp.1029-1047 (1974).
- [6] 後藤: 一線入力NANDゲート回路の合成結果の簡単化, 1983年電子情報通信学会春季全大論文集, A-240 (1989).

