

スタンダードセル方式ブロックの形状見積りの方法と評価

1V-9

岩崎知恵、福井正博、山本敦志、羽山繁

松下電器産業株式会社 半導体研究センター

1. はじめに

LSIのレイアウト設計は、トップダウン設計とボトムアップ設計の2段階に分けられる。前者は、チップ面積の最小化を目的として、チップ内の機能ブロックの配置や形状可変ブロックの形状を決定するフロアプランであり、後者は、ブロック内及びブロック間の詳細レイアウトである。形状可変ブロックと形状固定ブロックが混在するチップのフロアプランを行う際に、チップの面積をできるだけ正確に見積るためには、詳細レイアウトで設計される形状可変ブロックの形状見積りの精度を高くする必要がある。以下では、形状可変ブロックをスタンダードセル方式により設計するブロックとする。スタンダードセル方式ブロックは、高さが一定で幅が任意のスタンダードセルを列状に配置した形をしており、その並べる段数(セル行数)を変えることによりブロックの形状を自由に変更することができる。その特徴を利用して、チップフロアプランシステムには、チップ面積を最小化するために無効領域をできるだけ縮少するように、形状可変ブロックの形状を最適化する処理が含まれている(図1)m。また、形状予想方法についての報告もされている[2]。しかし、実際のレイアウト結果のブロック形状は、レイアウトを行う配置配線手法に大きく依存するところがあり、レイアウトシステムに対応した予想式を作成する必要がある。そこで、我々の開発したレイアウトシステムにおいては、見積り精度の良い形状予想式を作成し、フロアプランシステムの性能向上を図ることとした。本稿では、フロアプランでの形状見積りの方法及びその精度評価について述べる。

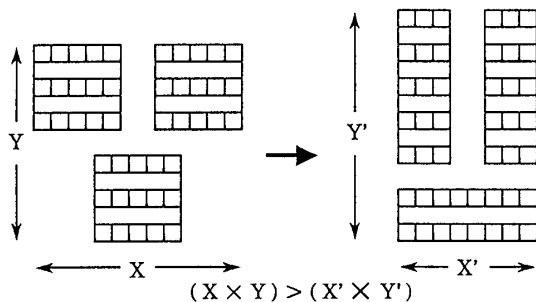


図1 フロアプランにおける形状最適化

2. ブロック形状見積り

2.1 形状予想式に対する仮説

まず、形状予想式に対して以下の仮説を立てた。但し、ここで述べるブロックの形状とは、全セルを囲む最小

矩形とする。

(仮説1)与えられた回路には、大きな領域を占めないローカルなネットと、数セル行間に渡るグローバルなネットが存在する。

(仮説2)グローバルなネットは、それを囲む最小矩形がブロックの外形の変化に応じて相似的に変化する(図2)。即ち、同ネットがブロック上の任意の縦線を横切る水平線分の本数はブロックの形状を変化させても一定である。同様に、ブロック上の任意の横線を横切る垂直線分の本数はブロックの形状を変化させても一定である。

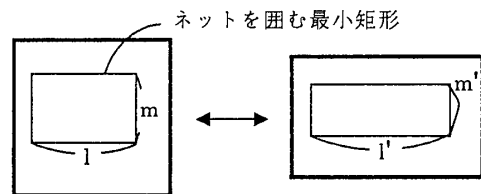


図2 ブロック内のネットを囲む最小矩形

(仮説3)ローカルなネットはセルの上下に付随してセルの見かけ上の高さを増加する。

以上の仮説より、ブロックの幅X及び高さYは、セル行数をR、ローカルネットの配線幅を含めた見かけ上のセルの高さをa、グローバルなネットが占める水平方向の配線幅の総和をb、総セル幅をc、グローバルなネットの配線に必要なフィードスルーセル幅の総和をdとした時、以下の式で表現できる。

$$Y = a \times R + b \tag{2.1.1}$$

$$X = c + R + d \tag{2.1.2}$$

実データで、セル行数Rと、ブロック幅X、高さYとの関係をプロットした結果(図3)により、この仮説に従った傾向が認められた。

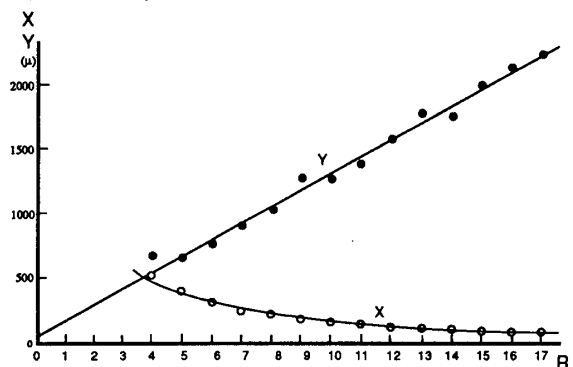


図3 スタンダードセル方式ブロックの形状変化

A Method of Configure Estimation for a Standard Cell Type Block and its Evaluation.

Chie Iwasaki, Masahiro Fukui, Atsushi Yamamoto, Shigeru Hayama

Semiconductor Research Center Matsushita Electric Industrial Co., Ltd.

## 2.2 パラメータのフィッティング方法

1) 式(2.1.1),(2.1.2)においてa,b,c,dは、回路の特徴に依存するパラメータと考えられる。各パラメータは以下の式で予想する。

a: スタンダードセルの高さをh、配線1本分に必要なトラック幅をwとした時、

$$a = h + (k_1 + k_2 \times (\text{セル数})) \times w \quad \text{--(2.2.1)}$$

(経験データより、 $k_1=10, k_2=0.01$ と設定した。)

b:  $k_3$ 個以上の端子を持つネットの個数を $N_g$ とした時、

$$b = N_g \times w \quad \text{--(2.2.2)}$$

c: c = (総セル幅)  $\text{--(2.2.3)}$

d: d = (総セル幅)  $\times 0.002$   $\text{--(2.2.4)}$

また、別の方法として、与えられたブロックを実際にレイアウトし、その結果に基づいてa~dのパラメータをフィッティングする方法が考えられる。レイアウトを実行した回数に応じて以下の2)~4)が考えられる。

### 2) レイアウト1回実行後

b, cを式(2.2.2),(2.2.3)より求め、(X1, Y1, R1)から次式により、a, dを求める。

$$a = (Y1 - b) \div R1 \quad \text{--(2.2.5)}$$

$$d = X1 - c \div R1 \quad \text{--(2.2.6)}$$

### 3) レイアウト2回実行後

式(2.1.1)、(2.1.2)をそれぞれ2点を通る直線と曲線としてa~dを求める。

### 4) レイアウト3回以上実行後

最小二乗法によってa~dを求める。

## 2.3 ブロック上のフィードスルー線の考慮

ブロック上をフィードスルーが通過する場合、前記のb,dの予想値を以下のように補正する。

$N_f$ : フィードスルーの本数

$N_{cf}$ : セル内フィードスルーの数

$W_f$ : フィードスルーセルの幅

縦方向のフィードスルーの場合

$$b = b' + N_f \times 2 \times w \quad \text{--(2.3.1)}$$

$$d = d' + \max(N_f - N_{cf} / 2 / R, 0) \times W_f \quad \text{--(2.3.2)}$$

横方向のフィードスルーの場合

$$b = b' + N_f \times w \quad \text{--(2.3.3)}$$

## 3. ブロック形状見積り精度の評価

2.2で示した1)~4)の方法で求めた形状予想式の評価実験を行った。実験方法は、5つのブロックについて、各々3通りのセル行数に対してブロックレイアウトを実行し、1)~4)の方法で形状予想式を作成し、予想値とレイアウトの実現値との比(予想値/実現値)のバラツキを求めた。その結果を表1に示す。この結果、1)と2)の間には精度の向上が見られるが、2)、3)、4)の間には精度の向上が見うけられない。反面、予想の為に要する時間は明らかに1)、2)、3)、4)の順で増加する。以上より、概略な見積りは1)を使用し、詳細な見積りには2)を使用することが有効であると考えられる。

次に2.3の補正の効果を調べる為に、ブロック上にフィードスルーを通過させた時に、同補正をした場合と、しなかった場合の予想精度のバラツキの変化を調べた(表2)。明らかに補正の効果がうかがえる。

表1 ブロック形状見積り方法と予想精度(予想値/実現値)のバラツキ(%)

予想方法	1)	2)	3)	4)
幅	94~104	92~102	90~102	91~101
高さ	91~104	93~101	84~104	91~102

表2 フィードスルー発生時の予想精度

フィードスルーの本数	式(2.2.1)~(2.2.4)による予想精度(X×Y(%))	式(2.3.1)~(2.3.3)による予想精度(X×Y(%))	フィードスルーセル数
0本	103×103	103×103	4
縦32本	103×96	103×103	3
縦64本	103×90	100×103	178
横64本	103×99	103×103	1

## 4. フロアプラン処理フロー

ここで、ブロック配置、形状最適化<sup>[1]</sup>、外部ピン配置<sup>[3]</sup>、概略配線、電源配線等の機能を有するフロアプランシステムを用いたレイアウト処理の中で、どのようにして見積り精度を上げていくか、その処理フローを提案する。

(step1)フロアプランシステムでブロックの配置、レイアウト未実行時の予想式(2.2節の1))による形状最適化、外部ピン配置を行う。

(step2) step1で決定したセル行数とピン配置でブロック内のレイアウトを行う。

(step3) step2のレイアウト結果のブロックサイズに基づいて形状予想式(2.2節の2))を求め、再びフロアプランの各処理を行う。

## 5. まとめ

フロアプランにおけるスタンダードセル方式ブロックの形状見積りの方法として、ブロックの幅、高さをそれぞれセル行数の関数で表現した。その関数を求めるために、ブロックレイアウトの実現値を同関数のパラメータにフィードバックし、その実現値から形状予想式を立てるという手法を示した。更に、評価実験の結果に基づいて、1つのレイアウト処理フローを提案した。その処理フローでは、ブロックレイアウトを1回実行することによって精度の高い形状見積りができ、フロアプランの性能も上げることができ。

また、レイアウト未実行の場合のパラメータ算出式を用いれば、回路設計が完全に行われていないブロックレイアウト不可能な段階においても、概略フロアプランとしてチップ面積の見積りに活用できる。

今回、スタンダードセルだけでなくマクロセルを含むブロックの形状予想については述べなかった。この点については今後の課題である。

## 参考文献

- [1] 福井、他「ブロック形状最適化一手法」電子情報通信学会秋季全国大会(1988)
- [2] 上田、北沢、原田「VLSIチップフロアプランプログラム:CHAMP」設計自動化 18-3(1983.9.20)
- [3] 塩原、福井「フロアプランにおけるピン配置の一手法」電子情報通信学会 CAS88-99(1989)