

アレイプロセッサの再構成に関する プロセッサ割当問題について

2L-2

陳 昶 馮 安 菊野 亨 鳥居 宏次

大阪大学 基礎工学部 情報工学科

1. まえがき

最近の超並列計算のモデルとしてアレイ構造のマルチプロセッサが注目されている⁽⁴⁾。更に、超立方体マルチプロセッサは2次元のアレイ構造をk次元に拡張した構造をしており、実時間処理システムの開発に広く利用されている^{(2),(3)}。

本報告では、こうしたアレイプロセッサの再構成問題^{(3),(5)}の1つについて議論する。具体的には、 $n \times n$ 個のプロセッサ群に対し、 $2n$ 個の予備プロセッサを配置して、 m 個の故障プロセッサが発生したときの予備プロセッサへの切替え方法を考える。但し、各故障プロセッサには丁度2つの予備プロセッサが準備されており、その内の1つに切替える。この条件下で、将来発生する故障プロセッサに対して、残っている予備プロセッサへの切替えの可能性が最大となることを目指す。

2. 定式化

[定義1] 次の2つのプロセッサ群を考える。

$H(n) = \{c_{ij} \mid 1 \leq i, j \leq n\}$; $n \times n$ 個のアレイプロセッサ

$S = \{a_j, b_i \mid 1 \leq i, j \leq n\}$; $2n$ 個の予備プロセッサ

ここで、各プロセッサ c_{ij} は2つの予備プロセッサ b_i , a_j と結合されている。更に、故障プロセッサの集合を F で表す。但し、 $F \subseteq H(n)$ とする。■

[例1] 図1にアレイプロセッサ $H(6)$ とその予備プロセッサを示す。同図の○が通常のプロセッサを、□が予備プロセッサをそれぞれ表す。図1には予備プロセッサ a_3 と b_4 と通常のプロセッサの間の結合だけを描いている。

[定義2] 故障プロセッサ F に対する予備プロセッサ S の割当を F の S によるカバーと呼ぶ。但し、割当 $\tau: F \rightarrow S$ は次の条件1~3を満たすものとする。この時、予備プロセッサ $\tau(c_{ij}) \in S$ は c_{ij} をカバーすると言う。

条件1. 各 c_{ij} に対し、 $\tau(c_{ij})$ は b_i または a_j である。

2. $\forall b_i \in S$ に対し、 $\tau(c_{ij}) = b_i$ なる c_{ij} は高々1つ存在する。

3. $\forall a_j \in S$ に対し、 $\tau(c_{ij}) = a_j$ なる c_{ij} は高々1つ存在する。■

[例2] 図2の×が故障プロセッサを表す。更に、×と□との間の無向枝がカバー τ_1 を表す。

[定義3] 故障プロセッサ F とカバー τ が与えられるとき、プロセッサ $c_{ij} \in H(n) - F$ が次の条件4を満たすなら、プロ

セッサ c_{ij} は危険であると言う。

条件4. カバー τ において、 b_i と a_j は共にある故障プロセッサを既にカバーしている。

危険なプロセッサ c_{ij} の集合を $D(F, \tau)$ で表し、その要素数を危険プロセッサ数と呼び、記号 d で表す。■

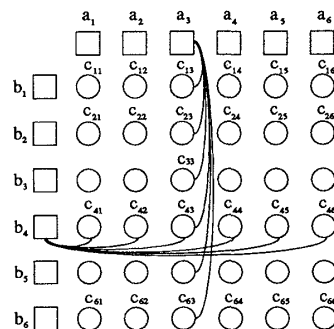


図1 アレイプロセッサ
 $H(6)$

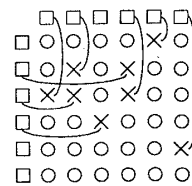


図2 カバー τ_1

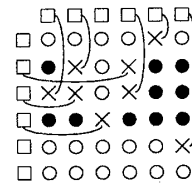


図3 $d=10$

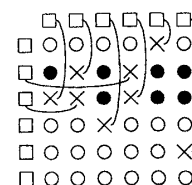


図4 $d=7$

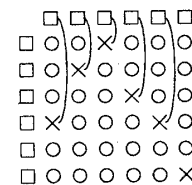


図5 場合1

[例3] 図2に示した故障プロセッサとカバー τ_1 について考える。このときの危険なプロセッサを図3の●で表す。従って、 $d=10$ である。次に、図4に示すカバー τ_2 を考えると、危険なプロセッサの数 $d=7$ となる。

[定義4] プロセッサ割当問題は次の様に定義される。

入力として次の(1)~(3)が与えられる。

(1) $H(n) = \{c_{ij} \mid 1 \leq i, j \leq n\}$; $n \times n$ 個のアレイプロセッサ

(2) $S = \{a_j, b_i \mid 1 \leq i, j \leq n\}$; $2n$ 個の予備プロセッサ

(3) $F \subseteq H(n)$; 故障プロセッサ

このとき、出力として危険プロセッサ数 $d = |D(F, \tau)|$ を最小とするカバー $\tau: F \rightarrow S$ を求める。■

3. 単純な場合の最適解

故障プロセッサFのアレイ上での配置がある特定の性質をもつとき、プロセッサ割当問題は自明な最適解をもつ。
[場合1] $F = \{c_{1j(1)}, c_{2j(2)}, \dots, c_{nj(n)} \mid 1 \leq j_1 < j_2 < \dots < j_k \leq n\}$. すなわち、 $H(n)$ をn行のn列の行列と見なすとき、故障プロセッサがどの列にも高々1個だけ現れている。これに対する最適なカバー τ は $\tau(c_{ij(j)}) = a_j$ となり、このとき $d=0$ となる(図5参照)。■

[場合2] $F = \{c_{ij}, c_{il}, c_{kj}, c_{kl}\}$. すなわち、故障プロセッサが#の字の形で現われている。このとき2種類の最適なカバー τ_1, τ_2 (表1参照)が求まり、いずれの場合も $d=0$ となる。■

4. 基本的性質

与えられた $H(n)$, S , F に対して、次の条件5を満たす無向二部グラフ $G_F = (V, E)$ を構成する。

条件5. $V = S = \{a_j, b_i\}$

$$E = \{(b_i, a_j) \mid c_{ij} \in F\}$$

求まった二部グラフ G_F を連結成分の集合 $\{G_F^1, G_F^2, \dots, G_F^l\}$ に分割する。

[例4] 図2に示した故障プロセッサFに対して構成される二部グラフを図6(a)に、その連結成分を図6(b)にそれぞれ示す。

[定理1] 与えられた $H(n)$, S , F に対して、構成される二部グラフ G_F の連結成分 $\{G_F^1, G_F^2, \dots, G_F^l\}$ を考える。任意の連結成分 G_F^i ($1 \leq i \leq l$) が高々1個の閉路しか含まないなら、プロセッサ割当問題には最適解が存在し、 $O(n^4)$ で解くことができる。一方、少なくとも1つの連結成分 G_F^i が2個以上の閉路を含むと、プロセッサ割当問題の条件を満たすカバーは存在しない。■

定理1の条件を満たすときに、最適解を求めるアルゴリズムCの概要を以下に示す。

[アルゴリズムC]

ステップ1 (基本方針の決定) … 故障プロセッサが生じている行の総数 I と列の総数 J を求める。便宜的に、 $I \leq J$ と仮定する。基本方針として、予備プロセッサ a_j を J 個、予備プロセッサ b_i を I 個利用する。更に、行方向に見て、故障プロセッサが生じている個数の大きい順に、行をソートする。

ステップ2 (列方向のカバー) … 列方向に見て、故障プロセッサが丁度1つ生じている各列 j についてその列の予備プロセッサ a_j を割当てる。

ステップ3 (行方向のカバー) … カバーされた故障プロセッサを除いて、各行毎の故障プロセッサ数を求める。次に、ソートした順で I 番目までの各行について、更新後の故障プロセッサ数が1となっている各行 i についてその行の予備プロセッサ b_i を割当てる。

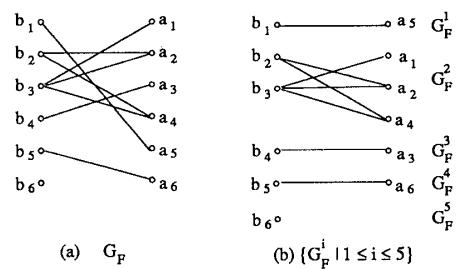


図6 二部グラフ

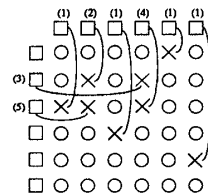


表1 τ_1 と τ_2 の定義

	C_{ij}	C_{il}	C_{kj}	C_{kl}
τ_1	a_j	b_i	b_k	a_l
τ_2	b_i	a_l	a_j	b_k

図7 適用順の説明

ステップ4 (列方向のカバー) … カバーされた故障プロセッサを除いて、各列毎の故障プロセッサ数を求める。もし、故障プロセッサ数が1の列があればその列の予備プロセッサを割当て、次はステップ3へ。一方、どの列も2以上であれば、そうした列の中で最小番号の列 j について、その列の予備プロセッサ a_j を割当てる。次はステップ3へ。

[例5] 既に図4に示している τ_2 がこのアルゴリズムで求まる解の例である。具体的に τ_2 の割当が決定して行く順番を図7の(1)~(5)に示す。

5. むすび

アレイプロセッサの再構成問題に関連したプロセッサの最適割当問題について議論した。今後に残されている主な課題を次にまとめる。

- (1) 提案したアルゴリズムの詳細な解析を行うこと。
- (2) モデルの拡張について検討すること。

文献

- (1) J.A. Abraham et al.: "Fault tolerance techniques for systolic arrays", IEEE Computer, pp. 65-74 (July 1987).
- (2) P. Banerjee et al.: "An evaluation of system-level fault tolerance on the Intel hypercube multiprocessor", Proc. of 18th International Symposium on Fault-Tolerant Computing, pp. 362-367 (1988).
- (3) R. G. Melhem: "Bi-level reconfigurations of fault tolerant arrays in bi-modal computational environments", Proc. of 19th International Symposium on Fault-Tolerant computing, pp. 488-495 (1989).
- (4) R. Negrini, M. Sami and R. Stefanelli: "Fault tolerance techniques for array structures used in supercomputing", IEEE Computer, pp. 78-87 (Feb. 1986).
- (5) 鈴木, 平田, 今井, 山下, 茂木: "長方形シストリックアレイの再配線問題", 電子情報通信学会論文誌, J70-D, 3, pp. 534-542 (1987).