

3U-2

大規模ニューラルネットワーク向け

ハードウェア方式

山田 稔 柳生正義 益田 昇 正木 亮 平井有三

(株)日立製作所 中央研究所 *筑波大学 電子・情報工学系

1. 緒言 大規模高速ニューラルネットワーク実現のためには、高集積化に適したネットワーク方式、ニューロン回路・結合方式にする必要がある(図1)。

2. ニューラルネットワーク方式
VLSI, 更には, WSI (Wafer Scale Integration)に適したニューラルネットワーク方式を図2に示す。本方式の第1の特徴は、多重化等により学習回路(および入出力回路、制御回路等)をフォールトトレラントにした点にある。ネットワーク中の欠陥ニューロンについては、正常な学習回路によりその信号を受けるシナップスの重み値を0にすることで切り離せるので、WSI化した場合もニューラルネットワーク全体をフォールトトレラントにすることができる。

本方式の第2の特徴は各ニューロン間を時分割ディジタルバスで接続していることである。これにより、全体として必要なシナップスの数は、各ニューロン間を全て接続する場合に比べ、 $1/N$ (N : ニューロン数) ができる。

バスによるデータ転送時間がネックとなるのを防ぐため、ニューロンは前の状態との差分を出力させるようにし、出力が0のニューロンはデータ転送しない動作モードも用意した。

シナップスの重み値を記憶するためのメモリ容量は、重み値を5ビットとすると 10^4 ニューロンの完全結合の例で477Mビットと膨大なものとなる。このため

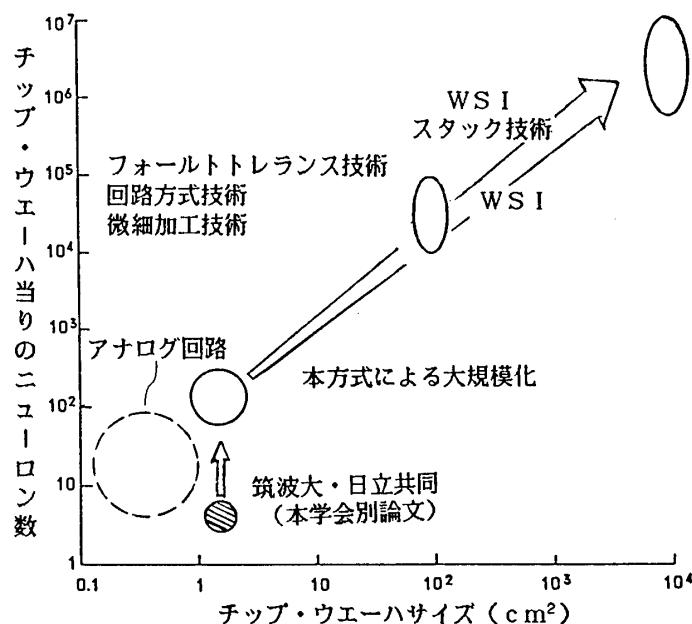


図1 高集積ディジタルニューロチップ

●時分割ディジタルバス

コネクションハード
ウェア量 $1/N$
 N : ニューロン数

●多重化学習系

学習回路

多數決回路

ニューロン

シナップス回路

細胞体回路

バスドライバ

クロック

バスドライバ

バスド

各ニューロンは重み値の絶対値の

大きいもののみを、例えば 256 個、その結合相手ニューロンのア

ドレスと共に記憶させるようにし

た。任意のニューロンと結合でき

る。結合相手数が 256 を越える

ニューロンについては複数のニ

ューロンをツリー状につなぐ。メモリ容量はアドレス用の 14 ビット

を含めて 44M ビットと 1/10 にできる。

3. ニューロン回路方式 現在、世界的に主

流のアナログ方式¹⁾では、 10^4 ニューロン /

ウェーハもの高集積化は本質的に困難と考え

る。そこで、ディジタル回路のみで構成した

ニューロンの一例を図 3 に示す。シナブス回

路は乗算器で構成する。細胞体回路は、加算

器、Sigmoid 関数回路等より成る。本例では約

750 ゲートで構成できる。

4. 耐欠陥性の評価 図 4 は素子の欠陥とニ

ューラルネットワークの動作との関係を評価

するシミュレータの構成である。現在は

Hopfield 型ネットワーク用のみが完成してい

る。故障はニューロンの出力スタック値と重

み値に対して指定できる。プリプロセッサは

問題すなわち定式化毎に作成する。現時点

で分割問題用と配置問題用の 2 種類が定式化済

みである。

図 5 に欠陥ニューロンを学習回路で切り離

さない場合についてシミュレートした結果を

示す。6 LSI を 2 つのモジュールに分割す

る問題を例にして、出力スタック故障したニ

ューロン数と正解率との関係をシミュレート

した。定式化は Hopfield の方法に準じており、

モジュール間の結線本数を評価関数にした。

なお前述のバス結合を仮定し、内部状態の時

間微分項を 0 として反復計算で安定状態を求めて

いる。各故障状態に対し 5 種類の初期値セ

ットで実験した。この問題では 1 ニューロン故障の場合、約 80 % の

確率で最適解を得た。

5. 結言 大規模ニューラルネットワーク向けハードウェア方式をもとに、ニ

ューロン WSI を目指す。

6. 謝辞 有益な御討論を頂いた上智大学加藤誠巳教授、当所林剛久氏、浅井

光男氏に深く感謝します。

7. 参考文献 1) Hopfield J.J., Biol. Cybern., Vol. 52, pp. 141-152 (1985).

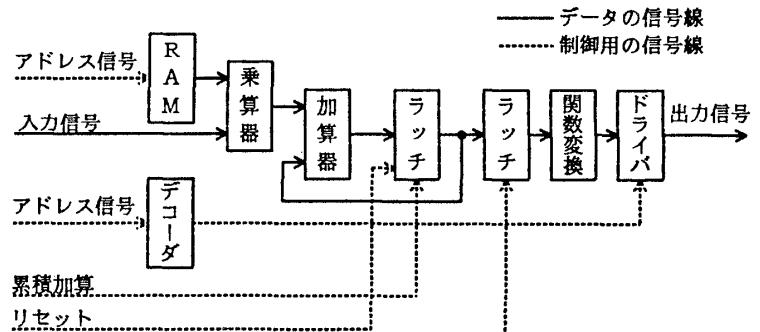


図3 ディジタルニューロン回路

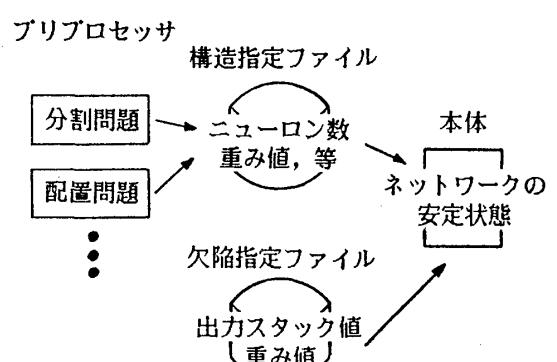
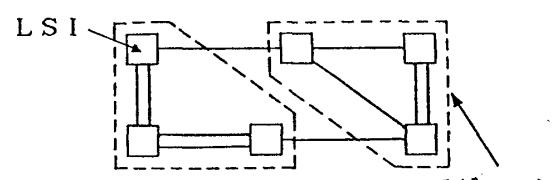


図4 シミュレータの構成



(a)結線関係と最適な2分割

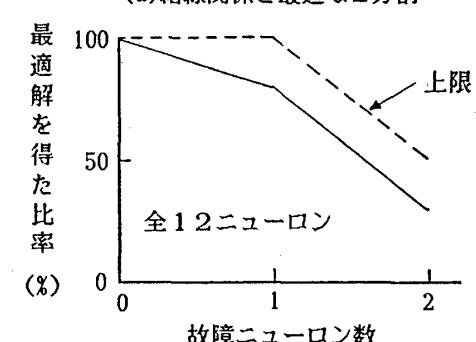


図5 6 LSI 2分割問題シミュレーション例
(b)出力スタック故障ニューロン数と正解率