

データ駆動計算機 E M - 4 の 2T-5 パイプライン構成

坂井修一 山口喜教 児玉祐悦 平木敬

(電子技術総合研究所)

1. はじめに

シングルチッププロセッサ E M C - R によって構成されるデータ駆動計算機 E M - 4 を開発中である^{[1][2]}。E M - 4 では、処理のさまざまな並列化・重畳化をおこなっている。その概略を以下に記す。

- ①データフローグラフによって表現される並列性を、要素プロセッサ (P E) 間に展開することによる並列化。
- ②データフローグラフによって表現される並列性を、P E 内の循環パイプライン上に展開することによる重畳化。
- ③同一 P E 内における先行制御。
- ④データ授受機能と処理機能の並列化。
- ⑤結合網上でパケット転送の重畳化。
- ⑥関数の部分実行を用いた先行制御。
- ⑦擬結果関数を用いた先行制御。
- ⑧負荷分散の先行制御。

このうち、①②⑥はすでにほとんどのデータ駆動計算機上で実現されており、⑦は E M - 3 など、⑤は S I G M A - 1 などで実装されている。また、④はすでに報告しており^[1]、⑧は別途報告する^[3]ので、ここでは触れない。

E M - 4 では、従来のデータ駆動計算機で困難とされていた③の制御を自然な形で取り入れることで、処理を高速化した。ここでは、③を実現するための新しい計算モデルの導入、②と③の2種のパイプラインの融合、②③のためのハードウェア機構などについて報告する。

2. データ駆動型パイプラインの欠点

循環パイプライン上でパケットが移動することで処理を進める従来のデータ駆動計算機においては、パイプライン構成の上で以下の欠点があり、これらが、十分なスループットを得るための障壁になっている。

- (1)先行制御が困難である。
- (2)パイプラインの細分化が困難である。

(1)の原因は、P E に入るトークンの順序の予測が難しいことにある。(2)の原因は、細かいパイプラインを設計した場合、(1)により逐次処理の処理時間が大きくなること、レジスタファイルやキャッシュを利用したトークンの保存が難しいこと、パケット転送のパイプラインピッチに下限があること、などにある。

3. E M - 4 におけるパイプライン設計

3. 1 強連結枝モデルの導入

E M - 4 では、強連結枝モデルと呼ばれる新しい計算モデルを導入することで前節の欠点の解決を図った^[2]。本モデルにおいては、通常のデータフローグラフの中に、

強連結ブロックと呼ばれる特殊な部分グラフを設ける。強連結ブロックは、1つのP Eで排他的に実行される。したがって、処理が局所化され、先行制御が行いやすくなる。また、強連結ブロックの実行中は、レジスタ上に必要なデータをすべて蓄えておくことが可能であり、パケットを生成しない細分化された処理パイプラインを作ることができる。さらに、待ち合せの空間も十分に絞込まれているため、高速の待ち合せが実現可能となる。以上により、強連結枝モデルの導入によって、(1)先行制御、(2)パイプラインの細分化、がともに可能になった。

3. 2 パイプライン設計

強連結枝モデルの導入により、E M - 4 の P E、すなわち E M C - R においては、通常のパケットに基づく処理と、強連結ブロックの処理、という2種類の実行モードを設ける必要がある。前者は、循環パイプラインを実現し、後者は、レジスタを利用した先行制御パイプラインを実現する。前者のパイプラインを常連結パイプライン、後者のパイプラインを強連結パイプラインと呼ぶ。

図1に E M C - R のパイプライン構成を示す。図において、細い実線は常連結パイプラインを、太い実線は強連結パイプラインを表す。図で1段(長方形)あたりの実行時間は1クロックであり、これは、E M - 4 では70 nsである。

(1)常連結パイプライン

常連結パイプラインは、基本的に4段構成をとっている。プロセッサに到着したパケットは、必要に応じてバッファリングされ(図の I B U)、第1段のテンプレート番号の読み出し (T N F)、第2段の待ち合せ (R D | W R、R D | E L、I M F)、第3段の命令読み出し (I F)・解読 (D C)、第4段の命令実行 (E X)、という手順で処理される。命令実行と結果パケット出力は並列化されている。構造体操作パケットのような特殊パケットでは、第1段がバイパスされ、1入力命令のオペランドパケットでは第2段がバイパスされる。循環パイプラインのピーク性能は、1 P E あたり約7.1 M I P S であり、これは1入力命令が連続して発火するとき達成される。

(2)強連結パイプライン

強連結パイプラインは、命令読み出し (I F)・解読 (D C)、命令実行 (E X) の2段から成る。実行結果は、レジスタ上に蓄えられるか、またはパケットとして出力される。逐次処理においても、2つの段は重畳化して実行される。また、命令実行とパケット出力は並列化される。強連結パイプラインのピーク性能は、約1.4.

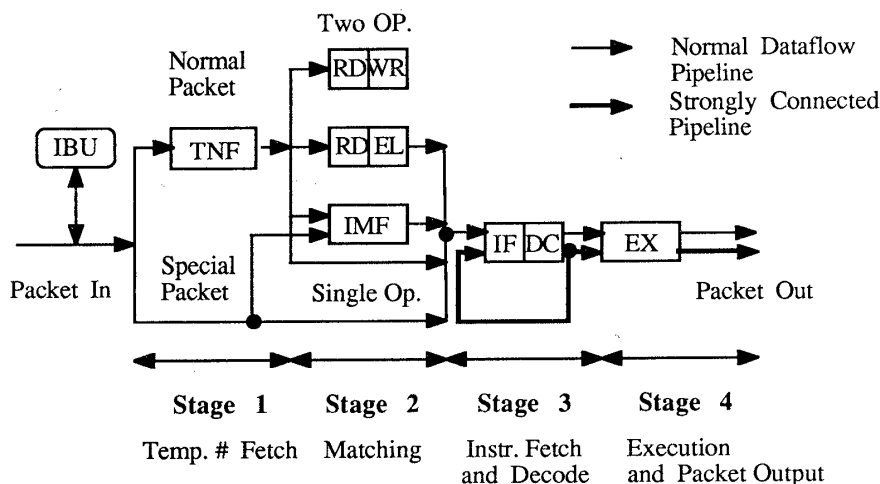


図1 EMC-Rのパイプライン構成

3 MIPSである。

常連結パイプラインの処理において、特殊なフラグを持つデータパッケージが命令を発火すると、強連結ブロックが起動され、強連結パイプラインが実行される。強連結ブロック中に発火可能なノードが無くなると当該ブロックは終了し、常連結パイプラインの実行モードに戻る。両パイプライン間の遷移が起こるのは、この2つの場合だけである。両パイプラインは、IF・DCの段とEXの段を共有しており、IFに入るところで、両者の調停を行っている。

なお、強連結ブロックの処理においては、パイプラインの擾乱を抑止する目的から遅延分岐方式を採用した。

3.3 ハードウェア機構

図2にEMC-Rの内部構成を示す。EMC-Rは、パッケージ交換を行なうSwitching Unit (SU)、処理待ちパッケージのバッファであるInput Buffer Unit (IBU)、命令フェッチと待ち合せを行なうFetch and Matching Unit (FMU)、命令の実行とパッケージ生成を行なうExecution Unit (EXU) からなる。前節まででパイプラインの各段のうち、第1段、第2段と第3段のIFは、FMUが実行し、第3段のDCと第4段はEXUが実行する。FMUには、2つのパイプラインの調停を含む実行順序の制御回路があり、EXUには、ALU、乗算器などの他に、途中結果を格納するためのレジスタファイルがある。FMUの制御回路以外の各ユニットにおいては、RISC方式の採用によってハードウェアの複雑さを抑制している。

EMC-R 1台でフィボナッチ数を計算する関数を実行させた場合、1関数の実行時間は、強連結ブロックを使わない場合で約2.1 μ s、使った場合で約1.1 μ sである(子関数の制御・実行時間を除く)。

4. おわりに

データ駆動計算機EM-4のパイプライン構成に関して述べた。その特徴として、強連結枝モデルの適用による、レジスタを用いた先行制御パイプラインの実現と、

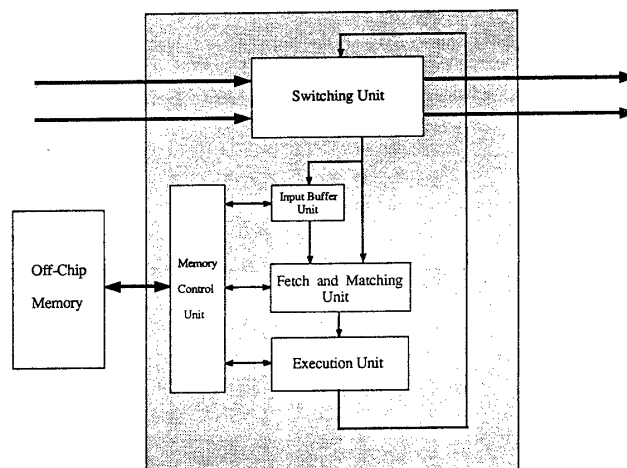


図2 EMC-Rのハードウェア構成

2種類のパイプラインの融合がある。今後の課題として、EM-4プロトタイプ製作による本方式の評価、キャッシュの導入などにより細かいピッチをもつパイプラインの設計などがある。

謝辞 本研究を遂行するにあたり御指導、御討論いただいた棟上情報アーキテクチャ部長、弓場知能システム部長、島田計算機方式研究室長ならびに計算機方式研究室の同僚諸氏に感謝いたします。

参考文献

- [1]坂井、山口、平木、児玉、弓場：データ駆動型シングルチッププロセッサEMC-Rのアーキテクチャ、信学技報 CPSY88-9 (July 1988).
- [2]坂井、山口、平木、児玉、弓場：データ駆動型シングルチッププロセッサEMC-Rにおける強連結枝モデルの導入、データフローワークショップ87 (Oct. 1987).
- [3]児玉、坂井、山口、平木：データ駆動計算機EM-4における負荷分散、本大会発表予定 (March 1989).