

階層を考慮した外部端子割り付け手法

7S-3

* 小林 明 水沼 貞幸 中島 泰宏 ** 桑原 教雄 野村 稔
 (北陸日本電気ソフトウェア㈱ * 日本電気㈱ **)

1. はじめに

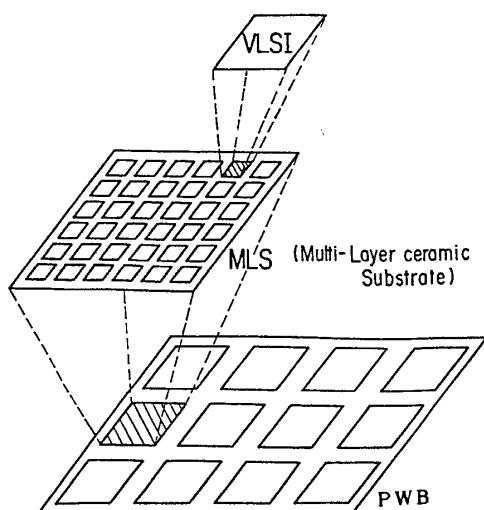
近年、コンピュータの高速化への要求はますます高まっており、高速素子を搭載するプリント基板(PWB)においても、配線パターンによる遅延時間の影響がますます大きくなってきている。

そこで遅延時間を短縮するため、PWB上で斜め配線や外部端子の短縮を図ってきました。しかしPWB単体で複数の階層を一括で最適化が図られるべきだ改善の余地がない。そこでVLSI等の外部端子割り付け時に、VLSIの上部端子割り付け位置を計算に入れた外部端子割り付け手法を取り入れた。

その結果、上位レベルを含めた仮想配線長の総和を約5%短縮できたので報告する。

2. 実装構造

第1図に本手法で取り扱う実装構造の例を示す。

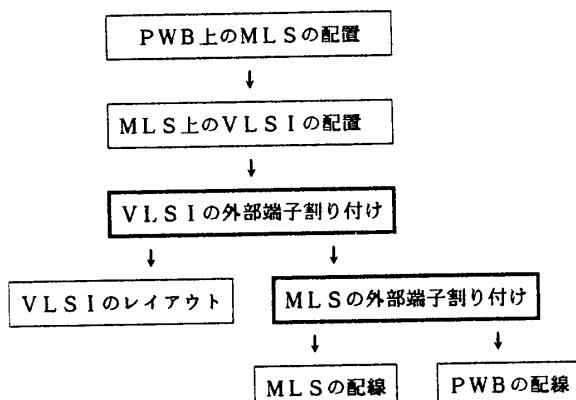


第1図 実装構造の例

この図では、PWB上に複数の多層セラミック基板(MLS)が搭載され更にMLS上にはVLSIがマトリックス状に搭載されている場合を示している。

3. レイアウト処理フロー

第2図にMLSおよびVLSIの外部端子自動割り付けを組み入れたレイアウト処理フローを示す。



第2図 レイアウト処理フロー

上記フローの太枠の部分について本手法を適用した。

「VLSIの外部端子割り付け」ではMLS上のVLSIの配置位置を、「MLSの外部端子割り付け」ではPWB上のMLSの配置位置をそれぞれ考慮している。

4. 外部端子の割り付け手法

ここでは、MLSの外部端子割り付け手法を中心にして、PWB上にMLSが2個搭載されたケースを例にとり説明する。

(1) ネットの割り付け順序決定
 以下のように、ネットの割り付け順序を決定する。

- ① クリティカルなネットではあらかじめ強制的に割り付けておくがあるい

