

トランジスタ特性におけるチップ内ばらつきのモデル化手法

岡 田 健 一[†] 小野寺 秀 俊[†]

製造ばらつきを考慮した回路設計では、チップ間のばらつきのみならず、チップ内でのばらつきを考慮する必要がある。本稿では、チップ内ばらつきとチップ間ばらつきのモデル化、および、モデルパラメータの抽出手法を提案する。チップ内ばらつきをチップ間ばらつきから分離するのは困難であったが、電流値においてばらつき成分の分離を行い、チップ内ばらつきパラメータを抽出する。精度検証のために、リングオシレータの発振周波数ばらつきとの比較を行う。

Statistical Modeling of MOS Transistors with Intra-chip Variability

KENICHI OKADA[†] and HIDETOSHI ONODERA[†]

In order to design high yield product, we must consider not only inter-chip variability but also intra-chip variability of device characteristics. In this paper, we propose a modeling and extracting methodology of both variabilities. It is difficult to separate the variabilities each other. We therefore extract model parameters of intra-chip variability from the measured current directly. We compare the result with frequency variability of ring-oscillators to verify precision of our methodology.

1. 序 論

CMOS 回路の設計において、製造ばらつきの考慮が重要な課題となっている。製造条件のゆらぎにより、トランジスタの特性が変動する。トランジスタ特性ばらつきを考慮した統計回路解析において、トランジスタ特性はチップ内で均一であると仮定し、チップ間のばらつきとして考える場合が多い。実際にはチップ内でもトランジスタ特性は変動する¹⁾。チップ内ばらつきは回路の歩留りに大きく影響することが知られている²⁾。チップ内ばらつきとチップ間ばらつきを精度良く分離し、モデル化することが重要である。

本稿では、チップ内ばらつきとチップ間ばらつきのモデル化、および、ばらつきモデルパラメータの抽出手法を提案する。提案手法を検証するために、リングオシレータを用いた TEG の測定結果と比較する。

これまでに報告されているばらつきのモデル化手法では、電流特性の測定値から MOSFET モデルパラメータをまず抽出し、そのパラメータのばらつきとして特性ばらつきをモデル化する^{3)~6)}。この場合、MOSFET モデルパラメータのばらつきを、チップ内ばらつき成分とチップ間成分に分離する必要がある。

一般に MOSFET モデルパラメータの抽出には、複数のトランジスタからの特性を用いる。それぞれの特性はチップ内ばらつきの影響を受ける。そのため、パラメータによってはチップ内ばらつきとチップ間ばらつきを精度良く分離することは困難になると考えられる。

提案手法では、測定した電流値についてチップ内ばらつきとチップ間ばらつきを分離する。電流値のばらつき量から直接 MOSFET モデルパラメータのばらつきを計算する手法を提案する。電流値についてばらつきモデルパラメータの合せ込みを行うため、電流値におけるモデル化精度の向上が期待できる。

提案手法により抽出したばらつきモデルパラメータの精度を検証するため、リングオシレータの発振周波数ばらつきと比較を行う。リングオシレータの発振周波数について、チップ内での変動量とチップ間での変動量は段数によって変化する。段数の異なるリングオシレータの測定結果から、チップ内ばらつきとチップ間ばらつきの割合を求め、トランジスタ特性のばらつきと比較する。

2 章では、トランジスタ特性についてばらつきモデルの提案を行う。チップ内ばらつきとチップ間ばらつきの分離、および、チップ内ばらつきモデルのパラメータ抽出手法について説明する。実測値についてチップ内ばらつきモデルのパラメータ抽出を行った結果を示す。3 章では、解析式による遅延時間の計算方法を述

[†] 京都大学大学院情報学研究科

Graduate School of Informatics, Kyoto University

べる．リングオシレータの発振周波数ばらつきが段数に依存することを示し，2章での結果と比較する．4章で結論を述べる．

2. トランジスタ特性ばらつきのモデル化

本章では，トランジスタ特性について，ばらつきモデルを提案し，実測した電流値からモデルパラメータを抽出する手順を説明する．これ以降の文章では，単にモデルパラメータと書いた場合は，ばらつきモデルのパラメータを示すこととする．

トランジスタ特性のばらつきは，製造上の要因から2つの成分に分類することができる．第1の成分は，製造時のガウス雑音に起因する成分で，狭い範囲に注目したときに支配的となるので，局所ばらつきと呼ぶ．第2の成分は，製造時のウエハの熱分布などに起因し，ウエハ面内をなだらかに変化する³⁾．ウエハ全体を考慮したときに支配的となるので大域ばらつきと呼ぶ．これらのばらつきは統計的性質が異なるため，提案手法では，各成分ごとにモデル化を行う．局所ばらつきは，ゲート寸法によりモデル化される^{4),5),7)}．大域ばらつきは，トランジスタのチップ内での配置位置によりモデルされる^{6),7)}．

従来手法では，一度，電流電圧特性から閾値電圧 V_{TH} やゲイン β などを抽出し，それらのパラメータごとにばらつきモデルのパラメータ抽出を行う^{3)~6)}．この方法には3つの問題がある．第1に，モデルパラメータごとに合せ込みを行うため，電流値のばらつきについては，モデル化誤差が大きくなる場合がある．第2には，閾値電圧 V_{TH} やゲイン β はBSIM3v3などのMOSFETモデルで直接使うことができない．第3に，閾値電圧 V_{TH} やゲイン β はバイアス電圧やトランジスタのゲート寸法により値が変動するため，ばらつきモデルが複雑になることである⁵⁾．

提案手法では，電流値のチップ内，チップ間ばらつき成分を求め，電流値のばらつきから直接ばらつきモデルのパラメータ抽出を行う．統計的扱いを簡易にするために，中間モデルと呼ぶ一種のMOSFETモデルを導入する⁸⁾．一度，実測特性を中間モデルにより表し，中間モデルで統計処理を行った後，BSIMなどのMOSFETモデルに変換する．中間モデル自体は，ばらつきを抽出するためのものではないが，チップ内での平均電流値を効率良く計算することができる．中間モデルを用いることにより，少ない測定コストで，チップ内ばらつきとチップ間ばらつきの分離が可能となる．中間モデルにおいて，トランジスタ特性のばらつきは，デバイス構造やキャリア移動度，不純物密度

を反映した物理パラメータのばらつきにより表現する．物理パラメータとして V_{TH0} , K_P , L_{int} , W_{int} を用いる．物理パラメータは，バイアス電圧やトランジスタのゲート寸法に依存しない． V_{TH0} は大チャネルMOSの閾値電圧で，主に表面不純物密度のばらつきを反映する． K_P は，基板表面での実効キャリア移動度 μ とゲート酸化膜の単位面積あたりの容量 C_{OX} の積である． W_{int} , L_{int} は，チャネル長，チャネル幅について，電気的特性から計算した値とマスク寸法との差である．中間モデルを介することで，特性ばらつきのモデル化の手順がMOSFETモデルに依存しない．

2.1 チップ内ばらつきモデル

トランジスタ特性のばらつきを，チップ内ばらつき成分とチップ間ばらつき成分に分割してモデル化を行う．チップ内での特性の変動は，局所ばらつきと大域ばらつきの両方の影響を受ける．チップ内の狭い範囲において，大域ばらつき成分は一定であると近似する⁷⁾．大域ばらつきの分布は，厳密には正規分布とならないが，簡単のため正規分布としてモデル化を行う⁷⁾．チップ内ばらつきは局所ばらつきモデルで，チップ間ばらつきは大域ばらつきモデルで表す．

物理パラメータは，チップ内ばらつきとチップ間ばらつきの2つの独立な正規分布の和として再現する．チップ内ばらつきモデルとチップ間ばらつきモデルでは，ともに，物理パラメータ V_{TH0} , K_P , W_{int} , L_{int} のばらつきとそれらの相関のばらつきについて，標準偏差を与える．各モデルのモデルパラメータは実測した電流値から抽出する．チップ間ばらつきは従来手法を用いる．チップ内ばらつきは新たにモデル化を行う．

局所ばらつきのモデルとして，Pelgromらのモデルが広く知られている⁴⁾．ゲート寸法によりMOSFETモデルパラメータの分散を導くものである．このモデルでは，閾値電圧 V_{TH} やゲイン β を対象とする．これらのMOSFETモデルパラメータはゲート寸法やバイアス電圧に大きく依存するため，ばらつきモデルにおいてもそれらの依存を考慮する必要がある．チップ内ばらつきの提案モデルでは，製造プロセスの物理性を反映した物理パラメータをモデル化の対象とした．提案モデルの特徴は，サイズ依存やバイアス依存のない物理パラメータを用いることで，パラメータの抽出を容易にしたことである．サイズ依存やバイアス依存は，中間モデルを介してMOSFETモデルで考慮する⁸⁾．

チップ内ばらつきモデルを以下の式(1)~(4)で表す．ゲート寸法に依存してばらつきの大きさが変化する

るので、個々のトランジスタごとにばらつきを考える．

$$\sigma^2(V_{TH0i}) = \frac{A_{V_{TH0}}}{W_i L_i} \quad (1)$$

$$\sigma^2(K_{Pi}) = \frac{A_{K_P}}{W_i L_i} \quad (2)$$

$$\sigma^2(W_{int_i}) = \frac{A_{W_{int}}}{L_i} \quad (3)$$

$$\sigma^2(L_{int_i}) = \frac{A_{L_{int}}}{W_i} \quad (4)$$

$\sigma(V_{TH0i})$, $\sigma(K_{Pi})$, $\sigma(W_{int_i})$, $\sigma(L_{int_i})$ は, i 番目トランジスタにおける V_{TH0} , K_P , W_{int} , L_{int} の標準偏差を示す．ゲート寸法が小さくなるほど標準偏差は大きくなり, 特性のばらつき幅は大きくなる． W_i , L_i はトランジスタの実効ゲート寸法を示す． $A_{V_{TH0}}$, A_{K_P} , $A_{W_{int}}$, $A_{L_{int}}$ はプロセスごとに決定する定数である．

チップ間ばらつき成分は, チップ内では一定で, チップ間では正規分布としてモデル化する．チップ間ばらつきモデルでは, 各物理パラメータの分散と共分散がモデルパラメータとなる．

2.2 中間モデルを用いたばらつき成分の分離手法

中間モデルを用いて, 実測した電流値からチップ間ばらつき成分とチップ内ばらつき成分を分離する方法を提案する．

電流値について, チップ間ばらつき成分はチップ内では一定であり, チップ内ばらつき成分はチップ間で分散が等しいと仮定する．電流値のチップ間ばらつき成分を求めるには, 各チップでの平均値を計算し, その平均値についてチップ間での分散を求める．チップ内ばらつき成分は, チップごとでの分散より計算する．トランジスタ電流値はゲート寸法に依存するため, 平均値, 分散は, 同じ寸法の多数のトランジスタより計算する．

一方, 中間モデルにおいて, 物理パラメータを抽出するために, 同一チップ上で隣接して配置されたゲート寸法の異なる 10 程度のトランジスタを用いる．チップ間, チップ内ばらつきを求めるにあたり, それらの異なる寸法のトランジスタも利用することで, 少ない測定点数で平均, 分散を得る方法について説明する．

中間モデルにおいて, 電流特性のばらつきは物理パラメータ V_{TH0} , K_P , W_{int} , L_{int} によって表現する．電流と物理パラメータの関係は, 中間モデルの以下の式で与えられる．

$$I_{DS} = \frac{W_e}{L_e} K_P \frac{(V'_{GST} - V'_{DS}/2) V'_{DS}}{1 + \theta \cdot V'_{GST}} \quad (5)$$

$$\begin{cases} V'_{DS} = V_{DS} - R_{DS} \cdot I_{DS} \\ V'_{GST} = V_{GS} - R_{DS}/2 \cdot I_{DS} - V_{TH} \end{cases} \quad (6)$$

$$\begin{cases} W_e = W_{drawn} - 2W_{int} \\ L_e = L_{drawn} - 2L_{int} \end{cases} \quad (7)$$

I_{DS} はドレイン電流で, V_{DS} , V_{GS} は, それぞれドレイン-ソース電圧, ゲート-ソース電圧である． V'_{DS} , V'_{GS} は, それぞれ拡散部分での電圧降下を差し引いた実効的なドレイン-ソース電圧, ゲート-ソース電圧である． W_{drawn} と L_{drawn} はそれぞれマスク上でのチャンネル長およびチャンネル幅である． W_e , L_e はそれぞれ実効チャンネル幅, 実効チャンネル長である．拡散抵抗 R_{DS} および移動度低下係数 θ は, 電流特性に対して感度が低いいため, プロセスごとの一定値とする． V_{TH0} は BSIM3 モデルのパラメータで, V_{TH} と V_{TH0} の関係は, BSIM3v3 のモデル式により求める⁸⁾．

中間モデルにおいて, 各物理パラメータはゲート寸法が異なっても期待値は等しい⁸⁾．物理パラメータは, 同一チップ内で寸法の異なる複数のトランジスタについて, それらの電流値より最小自乗法により抽出する．物理パラメータは, チップ内ばらつきのため, トランジスタごとに異なる値を持つ．そのため, 抽出された物理パラメータは, 抽出に用いたトランジスタ間での平均値となる．物理パラメータの平均値は, 各寸法のトランジスタについてそれぞれの電流値の期待値を与える．

電流値はゲート寸法に依存するため, 各トランジスタごとに電流値のチップ内ばらつきとチップ間ばらつきを求める．チップ間ばらつきを求めるには, 各チップでの物理パラメータの平均値から電流の期待値を計算し, 各チップでの期待値からウエハ全体で分散を求める．各物理パラメータにおいて, チップ内ばらつきとチップ間ばらつきは独立であるとする, ウエハ全体での電流値のばらつきは, 2 つの独立な正規分布の和となる．ウエハ全体での電流ばらつきの分散から, チップ間ばらつきによる分散を引くと, チップ内ばらつきによる分散が求まる．

チップ間ばらつきのモデルパラメータは, 各物理パラメータの分散と共分散である．中間モデルでの計算から求めた物理パラメータのチップ内平均値は, 各チップでのチップ間ばらつき成分となる．各チップでの物理パラメータの組から, チップ間ばらつきの分散と共分散を求める．

2.3 実測値からのばらつき成分の分離実験

CMOS0.13 μm プロセスで試作した TEG について,

表 1 TEG におけるトランジスタ寸法
Table 1 Size of transistors included in the TEG.

番号	L (μm)	W (μm)	番号	L (μm)	W (μm)
1	0.10	10	6	10	0.3
2	0.13	10	7	10	0.4
3	0.18	10	8	10	0.6
4	0.3	10	9	10	1
5	1	10	10	10	10

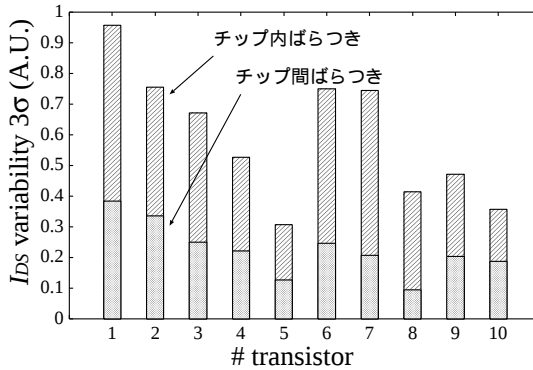


図 1 電流値におけるチップ内ばらつきとチップ間ばらつきの割合
Fig. 1 Comparison of intra-chip and inter-chip component in I_{DS} variability.

チップ間ばらつきとチップ内ばらつきによる電流値のばらつきを求める．TEG は，ウエハ全体で 56 チップに配置され，1 チップあたり 10 のトランジスタから構成される．TEG 中のトランジスタの寸法を表 1 に示す．TEG は，ダミーパターンを配置し，レイアウト依存なばらつきの影響を受けない構造とした．ドレイン電圧 V_{DS} が 0.1 (V) で，ゲート電圧 V_{GS} が 0～1.2 (V) までのドレイン電流 I_{DS} を測定し，各チップにおいて物理パラメータを抽出した．各チップでの物理パラメータは，それぞれのチップでの平均電流特性を与える．それらの平均電流特性が各チップでのチップ間ばらつき成分となるので，全チップのチップ間ばらつき成分から分散を求めた．電流特性のチップ間ばらつきおよびチップ内ばらつきは，トランジスタ寸法，バイアス電圧ごとに求める．ドレイン電流 I_{DS} について，すべてのチップから分散を求め，チップ間ばらつきの分散を引いたものをチップ内ばらつきの分散とした．

nMOS について，ドレイン電圧 V_{DS} が 0.1 (V)，ゲート電圧 V_{GS} が 0.8 (V) でのチップ間ばらつきとチップ内ばらつきを図 1 に示す．横軸はトランジスタの種類で，表 1 の番号に対応する．縦軸は電流の平均値に対する 3σ (標準偏差の 3 倍) を任意単位で表したものである．各物理パラメータのチップ内ばらつきはゲート寸法 (WL または W, L) に依存する．各

物理パラメータの電流値への感度より，電流値のばらつきが決まる．チップ内ばらつきの大きさは，標準偏差で比較すると，チップ間ばらつきの 0.9～3.4 倍であった．

2.4 電流値からのばらつきモデルパラメータ直接抽出手法

実測した電流値から，チップ内ばらつきのモデルパラメータを抽出する方法について説明する．抽出するパラメータは，物理パラメータ $V_{TH0}, K_P, W_{int}, L_{int}$ についてのチップ内ばらつきモデルパラメータ A_n ，物理パラメータ間の相関についてのモデルパラメータ A_{nm} である．添字の n もしくは m は，1 から 4 までの整数で，順に物理パラメータの $V_{TH0}, K_P, W_{int}, L_{int}$ を示す． A_{nm} は， A_n と A_m に関する相関を表す． A_n, A_{nm} は，nMOS, pMOS それぞれについて求める．

1 つのチップ上にある複数のトランジスタについて順に番号を割り振る．複数のチップに対して， j 番目のチップの i 番目のトランジスタの電流値を I_{ij} とする．MOSFET モデルパラメータからなる列ベクトル p_{ij} とバイアス条件からなる列ベクトル b_{ij} により， I_{ij} を以下の式で表す．

$$I_{ij} = f(p_{ij}, b_{ij}) \quad (8)$$

以下の議論において，関数 f は MOSFET モデル一般について成り立つが，ここでは中間モデルを想定する． p_{ij} は，チップ間ばらつき成分 g_{ij} ，チップ内ばらつき成分 r_{ij} ，平均値 μ_i の和で表される．

$$p_{ij} = \mu_i + g_{ij} + r_{ij} \quad (9)$$

トランジスタ特性における製造ばらつきの大きさは，経験的に平均値の 15% 程度である．チップ内ばらつき r_{ij} が平均値 μ_i に比べて十分小さいと近似して，電流値に対するチップ内ばらつきの感度を 1 次で表す．チップ内ばらつきによる電流値の変動成分 ΔI_{ij} について，以下の関係が求まる．

$$\Delta I_{ij} = I_{ij} - f(g_{ij} + \mu_i, b_{ij}) \quad (10)$$

$$\simeq \frac{\partial f(g_{ij} + \mu_i, b_{ij})}{\partial r} r_{ij} \quad (11)$$

各パラメータの感度を要素とする行ベクトル $\frac{\partial f}{\partial r}$ を用いて，電流値の分散は以下の式で表される．

$$\sigma^2(\Delta I_i) = \overline{\Delta I_i^2} - \overline{\Delta I_i}^2 \quad (12)$$

$$= \overline{\Delta I_i^2} \quad (13)$$

$$= \overline{\left(\frac{\partial f}{\partial r} r_i \right)^2} \quad (14)$$

$$= \overline{\left(\sum_n \frac{\partial f_i}{\partial r_n} r_{i,n} \right)^2} \quad (15)$$

$$\begin{aligned}
&= \sum_n \left(\frac{\partial f_i}{\partial r_n} \right)^2 r_{i,n}^2 \\
&\quad + \sum_n \sum_{m \neq n} \left(\frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) r_{i,n} r_{i,m} \quad (16) \\
&= \sum_n \left(\frac{\partial f_i}{\partial r_n} \right)^2 r_{i,n}^2 \\
&\quad + \sum_n \sum_{m \neq n} \left(\frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) r_{i,n} r_{i,m} \quad (17)
\end{aligned}$$

$$\begin{aligned}
&= \sum_n \left(\frac{\partial f_i}{\partial r_n} \right)^2 \sigma^2(r_{i,n}) \\
&\quad + \sum_n \sum_{m \neq n} \left(\frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) \sigma(r_{i,n} | r_{i,m}) \quad (18)
\end{aligned}$$

ただし,

$$\frac{\partial f_i}{\partial r_n} = \frac{\partial f(g_i + \mu_i, b_i)}{\partial r_n} \quad (19)$$

である. $r_{i,n}$ は r_i の n 列目の要素を示す. $\sigma(r_{i,n})$ は $r_{i,n}$ の分散で, $\sigma(r_{i,n} | r_{i,m})$ は $r_{i,n}$ と $r_{i,m}$ の共分散である. 電流値の計算に使用する MOSFET モデルを r の各要素で微分することで, $\frac{\partial f}{\partial r}$ を求める. 一般に $\frac{\partial f}{\partial r}$ はトランジスタ寸法 W_i, L_i およびバイアス条件 b_{ij} についての関数となる. 式 (18) に式 (1) ~ (4) を代入した式において, トランジスタ寸法 W_i, L_i およびバイアス条件 b_{ij} について解くと, モデルパラメータ A_n, A_{nm} が求まる.

2.5 実測値からのばらつきモデルパラメータ抽出実験

2.3 節において分離したトランジスタ特性のチップ内ばらつき成分に対して, パラメータの抽出を行う. 計算式 (18) により, $V_{TH0}, K_P, W_{int}, L_{int}$ に対するモデルパラメータ A_n, A_{nm} を求める. 抽出に用いたトランジスタは 2.3 節と同じもので, ドレイン電圧 V_{DS} が 0.1 (V), ゲート電圧 V_{GS} が 0.6, 0.7, 0.8, 0.9, 1.0 (V) におけるドレイン電流 I_{DS} のチップ内ばらつき成分を用いた. パラメータの合せ込みには特異値分解法 (SVD) を用いた.

抽出したパラメータから電流値のばらつきを再現したものを図 2 に示す. 横軸はトランジスタの種類である. 縦軸は, 電流の平均値に対する 3σ (標準偏差の 3 倍) を任意単位で表した値である. ドレイン電圧 V_{DS} が 0.1 (V), ゲート電圧 V_{GS} が 1.0 (V) のものを示した. 図中の Target が 2.3 節で求めた値で, Simulated がモデルにより再現した値である. Target の値に対する Simulated の値のモデル化誤差は, 平均 25% で

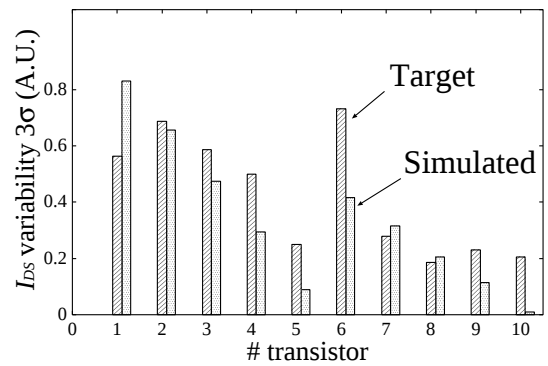


図 2 チップ内ばらつきモデル化における抽出誤差

Fig. 2 Comparison of I_{DS} variability between Target and Simulated values.

あった.

3. チップ内ばらつきを考慮した遅延時間の解析

本章では, 2 章で求めたモデルパラメータの精度を検証するために, リングオシレータを用いた TEG の実測結果と比較する.

これまでの統計遅延解析では, チップ間ばらつきのみを考慮し, チップ内でのトランジスタ特性の変動を考慮することは少なかった. チップ内ばらつきを考慮すると, 遅延時間ばらつきが論理段数に依存することを示す. 提案手法により求めたトランジスタ特性のばらつきから, 遅延時間のばらつきを求める. 2 種類の段数の異なるリングオシレータについて実測値のばらつきと比較を行う.

論理回路において, あるパスの遅延時間は, 構成する各ゲートでの遅延時間の和となる. 1 段あたりの遅延時間のばらつきについて, チップ内ばらつきとチップ間ばらつきを考慮して, パスの遅延時間ばらつきを求める方法を明かにする. 1 段あたり遅延時間のばらつきは RSM (Response Surface Method) による方法を用いる⁹⁾. 複数の入力を持つゲートにおいて, 出力に影響のある入力のうち, 一番最後に遷移したものによって, 遅延時間が決定する¹⁰⁾. ここでは, 各入力について最終到達パスが一意である場合もしくは入力が 1 つである場合を扱う.

3.1 RSM を用いた統計遅延解析

トランジスタ特性のチップ内ばらつきとチップ間ばらつきを考慮して, ゲート 1 段あたりの遅延を求めるために, RSM を用いる. RSM によりトランジスタ特性と遅延時間の関係を解析式で表す.

トランジスタ特性を列ベクトル p で表す. p の要

素は、 V_{TH} や β などの MOSFET モデルパラメータや中間モデルにおける物理パラメータである。1 次の RSM として、行ベクトル d を考える。 d の各要素は、 p のそれぞれ対応する要素への感度となる。遅延時間 $Delay$ について、 p の近傍において $Delay = dp$ が成り立つ。ゲート特性 d はゲートの種類、前段、次段の特性によって決定する。パス全体での遅延時間は各段の遅延時間の和になる。 n 段のパスにおいて、 i 段目のゲート特性を d_i 、トランジスタ特性を p_i とすると、パス全体の遅延時間 D は、以下の式により求まる。

$$D = \sum_i^n d_i p_i \quad (20)$$

ここで、トランジスタ特性について、チップ間ばらつきとチップ内ばらつきを考える。以降の議論では、回路中のある特定のパスについて、そのパスの段数を n 段とし、 m 個のチップについて考える。

m 個のチップのうち j 番目のもので、 i 段目のゲートにおけるトランジスタ特性について、チップ間ばらつき成分、チップ内ばらつき成分、平均値をそれぞれ g_j 、 r_{ij} 、 μ とする。チップ間ばらつきの平均値 $\overline{g_j}$ とチップ内ばらつきの平均値 $\overline{r_{ij}}$ は 0 とする。

$$\overline{g_j} = \overline{r_{ij}} = 0 \quad (21)$$

各ゲートの遅延時間は、行ベクトル d_i を用いて、 $d_i(g_j + r_{ij} + \mu)$ で与えられるとすると、 n 段のパスについての遅延時間 D_j は以下の式で求められる。

$$D_j = \sum_i^n d_i(g_j + r_{ij} + \mu) \quad (22)$$

チップ間ばらつき成分はチップ内で一定値と仮定すると、任意のパスについて遅延時間の平均値 $\overline{D}$ は、以下の式により求まる。

$$\overline{D} = \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \sum_i^n d_i(g_j + r_{ij} + \mu) \quad (23)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \left\{ \sum_j^m g_j \sum_i^n d_i + \sum_i^n \left(d_i \sum_j^m r_{ij} \right) + m\mu \sum_i^n d_i \right\} \quad (24)$$

$$= \mu \sum_i^n d_i \quad (25)$$

以上から、遅延時間の分散 $\sigma^2(D)$ は以下の式により求まる。

$$\sigma^2(D) = \overline{D^2} - \overline{D}^2 \quad (26)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m D_j^2 - \left(\lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m D_j \right)^2 \quad (27)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \sum_i^n d_i(g_j + r_{ij} + \mu) \right\}^2 - \left(\mu \sum_i^n d_i \right)^2 \quad (28)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \left(\sum_i^n d_i g_j \right)^2 + \left(\sum_i^n d_i r_{ij} \right)^2 + 2 \sum_i^n d_i g_j \sum_i^n d_i r_{ij} + 2 \sum_i^n d_i r_{ij} \sum_i^n d_i \mu + 2 \sum_i^n d_i \mu \sum_i^n d_i g_j \right\} \quad (29)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \left(\sum_i^n d_i \right)^2 g_j^2 + \left(\sum_i^n d_i r_{ij} \right)^2 \right\} \quad (30)$$

$$= \left(\sum_i^n d_i \right)^2 \overline{g^2} + \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left(\sum_i^n (d_i r_{ij})^2 + \sum_i^n \sum_{k \neq i}^n d_i r_{ij} d_k r_{kj} \right) \quad (31)$$

$$= \left(\sum_i^n d_i \right)^2 \overline{g^2} + \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \sum_i^n (d_i r_{ij})^2 \quad (32)$$

$$= \left(\sum_i^n d_i \right)^2 \overline{g^2} + \sum_i^n d_i^2 \overline{r^2} \quad (33)$$

チップ間ばらつきとチップ内ばらつきは独立で、それぞれにおいても独立であると仮定した。チップ内ばらつきの分散は、どのチップにおいても一定であると仮定した。

複数入力を持つゲートの影響を無視した場合、遅延時間の分散は、式 (33) により与えられる。式 (33) の第 1 項、第 2 項はそれぞれチップ間ばらつき、チップ内ばらつきによる遅延時間の変動分を表す。論理の段数が多くなるほど、遅延ばらつきに占めるチップ内ばらつきの割合は小さくなる。

3.2 リングオシレータにおける遅延時間ばらつき
リングオシレータの遅延時間のばらつきについて考

える．リングオシレータのように，同じ種類のゲートのみで構成される場合，各段での遅延時間の期待値は等しい．式 (33) は以下のように変形できる．

$$d_i = d \quad (34)$$

$$\sigma^2(D) = \left(\sum_i^n d \right)^2 \overline{g^2} + \sum_i^n d^2 \overline{r^2} \quad (35)$$

$$= n^2 d^2 \overline{g^2} + n d^2 \overline{r^2} \quad (36)$$

$d^2 \overline{g^2}$ 、 $d^2 \overline{r^2}$ は，1 段あたりのチップ間ばらつき，チップ内ばらつきによる遅延時間の変動成分である．チップ間ばらつきとチップ内ばらつきを考慮した場合の遅延時間の分散について，チップ間ばらつきの影響は段数の自乗に比例し，チップ内ばらつきの影響は段数に比例する．

3.3 リングオシレータにおける遅延時間ばらつきについてシミュレーションと実測値の比較

リングオシレータの発振周波数について，2 章で求めたモデルパラメータからシミュレーションにより求めた遅延時間と TEG の実測結果とを比較する．リングオシレータ TEG での配線負荷は小さく，発振周波数ばらつきはトランジスタ特性のばらつきで決まる．

リングオシレータの TEG は 23 段と 73 段のものがあある．ウエハ全体で 56 チップに配置され，1 チップあたり各 24 のリングオシレータからなる．測定した発振周波数から，リング 1 周あたりの遅延時間を求める．各チップで平均値をとり，その値からウエハ全体について求めた分散を，遅延時間のチップ間ばらつき成分とした．すべての測定値から求めた分散は，チップ間ばらつきの分散とチップ内ばらつきの分散の和である．すべての測定値による分散からチップ間ばらつきによる分散を引いたものを，遅延時間のチップ内ばらつき成分とした．

チップ内ばらつきおよびチップ間ばらつきによる遅延時間のばらつきは式 (36) より，それぞれ $n^2 d^2 \overline{g^2}$ ， $n d^2 \overline{r^2}$ となる．1 段あたりの遅延時間ばらつき $d^2 \overline{g^2}$ および $d^2 \overline{r^2}$ は，簡単のため，遅延時間ばらつきの平均遅延時間に対する割合と，トランジスタの電流値ばらつきの平均電流値に対する割合が等しいとして求めた．平均遅延時間は，回路シミュレータで求めることができるが，ここでは実測の平均値を用いた．トランジスタ特性のばらつきは，中間モデルにより計算した．チップ内ばらつきについては，2.5 節で求めたばらつきモデルパラメータを用い，チップ内ばらつきモデルにより再現した．チップ間ばらつきは 2.3 節で求めた値を用いた．

リングオシレータの遅延時間について，チップ内ば

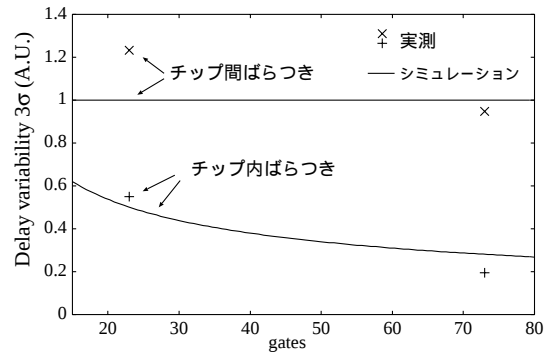


図 3 遅延時間の変動 (標準偏差) とパス段数の関係

Fig. 3 Delay variability (standard deviation) as function of logic depth.

らつき，チップ間ばらつきとパス段数の関係を図 3 に示す．横軸は段数を示す．縦軸は遅延時間のばらつきで，チップ間ばらつきのシミュレーション値により正規化した．

実測について，解析式 (36) のとおり，段数に依存してチップ内ばらつきが小さくなる傾向が得られた．チップ間ばらつきについて，実測とシミュレーションでの誤差が大きい．原因としては提案手法の問題点と測定での問題点がある．提案手法によるものとして，シミュレーションで遅延時間のばらつきを電流値のばらつきで代用したこと，チップ間ばらつきがチップ内において一定で正規分布であると近似したことが考えられる．測定での問題点としては，実測したチップ数が少なく，チップ内ばらつきとチップ間ばらつきが完全に分離できていないことが考えられる．

4. 結 論

チップ内ばらつきの考慮が重要な課題である．トランジスタ特性のばらつきについて，チップ間ばらつきだけでなく，チップ内ばらつきを考慮したモデル化を行った．従来手法では MOSFET パラメータについてチップ間ばらつきおよびチップ内ばらつきを分離してモデル化するため，パラメータによっては両ばらつき成分の分離が困難であった．提案手法では，実測した電流値についてチップ間ばらつきおよびチップ内ばらつきを分離し，直接ばらつきモデルパラメータを抽出する．ばらつき成分の分離において，中間モデルを用いることで，MOSFET モデルに依存しないばらつきのモデル化を行った．チップ間ばらつきとチップ内ばらつきを少ない測定コストで分離することが可能となった．

実測した電流値について，チップ内ばらつきとチッ

プ間ばらつきを分離した。チップ内ばらつきによる電流値ばらつきの標準偏差は、チップ間ばらつきのものと比べ 0.9~3.4 倍であった。分離したチップ内ばらつきについて、モデルパラメータの抽出を行った。平均のモデル化誤差は 25%であった。

提案手法の精度検証のために、リングオシレータの発振周波数ばらつきと提案モデルの比較を行った。論理回路の遅延時間について、チップ内ばらつきを考慮した場合の遅延の分散を求める式を示した。実測結果において、段数に依存してチップ内ばらつきが小さくなる傾向を得られた。

謝辞 本研究の一部は(株)半導体理工学センターとの共同研究による。

参 考 文 献

- 1) Nassif, S.: Within-Chip Variability Analysis, *International Electron Devices Meeting*, San Francisco, CA, pp.283-286 (Dec. 1998).
- 2) Bowman, K.A. and Meindl, J.D.: Impact of Within-Die Parameter Fluctuations on Future Maximum Clock, *IEEE Custom Integrated Circuits Conference*, pp.229-232 (2001).
- 3) Elzinga, H.: On the Impact of Spatial Parametric Variations on MOS Transistor Mismatch, *IEEE International Conference on Microelectronic Test Structures*, Vol.9, pp.173-177 (Mar. 1996).
- 4) Pelgrom, M., Duinmaijer, A. and Welbers, A.: Matching properties of MOS transistors, *IEEE J. Solid-State Circuits (USA)*, pp.1433-1439 (Oct. 1989).
- 5) Bastos, J., Steyaert, M., Roovers, R., Kinget, P., Sansen, W., Graindourze, B., Pergoot, A. and Janssens, E.: Mismatch characterization of small size MOS transistors, *IEEE International Conference on Microelectronic Test Structures*, Vol.8, pp.271-276 (Mar. 1995).
- 6) Felt, E., Narayan, A. and Vincentelli, A.S.: Measurement and Modeling of MOS Transistor Current Mismatch in Analog IC's, *IEEE Proc. ICCAD*, pp.272-277 (1994).
- 7) Okada, K. and Onodera, H.: Statistical Modeling of Device Characteristics with Systematic Variability, *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E84-A, No.2, pp.529-536 (2001).
- 8) Kondo, M., Onodera, H. and Tamaru, K.: Model-adaptable MOSFET parameter-extraction method using an intermediate model, *IEEE Trans. Comput.-Aided Des. Integrated Circuits and Systems*, Vol.17, No.5, pp.400-405 (1998).
- 9) Singha, M. and Spence, R.: The parametric yield enhancement of integrated circuits, *Int. J. Circuit Theory and Applications*, Vol.19, pp.565-578 (1991).
- 10) Berkelaar, M.: Statistical delay calculation, A linear time method, *Proc. International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems*, pp.15-24 (1997).

(平成 13 年 9 月 21 日受付)

(平成 14 年 3 月 14 日採録)



岡田 健一

平成 12 年京都大大学院修士課程 (通信情報システム専攻) 修了。現在、同大学院博士課程在学中。平成 12 年日本学術振興会特別研究員。LSI 用 CAD の研究に従事。電子情報通信学会、IEEE 各会員。



小野寺秀俊 (正会員)

昭和 53 年京都大学工学部電子工学科卒業。昭和 58 年同大学院博士課程 (電子工学専攻) 修了。同年同大学工学部電子工学科助手。現在、京都大学大学院情報学研究科通信情報システム専攻教授。LSI の設計手法、LSI 用 CAD、MOS アナログ回路の研究に従事。工学博士。昭和 59 年度丹羽記念賞受賞。電子情報通信学会、IEEE、ACM 各会員。