

招待論文

最先端高性能計算機開発における設計支援技術 ——限界性能を引き出す EDA 技術

浜 村 博 史[†]

本稿では、富士通(株)における高性能メインフレームの限界設計を支えた先端の EDA (Electric Design Automation) 技術について、世界最初の LSI メインフレームが誕生した 1970 年代から 90 年代に至る約 30 年間の主な開発を述べる。現在の CMOSLSI 設計で直面している設計問題の多くは、ECLLSI の時代にも存在し克服されてきた問題でもある。ますます大規模・高性能化するシステム LSI に向けた設計手法あるいは EDA 技術の今後の技術革新のための示唆として、高性能メインフレームの開発において直面した主な設計上の技術的問題と先端 EDA 技術によるブレークスルーを中心に述べる。また、つねに重要課題であった大規模システムの論理検証技術の開発について述べる。

Design Methodologies for the State of the Art High Performance Computers ——EDA Technologies to Realize Performance Limits

HIROFUMI HAMAMURA[†]

In this paper, the development of leading edge EDA technologies to design high performance mainframe computers in FUJITSU for 30 years from 1970's to 1990's is described. Most of design problems being faced on recent system LSIs are similar to design problems that were faced and solved in ECL LSI based mainframe development. As some suggestion to the evolution of design methodologies and EDA technologies for future system LSI design, which are getting bigger and faster, this paper describes an analysis of principal design problems related to EDA and a breakthrough by the leading edge EDA technologies in the mainframe development. Finally, the challenge to logic verification technology development for large-scale design of mainframes, which has always been positioned as a high priority problem in every mainframe development, is described.

1. はじめに

近年 CMOS 技術による LSI の高速化・高集積化の進展はめざましい。一昔前の大型メインフレームのシステム回路全体をたった 1 チップで実現できる時代になった。まさにあらゆる電子機器の回路設計の大部分が 1 つの LSI に集約されつつある。このシステム回路の LSI 集約化にともない、大規模化する LSI 設計において、従来の LSI 設計にはなかったいくつかの新たな問題に直面してきている。配置配線問題に始まり、タイミングクロージャの問題、システムレベル検証の問題、大規模な設計管理の問題など、今起きている問題の多くは、けっして新しい問題ではなく、過去

におけるメインフレームの開発においても直面しそして克服してきた古くて新しい問題である。たとえば、最近ホットな問題であるタイミングクロージャの問題は、その内容は異なるにしても、ECLLSI を採用した 1970 年代にはすでに高性能メインフレームのシステム設計の段階でクリティカルな問題として認識された。その対策として、当初は LSI レベルからシステムレベルまでのラッチ間のパス遅延時間解析ツールが開発され、それ以降メインフレームの開発世代の設計要件に対応して逐次技術改良が加えられ今日に至っている。また、システムレベルの論理検証に関しても、大規模回路の検証能力と検証作業の効率化の向上という観点から、シミュレーションの高速化およびシミュレーションシステムのアーキテクチャの開発・改良が、メインフレーム開発当初より取り組まれてきた。

このような背景から、今後ますます高機能化・大規

[†] 富士通株式会社生産技術本部
Corporate Production Engineering Group, Fujitsu,
Limited

模化するシステム LSI の設計手法および EDA の技術革新への示唆となることを願い、本稿では、システム性能の限界設計に挑戦してきた当社メインフレームの開発を支えた先端 EDA 技術について、70 年代から 90 年代に至る約 30 年間を概説する。まず、2 章では当社メインフレーム開発の歴史について、3 章で EDA 技術に深くかかわった主な設計問題の変遷について、4 章では各世代において直面した設計問題に対する EDA 技術の開発とブレイクスルーについて述べる。5 章でメインフレームの各世代を通してつねに重要課題であったシステム論理検証技術の開発について紹介する。最後に、6 章でまとめを述べる。

2. メインフレーム開発の歴史

高性能汎用計算機と呼ばれるメインフレームの歴史は 1960 年代に遡る。使用半導体テクノロジーで分類すると、1960 年代のシリコントランジスタを第 1 世代、1970 年代前半の IC を使用した第 2 世代、1970 年代中から 1990 年代中に至る ECLLSI を使用した第 3 世代、そして現在の CMOSVLSI を使用した第 4 世代に分類される。第 1、第 2 世代のメインフレームは独自アーキテクチャである F230 シリーズであったが、その後、世界最初の LSI メインフレームである第 3 世代の M シリーズより IBM 互換路線をとり、現在の GS シリーズへと発展してきた。

図 1 は富士通(株)における先端技術開発をドライブした高性能メインフレームの開発の推移を示している。90 年代のワークステーションとの競争が激化するまでは、最高性能のメインフレームをいち早く市場投入するための開発競争がメインフレーム各社間で繰り広げられた。最高性能のメインフレーム開発は、高性能な LSI およびプリント基板(ボード)などの回路実装テクノロジーと限界性能を引き出す EDA 技術が必要不可欠であった。

| 第 1 世代 | 第 2 世代 | 第 3 世代 | 第 4 世代 |
|-------------|--------------------|---------------------------------------|---------------------------------------|
| 60 年代末 | 70 年代前半 | 70 年代中～90 年代前半 | 90 年代中～現在 |
| Tr Silicon | IC TTL/ECL | LSI ECL Technology | VLSI CMOS Technology |
| F230 Series | | M Series | GS Series |
| F230-50 | F230-60 F230-75 | M190 M200 M380 M780 M1800 | GS8600 GS8800 GS8800B GS8900 |

図 1 高性能メインフレーム開発の推移

Fig. 1 Transition of Fujitsu's high performance mainframe development.

EDA 技術と深くかかわる回路実装テクノロジーに関しては、M シリーズ初期の M190 および M200 において、100 ゲートの ECLLSI と 42 個の LSI を搭載する積層 10 層の高密度ポリイミド基板 MCC (Multi Chip Carrier) が開発された。80 年代初めには 400 ゲートの ECLLSI と 121 個の LSI を搭載する積層 14 層の大型 MCC 基板が開発され、M380 に適用された。80 年代中の M780 では、3000 ゲート ECLLSI と 336 個の LSI を搭載する積層 42 層、540 mm × 488 mm の大型ポリイミド基板 SSC (Sub System Carrier) が開発され、1 ボード 1 CPU (Central Processing Unit) が実現された。また、90 年代前半には、ECL テクノロジー最後のメインフレーム M1800 の開発において、15000 ゲートの LSI を 144 個搭載する 61 層超多層セラミック基板 MLG (Multi Layer Glass Ceramic) が開発された。そして 90 年代中の GS シリーズでは、約 30 万論理ゲート CMOSVLSI を最大 8 個実装する積層 5 層の薄膜基板 MCM (Multi Chip Module) が開発され、それ以降、CMOSLSI の高集積化と MCM の大規模化が進展し現在に至っている。

図 2 に、富士通(株)高性能メインフレーム開発におけるシステムクロック周波数の推移を示す。パイポラ IC および ECLLSI テクノロジーを使用した 90 年代中頃までの動作周波数は、テクノロジー本来の性能と設計技術により約 1.3 倍/2 年の割合でスピードの向上が図られた。70 年代から 80 年代は、まだ CMOS テクノロジーがパイポラに比べ性能および製造性の面において遅れていたこともあり、高性能回路にはパイポラが主に採用された。しかし、80 年代末頃には ECL トランジスタの微細化による性能改善および高集積化に限界が見えてきた。一方、90 年代初頭には CMOS テクノロジーの性能が大幅に改善され、また CMOS の高集積化の優れた特性を活かしたシステム

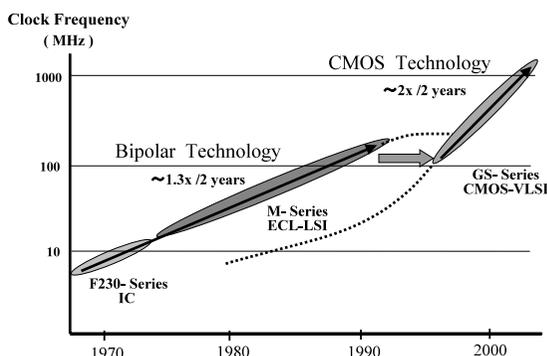


図 2 システムクロック周波数の推移

Fig. 2 Transition of system clock speed of Fujitsu's high performance mainframe.

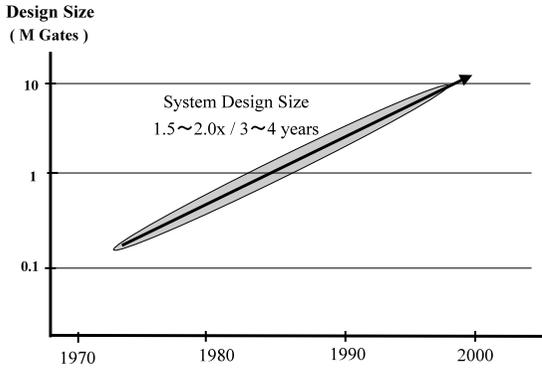


図3 システム設計規模の推移

Fig. 3 Transition of design size of Fujitsu's high performance mainframe.

設計により、従来の ECL テクノロジに近いシステム性能が実現可能となったことなどから、コスト性能比が優れている CMOS へと LSI テクノロジが切り替えられた。CMOS によるシステムの動作周波数は約 2 倍/2 年の割合で進展している。この高い性能改善比の大きな要因の 1 つとして、CMOS テクノロジの開発競争が広く行われていることがあげられる。図 2 に示される高性能メインフレームのシステム動作周波数を達成するために、LSI テクノロジと回路実装テクノロジの両者の潜在性能を最大限に引き出す限界設計のための革新的な EDA 技術がつねに求められた。

図 3 は富士通(株)高性能メインフレームの設計規模(ゲート数)の推移を示す。各世代におけるメインフレームの設計は、高いクロック周波数と同時に高い MIPS 性能を実現するために、キャッシュメモリの階層化、パイプライン化、並列処理などのマイクロアーキ、あるいは論理設計などのレベルで様々な設計上の工夫がなされた。その結果、設計ゲート数は、1.5~2.0 倍/世代の割合で増大してきた。図 3 に示される設計規模の増大は、クロック周波数の追求と相まって、設計作業を相乗的に難しくした。また、最終的にシステム実装される回路規模は、一般に設計ゲート数の数倍以上になる。そのため、メインフレームの開発を支える EDA 技術は、大規模化する設計データをいかに高速処理するかが開発世代を通しての共通した課題であった。

3. 設計問題の変遷

高性能メインフレームの設計は、先の図 2 および図 3 に示されるクロック周波数の向上と設計規模の増大ともなっていて年々難しさを増した。メインフレームの開発の基本的な目標は、定められた開発期間内

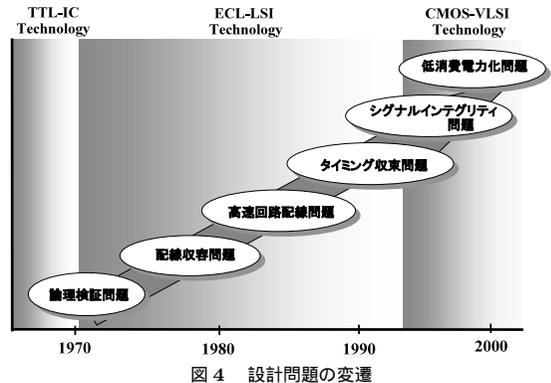


図4 設計問題の変遷

Fig. 4 Change of EDA related major problems on high performance mainframe design.

世界最高性能を実現することである。そのために、メインフレームの開発では、システム設計はつねに最先端の回路実装テクノロジおよび EDA の開発と同時並行的に行われた。また、設計方針は、特にプロセッサの設計においては性能が最優先となるため、動作保証される限界までテクノロジの性能を引き出す、限界設計が追及された。たとえば、チップ面積に関しても最大限の高密度化が追求されると同時に配線遅延による遅延ペナルティを最小化する設計方針が一般にとられた。したがって、高性能メインフレームの LSI 設計、特にプロセッサ LSI と一般 ASIC との設計方針上の基本的な違いはマージン設計にあるといえる。一般的に、商用 ASIC の設計では QTAT (Quick Turn Around Time) が要求されるため、使用するテクノロジの潜在性能あるいはチップ面積の利用率に対してある程度マージンをとった設計目標のもとで行われることが多い。

図 4 に、高性能メインフレームの開発において直面した EDA 技術に関連した主な設計問題の変遷を示す。図中に示されている設計問題の多くは、メインフレームの開発当初から基本的に存在したものであるが、LSI およびシステム回路規模の増大、回路実装テクノロジの高密度化、高速化の進展ともなっていて顕在化したクリティカルな基本的な問題を時系列的に列記したものである。

最初に直面した主な問題は、システムレベルの論理検証の問題であった。60 年代末における当社最初の IC メインフレーム F230-60 の開発において初めて論理シミュレーションによるシステム検証が行われたが、70 年代の LSI メインフレームの開発においてクリティカルな問題として顕在化した。すなわち、装置製作後の試験工程で発見される LSI の設計ミスは、製品の開発期間の長期化に直接影響を与えるため、製作前の徹

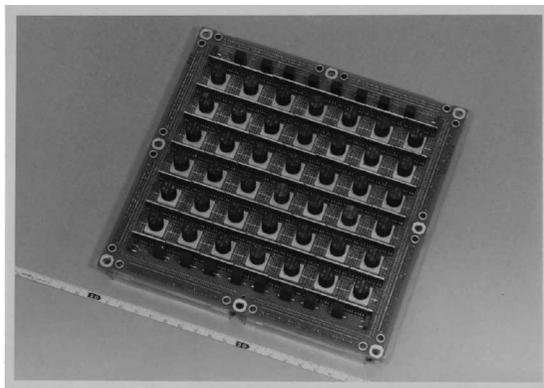


図5 M200 MCC基板の実装例

Fig. 5 Photograph of MCC board of M200 mainframe.

底したシステムレベルでの論理検証がLSIメインフレームの開発では必要不可欠と認識された。それ以降現在に至るまで、設計規模の増大とともに、大規模システムの論理検証技術および手法の開発・改良が継続的に行われている。

配線収容性の問題が表面化したのも、70年代のLSIテクノロジーを採用した時期からである。配線収容性の問題、さらに後述する高速配線問題は、主としてLSIテクノロジーやプリント基板などの回路実装テクノロジーの高集積化に起因した問題である。また、LSIの採用によって、LSI内はもとよりLSIを搭載する高密度プリント基板MCC(Multi Chip Carrier: 図5)上でのディスクリート配線作業の困難さや信頼性の観点から、LSIおよびMCC基板上の配線を100%パターン化することが要求された。大規模化するシステム回路を一定の物理サイズ内に実装するために、開発世代ごとにLSIの高集積化とプリント基板の大型・高密度化が進展し、それにともなって回路実装テクノロジーの本来の性能を最大限に引き出す高性能な自動配線技術の開発が求められた。

高速回路の配線問題は、ECLLSIの内部回路の動作速度が世代ごとに約2倍の割合で高速化が図られた結果、クロックサイクルに占めるLSI間の配線遅延時間やクロックスキューの問題などが新たな問題として、80年代初めに顕在化した。400ゲートECLLSIを使用したM380の設計では、LSI間にわたる信号パスの遅延時間の約50%がIO回路とLSI間の配線部分で占められた。そのため、LSI間の配線遅延を最小化する最短配線技術として斜め配線層を持つMCC基板テクノロジーが開発された。図6は、平均負荷時におけるECLLSI内部回路の遅延時間に占める配線遅延比率の増大の推移を示している。図6に示される配線遅延の

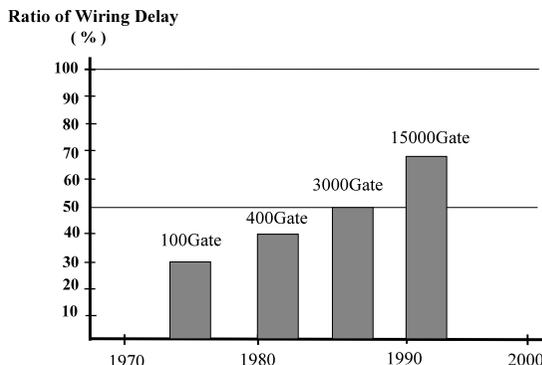


図6 ECLLSIにおける配線遅延比率の増大

Fig. 6 Transition of wiring delay ratio in ECLLSI.

比率増大とクロック系回路の規模の増大は、クロックの配線設計を困難化させた。3000ゲート規模のLSIを使用したM780の開発においては、従来アルゴリズムによる自動配線手法では詳細なクロックスキューの調整が困難となり、スキュー調整するための自動配線技術が必要不可欠な状況となった。

タイミング設計の収束問題に関しては、80年代後半から90年代初めにかけて開発されたM1800においてクリティカルな問題として顕在化した。1000ゲート程度のLSI設計では、設計者がLSI全体の論理回路とレイアウト設計との関係を比較的細部にわたって把握できたため、タイミングエラーの原因究明と最適な設計処置が比較的短時間でできた。しかし、LSIの集積度が15000ゲートと1桁近く増大したことによって、LSI内の信号パス数も爆発的に増大し、1つのタイミングエラーの処置が複数の原因と関連するなど最適化作業が非常に複雑化した。その結果、論理設計、レイアウト設計とタイミング設計を疎連携の作業ループで個々に最適化する従来の手法では、短時間でのタイミング設計の収束が困難になった。そのようなことから、タイミング設計を効率的に行うために、配置配線設計とタイミング検証を一体化したコンカレントな最適化手法がこの時期から不可欠となった。図7にM1800の開発における設計作業工数の内訳を示す。全設計工数の50%以上がすでにタイミングに関連した設計作業であった。

90年代中頃は先にも述べた背景から、LSIテクノロジーがECLからCMOSへ移行した時期である。CMOSLSIによるクロックの高周波数化や薄膜プリント基板MCM(Multi Chip Module)の高密度実装化がさらに進展した結果、クロストークなどによるシグナルインテグリティの問題が表面化した。図8にプリント基板の高密度化の推移を示す。

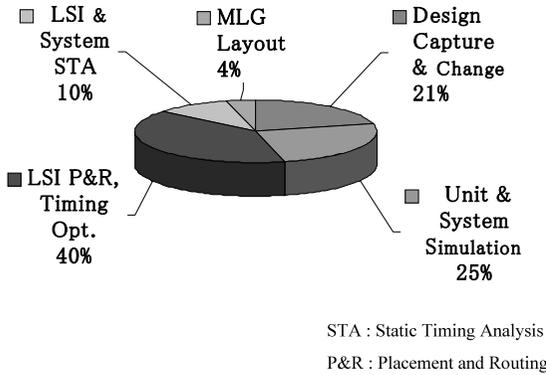


図 7 設計作業工数の内訳 : M1800 の例

Fig. 7 Percentage of design effort in M1800 mainframe design.

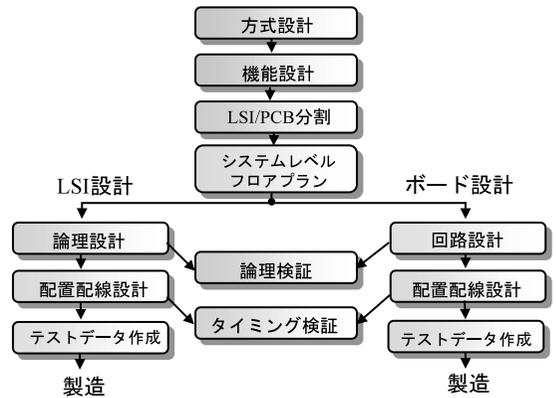


図 9 メインフレームの設計フローの概略図

Fig. 9 Design flow for mainframe development.

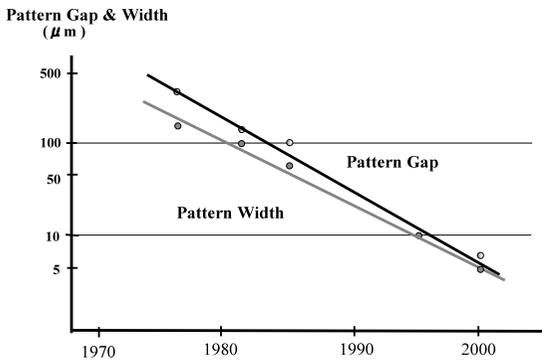


図 8 プリント基板高密度化の推移

Fig. 8 Transition of wiring pattern spec. of board.

シグナルインテグリティの問題は、当然 ECL テクノロジーの時代にもあったが、当時は統計的手法に基づく設計ルールによってクロストークノイズや反射ノイズなどによる信号波形の保全性の問題を回避してきた。しかし、CMOS LSI テクノロジーによるシステム動作周波数および高密度化のいっそうの追求により、従来の設計ルールによる検証手法では精度的に限界となり、シミュレーションによる高精度な検証手法が必要となった。この問題は、パターン配線長が長いプリント基板の設計でまず顕在化した。CMOS プロセスの微細化にともなって LSI 設計でも同様の対策が求められる。

90 年代後半から現在に至る新たな問題は、低消費電力化の問題があげられる。メインフレーム開発における消費電力の問題は、モバイル機器などの電池寿命の対策とは異なり、発熱対策が主である。CMOS メインフレームのシステム LSI は今や、数 1000 万トランジスタを実装し、数 100 MHz 以上で動作する時代になったため、一昔前の ECL LSI と同様、冷却問題が

新たな問題として表面化しつつある。ECL LSI メインフレームの開発では、最高性能を達成するために、強制空冷や大がかりな伝導液冷方式などによる冷却方式がとられた。しかし、コストが重要な競争要因である CMOS LSI メインフレームでは高価な冷却装置の採用は難しいため、低消費電力化の設計技法および支援技術による対策が今後いっそう重要になる。

4. EDA 技術開発の変遷

4.1 設計手法の基本思想

高性能メインフレームの設計の特徴は、先にも述べたとおり、使用するテクノロジーの限界性能を最大限に引き出す高性能回路と大規模な回路設計にある。したがって、メインフレーム開発用の EDA システムは、大規模な高性能回路を効率的に設計するための基本的な設計手法の思想に基づいて開発された。実際の設計フローにおける論理設計、物理設計、検証などの各細部の設計手法や EDA ツールの開発は、この基本的な思想の枠組みの中で行われた。図 9 に、高性能メインフレームの設計フローの概略図を示す。

具体的な基本思想としては、フロアプラン中心の設計、論理検証とタイミング検証の分離、インクリメンタルな設計、トップダウン階層設計、そして再利用設計である。これら設計手法の基本思想は、ほぼ ECL LSI メインフレーム開発の 70 年代には確立され、現在の CMOS LSI メインフレームの設計へと継承された。最初の 3 つは、高性能設計のための思想であり、残りは主に大規模設計のための思想である。

フロアプラン中心の設計手法とは、機能設計が終了した段階で、システム回路の物理分割にともなう LSI 間およびボード間の配線遅延や冷却条件などを考慮して、目標サイクルタイムを実現するように、まずシス

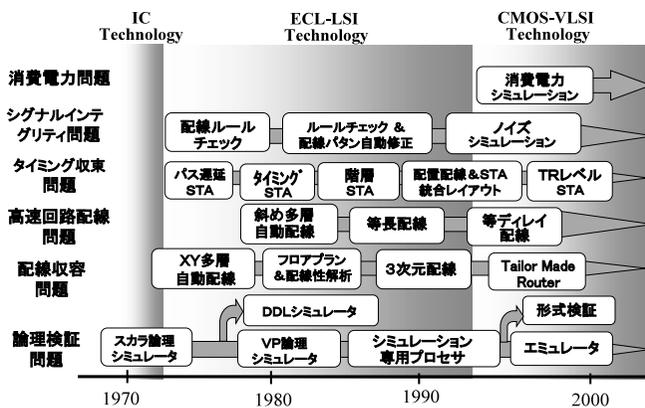


図 10 先端 EDA 技術の開発ロードマップ
Fig. 10 Roadmap of leading edge EDA technology development.

テムレベルでのフロアプランを行い、その後、個々の物理制約のもとで詳細な論理および回路設計を行うやり方である。詳細な設計段階でも、詳細フロアプランを中心に論理とレイアウト設計が同時並行的に行われる。

論理検証とタイミング検証の分離に関しては、タイミング付き論理シミュレーションによるシステム検証は膨大な計算時間を要するため、論理検証は論理シミュレーション、タイミング検証はスタティックなタイミング解析によって検証対象を分離することで検証の効率化を図る手法である。インクリメンタルな設計は、論理回路の変更を行う際、変更する論理回路に関係する部分のレイアウトのみを変更対象とし、関係しない他の既設計部分は以前の設計データをコピーしながら逐次的に設計を進めていく手法である。複雑な設計や大規模な設計では非常に有効な手法であり、一般に ECO (Engineering Change Order) と呼ばれている。

トップダウン階層設計に関しては、設計を管理しやすい単位に分割して、階層的に設計データを取り扱う手法である。設計階層は、論理設計に対応した論理階層と実装設計に対応した物理階層で定義され、論理と物理設計の階層対応は、設計データベース上で管理される。また、各階層数の定義などは、設計規模や使用する回路実装テクノロジーに対応して柔軟に行われる。

最後の再利用設計は、開発世代ごとに大規模化する設計を効率的に行うために、既存設計の論理仕様あるいは設計データの流用など、LSI メインフレームの開発初期から導入された手法である。また、開発世代ごとの新しい LSI テクノロジー開発では、流用設計の効率を上げるためにつねにセルライブラリの機能互換を保證する上位移行パスが図られた。

以上、メインフレームの開発における設計手法の基本思想について述べたが、これらの設計手法は、当時の EDA 技術の完成度などから必ずしもすべての処理が自動化されたものではなく、自動処理と設計者の判断によるマニュアル処理を効率的に組み合わせた EDA システムで実行された。

4.2 主な技術革新

先に述べた最新テクノロジーの採用にとめない新たに発生する設計問題は、図 10 に示す主な EDA 技術によって、それぞれの開発世代において克服されてきた。

70 年代初めに大きな問題として表面化したシステムレベルの論理検証は、システムの回路規模の増大とともに、30 年を経た現在に至るまで、つねにクリティカルな最重要課題として継続的に技術開発が行われた。論理シミュレーション技術の開発は、つねに処理速度と規模への挑戦であった。最初は、当時の高性能メインフレームをプラットフォームとしたソフトウェア論理シミュレータの開発から始まり、ベクトル型汎用スーパーコンピュータを利用した VP (Vector Processor) 論理シミュレータの開発を経て、シミュレーション専用ハードウェアによる大規模高速シミュレーション技術の開発へと発展した。システム論理検証の取組みに関しては、5 章で詳しく述べる。

配線収容性の問題への取組みは、最初の LSI メインフレーム M190 の開発を行った 70 年代半ば頃からである。それ以前の IC メインフレームの時代にも多層プリント板の配線自動化の問題はあったが、配線容量にマージンがあったため、収容性に関しては比較的問題は小さかった。しかし、M190 において LSI およびプリント板の高密度化が一気に進展し、先にも述べたとおり、未配線区間のディスクリットワイアによる信頼性の低下や作業性の問題などから高い配線能力を持

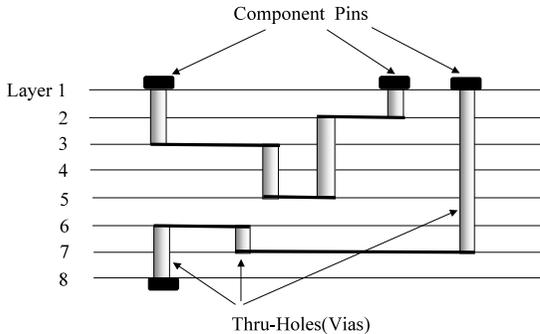


図 11 MLG 基板の 3 次元配線構造

Fig. 11 3-Dimensional structure of MLG board.

つ自動ラウタのアルゴリズム開発が必須となった。また、アルゴリズムによる自動配線技術のみでは、大規模な配線問題の最適解を得るために膨大な計算時間を要するため、設計者の視覚的判断と自動処理とを組み合わせさせた協調型の配線手法の開発も並行して行われた。協調型配線手法は、当初はプリント板の配線密度の分析機能と配線機能の疎結合のツールであったが、90年代前半にはさらに進化した Tailor Made Router¹⁰⁾へと発展した。

Tailor Made Router は、人間のパターン認識能力と自動処理を組み合わせさせた手法である。この手法は、設計者によるワイヤのフロアプランと各ワイヤグループに対する配線ルールの指定による配線戦略に基づいて、被設計プリント板専用のカスタマイズされた自動配線プログラムを生成する手法である。Tailor Made Router による配線手法では、従来手法に対し $1/2 \sim 1/4$ の配線設計時間の短縮効果が得られた。また、特記すべき革新的技術として、80年代末における M1800 の開発で採用された 61 層超多層セラミック MLG 基板の設計に適用された 3 次元ラインサーチ配線アルゴリズム (3D-Line Search Router)⁷⁾がある。それ以前の多層基板の配線は、XY 水平方向成分に対し、Z 方向の垂直成分 (ビア) の割合が無視しうるほど小さかったこと、また配線は多くても 2 層間で完結することなどの配線ルールがあったため、主として 2 次元の高速配線アルゴリズムの開発・改良に注力された。しかし、MLG 基板の配線においては、ビアの深さの基板面積に対する比率の増大により、ビアの深さを 1 つの配線長と見なす必要が生じた。また任意の信号層を使用する配線ルールが適用されたことなどから、MLG 基板を立体モデルに見立てた (図 11) 新たな 3 次元配線アルゴリズムの開発が行われた。

一方、LSI における配線収容性の問題に関しては、M シリーズでは ECL のカスタムゲートアレイを使用

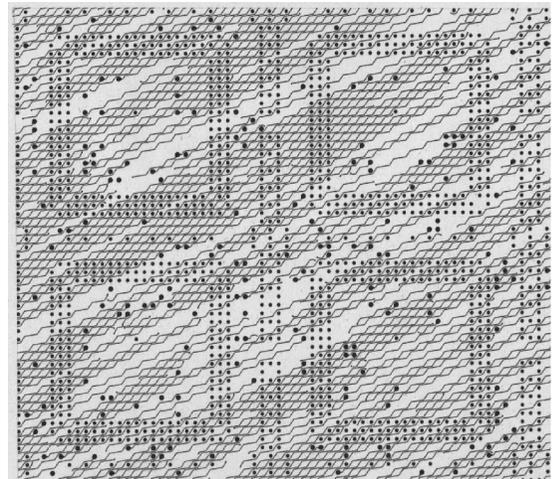


図 12 M780 SSC 基板の斜め配線パターン

Fig. 12 Oblique wiring patterns on SSC board of M780 mainframe.

したため、次世代 LSI のバルク開発時には、既存の設計データなどを用いた配線シミュレーションによって最適な配線チャンネルの容量が決定された。配線チャンネルの容量は、迂回配線および未配線が大量に発生しないような臨界点と製造性を考慮して決定された。CMOSLSI を採用した GS シリーズでは、高集積化による性能向上のために標準セル方式を採用したため、設計の評価パラメータが増えたことから、最適化作業が従来のゲートアレイに比べ格段に複雑化した。その結果、自動設計による最適化だけでは、設計者の要求性能を満たすことが難しくなったため、設計者と計算機が協調的にかつコンカレントに最適設計を行う統合 LSI レイアウト設計手法が開発された^{13),14)}。この協調型レイアウトツールは、フロアプランを中心に、信号遅延時間やチップサイズの評価、詳細な配置配線機能などを 1 つの設計データベース上で密結合した構造を持つ。図 13 は、CMOS メインフレームの LSI 設計で用いられている統合 LSI レイアウトツールの GUI (Graphical User Interface) の例である。

高速回路配線に関連する特記すべき EDA 技術として、80年代初めに M380 で使用された積層 14 層の大型 MCC 基板設計に適用した斜め配線アルゴリズムおよび等長配線アルゴリズムがあげられる。従来の XY 方向層に 30 度と 60 度方向の斜め配線層を導入し、MCC 基板上的遅延時間がクリティカルな LSI 間ネットを対象に最短配線が適用された。この技術は引き続き M780 で使用した積層 42 層の大型プリント基板 SSC の設計 (図 12) にも適用^{12),16)}された。斜め配線の実際の適用例では、配線区間の角度分布のバ

ラッチなどにより、配線長の短縮効果は約 12%であった¹²⁾。

また、M780 の設計ではクロックスキュー最小化の配線を実現するために、SSC 上のクロックネットの等長配線アルゴリズム¹¹⁾が開発され、高精度なスキュー調整が可能となった。さらに M1800 の 61 層 MLG 基板設計においては、板厚が 11 mm 以上と基板面積に対する比率が増大し、配線パターン長による遅延時間だけではなく、ビアの深さ方向 (Z 軸方向) による遅延時間の影響が無視できなくなった。そのため、2 次元等長配線アルゴリズムをベースに、ビア長も考慮した 3 次元等長配線アルゴリズムが開発^{13),14)}された。一方、LSI に関して、当初の ECLLSI 時代はまだ 100 ゲート程度のゲートアレイであったため、人手によるクロックツリー上のバッファ回路やラッチの指定配置と優先自動配線の組合せによりスキュー調整が可能な範囲であった。しかし、M780 の 3000 ゲート LSI ではクロック系回路規模の増大により、人手によるスキュー調整が複雑化したため、SSC 基板設計に適用した等長配線アルゴリズムが LSI 自動配線にも適用された。さらに、90 年代には、CMOS 標準セル方式の採用により LSI 集積度が 1 桁以上増大したことにより、従来のやり方では詳細なスキュー調整が不可能となったため、配線寄生 RC パラメータに基づく等遅延時間配線アルゴリズムの開発が行われた。

タイミング設計に関する対策としては、70 年代における最初の LSI メインフレームの開発当初から、重要な課題として認識された。最初の試みは、LSI を含むシステムレベルのオーバディレイをチェックするスタティックなパス遅延時間解析ツールの開発から始まった。M190 でのタイミングエラー検出の煩雑さの経験から、M380 の開発ではレーシングおよびラッチ構成回路内のタイミングチェック機能が開発された。その後 RAM のオンチップ化や高速化にともない、RAM のセットアップ/ホールドタイム、RAM の WE 信号のパルス幅チェックなど詳細なタイミングチェックへと機能強化が図られた。

80 年代後半に入ると、LSI およびシステムの回路規模の増大にともない、タイミング設計の工数と計算機処理時間の爆発の問題が発生した。タイミングエラーの解析と設計処置は、一般に 1 つのエラーが複数の原因と関係するため、処置作業が非常に複雑になる。このエラー解析と設計処置の作業を軽減するために、解析パス上の任意の点における遅延時間の余裕値 (Slack) の概念が遅延時間計算に導入された。計算時間の爆発の問題に関しては、ラッチ間の信号パス

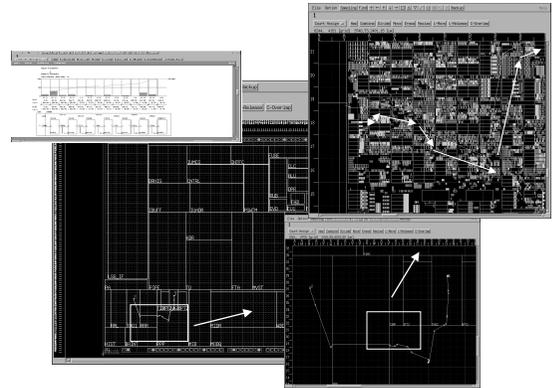


図 13 統合 LSI レイアウトツールの GUI の例

Fig. 13 Example of GUI of integrated LSI layout design tool.

を LSI 内と LSI 間にグループ化して計算対象を小さくし、個々のグループごとにパス計算を行うことなどで処理時間の抑制が図られた。また、タイミング検証に関しては、各設計段階での配線長の精度に基づいてフィードフォワードに検証精度を上げることにより、各設計段階でタイミングを収束させるトップダウンのタイミング設計手法が開発された。この手法は、システムおよび LSI 設計において、論理設計からフロアプランそして詳細配置配線設計に至る各設計段階で、見積り線長あるいは実配線長に基づいて段階的にタイミングを収束させるやり方である。この設計手法の導入により、設計下流工程からのタイミングエラーの手戻りが減り、タイミング設計の大幅な効率化が図られた。

さらに、80 年代後半には 15000 ゲートの ECLLSI 設計に向けて、従来疎結合であったタイミング解析とレイアウト設計を密結合した会話型のコンカレント設計手法が実用化^{13),14)}された。図 13 は CMOS スタンドセル LSI 用統合レイアウトツールの GUI の例を示す。このコンカレント設計手法の概念は、90 年代前半に高速回路用プリント板の設計にも適用された (図 14)。また、90 年代半ば以降は、フルカスタム設計の増大にともない、従来のセルベースに加えて高速かつ高精度なトランジスタレベルのスタティックタイミング解析ツールの開発が行われた。

シグナルインテグリティに関しては、主にクロストークノイズに重きを置いて対策された。このノイズ問題は 70 年代初めの IC メインフレームの時代からすでにあったが、ECLLSI を実装する高密度な MCC 基板の配線設計において顕著化した。当初は実験と統計データから作られる平行配線長の制限ルールを基に、配線結果に対し平行配線長違反ネットのチェックを行

い、人手で違反配線パターンの修正を行った。80年代に入り、M380の大型MCC基板の設計時点から、人手による配線修正がきわめて困難になった。そのため、自動配線結果に対してルールチェックを行うと同時に違反ネットの配線パターンを自動修正するツールの開発が行われた。90年代に入って、配線パターンの微細化、高密度化がさらに進展した結果、従来のルールベースによるノイズチェックのみでは精度的に不十分となり、回路シミュレーションをベースとした高精度なノイズシミュレータが開発¹⁵⁾された。ノイズシミュレータは計算処理時間が膨大にかかるため、通常は従来のルールベースと組み合わせて適用されるケースが多い。

最後に、メインフレーム開発における低消費電力化の問題は、先の設計課題で述べたように冷却対策が主である。そのような理由から、回路の動作率とゲート

数などをパラメータとしたスタティックな消費電力の見積り技術を中心としたEDAツール開発が行われてきた。

以上、70年代から90年代に至る30年間の当社における設計に関連した先端のEDA技術の開発について概説した。しかし、図4および図10に示されなかった関連技術として、回路合成技術と製造後のLSIおよびボードのテスト技術がある。回路合成手法は、プロセッサ以外のノンクリティカルな周辺回路の設計に、主に適用されている。一般にプロセッサ設計では、限界性能が追求されるため、回路合成ツールが設計の要求性能を満たし得ないケースが多く存在する。そのような理由から、プロセッサの高速回路設計には、基本的にゲートレベルの設計手法が採用されてきている。製造テストにおけるテストデータの品質問題は、先端LSIテクノロジーの開発初期の歩留まり問題による開発工程の長期化、あるいは量産出荷時の不良品抽出のために重要なテーマとして地道に取り組みされた。EDAのテスト関連技術としては、主にDFT (Design For Testability) とATG (Automatic Test Generation) がある。DFTに関しては、システム診断との関係からメインフレーム設計では一貫してスキャン回路が適用された。近年のLSI回路の大規模化にともない、内蔵RAMなどの高速テストのためにBIST (Build-In Self Test) 回路なども併用されている。テストデータを自動生成するためのATG技術に関しては、大規模LSIのテストカバレッジと高速テスト生成のアルゴリズム開発がつねに大きな課題として取り組まれてきた^{18),19)}。

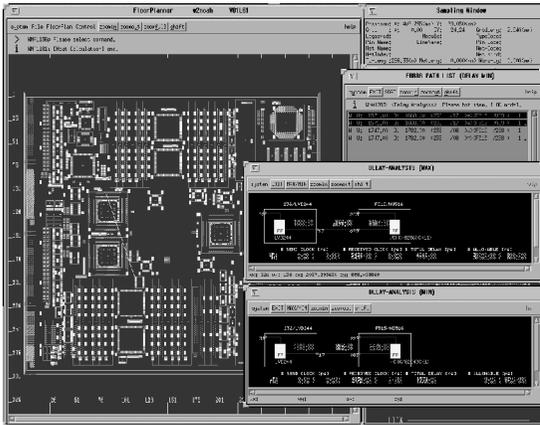


図14 統合プリント板レイアウトツールのGUIの例
Fig. 14 Example of GUI of integrated board layout design tool.

5. システム論理検証技術

システムの論理検証は、先にも述べたとおり、当社

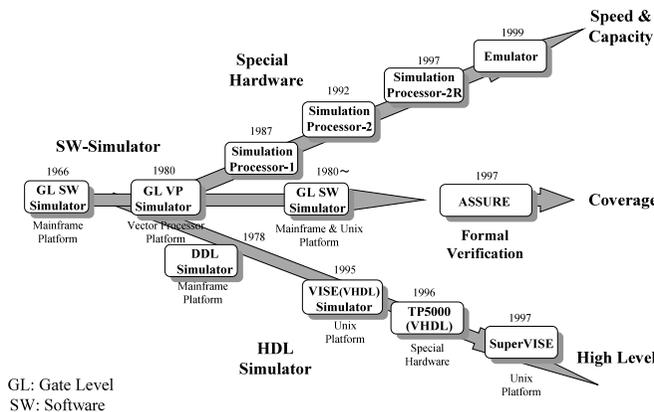


図15 論理検証技術の開発ロードマップ
Fig. 15 Development roadmap of leading edge of logic verification technologies.

のメインフレームの開発上つねに重要な課題の1つであったため、継続的な技術研究開発と改良が行われた。図15に当社における論理検証に関する主な技術開発の変遷を示す。

システムレベルの論理検証技術の開発は、検証速度、検証規模、検証モデル、検証網羅性への取組みとして分類できる。富士通(株)における論理シミュレータは、1960年代後半のICメインフレームF230-60の開発に適用したシミュレーション容量約3万ゲートのゲートレベルのソフトシミュレータが最初である。その後、図3に示されるようにメインフレームの設計規模の増大とLSIの高集積化とともに、より大規模かつ高速なシステム論理検証の環境構築が、設計品質の向上による製品開発期間の短縮のうえで必要不可欠な要件になった。検証の大規模・高速化への取組みは、70年代末ごろまではその時点における既存の最新鋭のメインフレームをプラットフォームとして、シミュレータの高性能化を図る、いわゆるスパイラル的なアプローチがとられた。しかし、このスパイラル的なアプローチでは飛躍的な性能向上に限界があった。そこで、80年代初めにベクトル型スーパーコンピュータVP200をプラットフォームとしたVPソフトシミュレータの開発が行われた。シミュレーション速度は、ベクトル命令による並列処理によって、当時の最新鋭大型メインフレームM200をプラットフォームとしたソフトシミュレータの約20倍を達成し、M780の開発に適用された。

80年代後半のM1800の開発になると、LSIの集積度が15000ゲート、また設計規模も200万ゲート以上と大規模化したため、設計品質の確保上、より広範なシステムの論理検証が必要不可欠となり、プログラブルな論理シミュレーション専用ハードウェアSP1(Simulation Processor SP1)^{11),13),14)}が開発された。SP1は、64台のシミュレーションエンジンを並列接続したパラレルプロセッサであり、シミュレーション速度はVPシミュレータの100倍以上、規模は最大400万ゲートと32メガバイトメモリの論理シミュレーションを可能とした。その結果、初めて単一CPU(Central Processing Unit)構成の実設計回路モデルによるシステムレベルの論理検証が可能となった。SP1は、約100万ゲートあたり平均100CPS(Cycle per Second)でシミュレーションを実行した。従来のソフトシミュレーションでは、処理速度および規模の制限から、CPU単体の実設計回路モデルとハードウェア記述言語DDL¹⁾を使った擬似回路モデルの組合せによるシステムシミュレーションしか行えなかった。



図16 SP2ハードウェアの外観
Fig.16 Outlook of simulation processor SP2.

SP1の開発によって、実設計回路モデルによる広範かつ高速なシステムレベル検証が可能となり、設計品質の大幅な改善が図られた。

しかし、M1800への適用実績から、LSIリメークの原因の約40%がシミュレーション規模の不足とテストプログラムの走行クロックの不足に起因する検証漏れであった。そのため、さらに大規模なマルチCPU構成のシステムレベル検証が必須となり、90年代初めに当時世界最大規模のイベント方式シミュレーション専用ハードウェアSP2(Simulation Processor SP2: 図16)が開発された。処理規模は、SP1の4倍の1600万ゲート+128メガバイトのシミュレーションを実現し、CMOSLSIメインフレームGSシリーズその他のシステム検証に適用されている。

また、汎用MPU(Micro Processor Unit)などの標準部品を使用する周辺装置設計におけるハードソフト協調検証の高速化を目的に、実回路部品とソフトモデルを結合したシミュレーション専用ハードウェアSP2R(Simulation Processor SP2R)の開発へと展開した。SP2Rは、最大400万ゲートの論理回路モデルと最大1280ピンまでの実回路部品を当時平均200CPSの処理速度でシミュレーションが可能であった。図17および図18は、論理シミュレーションの高速化および大規模化におけるブレークスルーの変遷を示す。

検証モデルの抽象化によるハイレベルシミュレーションへの取組みは、70年代末に開発されたDDL言語による機能シミュレータが最初²⁾である。DDL言語は、ウィスコンシン大学で1968年に開発された状態遷移記述型のレジスタトランスファレベル言語で、システムシミュレーションの擬似回路の機能記述言語として長く使用されてきた。90年代に入って、ハードウェア記述言語の標準化が進む中で、システムレベルの高

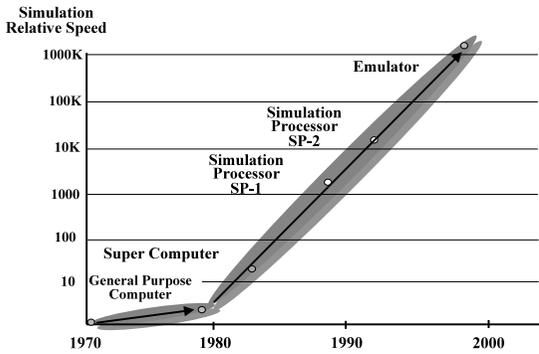


図 17 論理シミュレーション高速化の推移

Fig. 17 Transition of performance improvement on simulation.

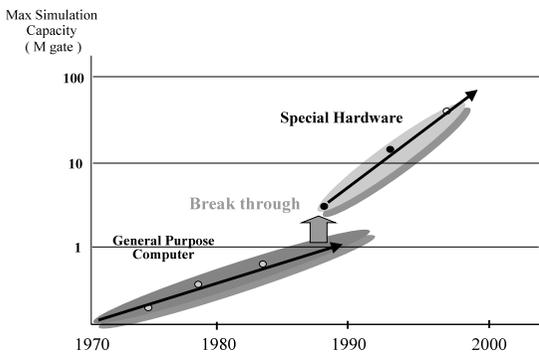


図 18 論理シミュレーション大規模化の推移

Fig. 18 Transition of scalability improvement on simulation.

速機能シミュレーションとして VHDL シミュレータ VISE の開発が行われた。高速化は主に VHDL 構文上の記述制約やデータ構造の工夫などによって行われ、当時の市販 VHDL シミュレータの 2 倍から 7 倍の性能が実現された。また時期を同じくして、90 年代中には VHDL ソフトシミュレータの 100 倍以上の処理速度を目標に専用ハードウェア TP5000^{3),4)}が開発された。TP5000 は、VHDL をコンパイルして生成される機能レベルのネットリストを専用の超並列プロセッサで実行する。90 年代後半には VHDL を拡張した抽象レベルのインタフェース記述言語 VHDL+ とそのシミュレータからなるインタフェーススペースの設計手法 SuperVISE^{5)~7)}の開発が行われた。SuperVISE は、大規模なシステム設計において生ずるインタフェースミスマッチによる致命的な設計手戻りを排除することを主題に開発された設計手法である。この手法では、設計初期段階でのプロトコル検証に重点が置かれている。

次に、検証の網羅性への取組みに関しては、主に論理シミュレーションの高速化と長年蓄積されたテスト

プログラムの強化による両輪で検証の網羅性の向上が図られた。しかし、シミュレーション法における網羅性は、テストデータの品質に強く依存するため、100%の検証保証が困難な場合がある。特に、レイアウト設計後のタイミング調整にともなう回路変更時の新旧論理の一致検証において、回路変更ごとに部分的なテストデータを作成したり、あるいは長大なテストプログラムを使ってシミュレーションを毎回行うやり方はきわめて非効率である。そのようなことから、シミュレーション法を補完する手段として、90 年代中頃に形式的検証技術である論理等価性検証ツール ASSURE^{8),9)}の開発が行われた。

6. ま と め

以上、70 年代から 90 年代に至る約 30 年間における当社大型メインフレームの開発を支えた自社 EDA 技術のうち、特記すべき革新的な技術を時系列的に紹介した。これらの技術は、当時のコンピュータ設計部門、テクノロジー開発部門、富士通研究所を含めた富士通(株)の総力を結集して開発されたものである。本来なら、メインフレーム業界における EDA の変遷を客観的にまとめるのが最善であったが、当時 EDA 技術は各社とも重要な戦略技術として位置付けた門外不出の技術であったため、各社の一貫した当時の EDA 全体像を公知の資料から知る手立てがない。しかし、当時のメインフレーム業界は激しい技術開発競争が展開されたことから、各社ともそれぞれ優れた独自の EDA 技術の開発がなされていたことは容易に推察できる。本稿で述べた設計手法と EDA 技術のほとんどは、70 年代から 90 年代前半に至る ECLLSI テクノロジーのメインフレーム開発で培われ、CMOS テクノロジーへの移行後も、その多くが CMOSLSI メインフレーム、サーバおよびマイクロプロセッサなどの設計手法と EDA として継承された。先にも述べたとおり、メインフレーム設計を支える設計手法および EDA の目標は、大規模なシステム回路設計と LSI をはじめとする回路実装テクノロジーの性能を最大限に引き出す限界設計の支援にある。70 年代から 90 年代はメインフレームとパソコンが半導体技術を牽引し、これからの 10 年は、デジタル家電、携帯情報端末などの民生電子機器が牽引の主役ともいわれている。その中心的半導体がシステム LSI である。ますます大規模化し高性能化するシステム LSI の設計を効率的に行うために、メインフレームのシステム設計で培われた設計手法および EDA 技術のノウハウを活用できる場面が今後とも多くあると予想される。アプリケーションが多様なシ

ステム LSI は、細部において幅広い設計手法や EDA 技術が要求されるが、根底にある基本的な設計手法および EDA 技術は共通するところが多いはずである。本稿では、紙面の都合上、すべてを掘り下げて書くことが許されなかったが、ここに紹介した高性能メインフレームの限界設計を支えた一連の EDA 技術開発の背景と思想が、今後のシステム LSI の設計手法および EDA の研究開発に役立つことを願う次第である。

謝辞 本稿を執筆するにあたり、熱心にご推薦いただいた三菱電機の寺井正幸氏、長崎大学の小栗清教授、情報処理学会 SLDM 研究会幹事の山田正昭氏(東芝)、沼昌宏助教授(神戸大学)、福井正博氏(松下電器) の方々に深く感謝いたします。また、執筆において広くご協力いただいた富士通株式会社のコンピュータ部門ならびにテクノロジー関連部門、CAD 部門の皆様にも感謝いたします。

参 考 文 献

- 1) Duley, J.R. and Dietmeyer, D.L.: A Digital Design System Language (DDL), *IEEE Trans. Comput.*, Vol.C-17, No.9 (September, 1968).
- 2) Kawato, N., et al.: Design and Verification of Large Scale Computer by using DDL, *Proc. 16th Design Automation Conf.*, pp.360-366 (June, 1979).
- 3) Shimogori, S., et al.: TP5000: Re-configurable Hardware Accelerator for CAD Applications, *Fujitsu Scientific and Technical Journal*, Vol.31, No.2 (December, 1995).
- 4) Shoji, M., et al.: Acceleration of Behavioral Simulation Specific Machines, *Proc. European Design & Test Conference 1997*, pp.373-377 (1997).
- 5) Hashmi, K., et al.: Virtual Component Interface VCI Specification and Standardization, *Proc. FDL-99* (September, 1999).
- 6) Siegmund, R., et al.: An approach to specification and synthesis of adaptive interfaces of reusable hardware module, *Proc. FDL-99* (September, 1999).
- 7) ICL: *SuperVISE User's Guide version1.0* (December, 1996).
- 8) Kanemochi, T., et al.: Logic Equivalence Verification System: ASSURE, *FUJITSU*, Vol.50, No6, pp.351-356 (November, 1999).
- 9) Mukherjee, R., et al.: An Efficient Filter-Based Approach for Combinational Verifi-

- cation, *IEEE Trans. CAD*, Vol.18, No.11, pp.1542-1557 (November, 1999).
- 10) 岩原ほか：配線プログラム生成方法およびその装置，特許 3,192,057 (H13.5.25).
- 11) Hirose, F., et al.: Simulation Processor SP, *IEEE International Conference on CAD-87*, pp.484-487 (November, 1987).
- 12) 浜口ほか：FACOM M780 特集号，*FUJITSU*, Vol.37, No.2, pp.135-139 (March, 1986).
- 13) Hamamura, H., et al.: Design Automation System for FUJITSU VP2000 Series, *FUJITSU Scientific & Technical Journal*, Vol.27, No.2, pp.187-196 (June, 1991).
- 14) 浜村ほか：FUJITSU VP2000 シリーズ開発用 DA システム，*FUJITSU*, Vol.41, No.1, pp.27-34 (January, 1990).
- 15) 登坂ほか，ギガヘルツ時代の伝送線路ノイズ解析システム：SIGAL，*FUJITSU*, Vol.51, No.5, pp.297-302 (September, 2000).
- 16) Tada, T., et al.: Router System for Printed Wiring Boards of Very High Speed, Very Large-Scale Computers, *Proc. 23th ACM/IEEE Design Automation Conf.*, pp.791-797 (June, 1986).
- 17) Hanafusa, A., et al.: Three Dimensional Routing for Multi-layer Printed Circuit Boards, *IEEE International Conference on CAD-90*, pp.386-389 (November, 1990).
- 18) 高山ほか：論理シミュレーション専用マシンを用いたテスト生成システムにおける高検出率化手法，情報処理学会第 40 回全国大会，7V-4, pp.1718-1719 (1989).
- 19) 中田：状態遷移記述を利用したテスト容易化設計手法，情報処理学会第 40 回全国大会，4M-2, pp.1324-1325 (1990).

(平成 14 年 3 月 11 日受付)

(平成 14 年 3 月 14 日採録)



浜村 博史(正会員)

昭和 45 年慶應義塾大学工学部電気工学科卒業。同年富士通(株)入社。以来メインフレーム，スーパーコンピュータ，マイクロプロセッサ等コンピュータの設計手法および設計自動化システム全般の研究開発に従事。現在同社生産技術本部勤務。平成 12 年から平成 14 年まで情報処理学会システム LSI 設計技術研究会主査。