

SPACE:対話型マスク・パターン設計システム

5U-7 - オンライン検証 -

鈴木 五郎¹ 浜田 亘曼¹ 岡村 芳雄² 佐藤 多加志²

¹ 日立製作所 日立研究所

² 同 デバイス開発センター

1 はじめに

SPACEではオンライン検証機能として、設計規則チェック、接続チェック（同電位パターン群の抽出、ループ状配線の抽出など）、寄生素子チェック（異層配線間容量など）などをサポートしている。本報告では、この中から特に設計規則チェックを取り上げ、機能の概要、実現の方法、及び性能について述べる。

2 設計規則チェック機能の概要

チェックを行うタイミングとしては、1)既に配置されているパターンに関して、指定した矩形領域内をチェックする、2)パターンを入力、修正する毎に即刻チェックする、の二つがある。前者はチェック・コマンドを入力した時点で実行し、又後者は即刻チェックを行うか否かのモードを切り換えるコマンドを設け、このコマンドとパターンを入力、修正するコマンドとの組合せによって実行することにした。設計規則違反箇所には違反している範囲を表すエラーグラフ（図1）を表示するが、パターンを修正したことによって設計規則違反箇所が消滅した場合には、エラーグラフの消去を行う。

チェックを行う為の演算子としては、表1に示したSpace, Enclosure, Incursion, Width, Notchの5種類の寸法演算子、AND OR SUBなどの論理演算子、それに分離、重なり、包含などの位相関係を求める位相演算子を用意している。設計規則の中には図2に示すように、平行部分の寸法によって許容間隔が異なるとか、注目しているパターンの背景に異なった層のパターンが存在しているか否かによって許容間隔が異なる、など条件によって規則が異なるものがある。そこで寸法や位相に関する条件子も用意し、演算子と条件子を組み合わせる事によって相当複雑な設計規則も定義できるようにした。あらかじめ定義した設計規則のうち、どの項目をチェックするかは、必要に応じてコマンドで指定できる。

3 設計規則チェック機能の実現方法

寸法演算子Spaceだけを実行する場合を例にあげ、ど

のような手順で処理するかを説明する。

SPACEでは、近傍パターンの高速検索を可能にするオリジナルなデータ構造（フィールド・ブロック・データ構造）[1][2]を採用している。このデータ構造は、図3に示すように、あらかじめ用意された同一サイズのメモリ領域に格納されているパターンを包含する面積最小な矩形つまりフィールド・ブロックを基本としている。さらにフィールド・ブロック群を包含する面積最小な矩形つまりマクロ・フィールド・ブロックを設け、矩形情報だけで階層的に図面管理を行う方法を探っている。

このデータ構造を用いて、図4に示す手順でチェック処理を行う。

- (S0) 注目しているパターンの図形包含矩形をSpace設計規則の最大値だけ拡大したウインドウを作る。
- (S1) ウインドウと共に領域を持つマクロ・フィールド・ブロックを抽出する。
- (S2) (S1)で抽出したものの中から、ウインドウと共に領域を持つフィールド・ブロックを抽出する。
- (S3) (S2)で抽出したものの中から、ウインドウと共に領域を持つ図形包含矩形を抽出する。
- (S4) (S3)で抽出した図形包含矩形を持つパターンと注目しているパターンとの間の距離をエッジ法を用いて計算する。設計規則に違反している場合には、違反箇所にエラーグラフを表示する。

論理演算子や位相演算子の処理においても、演算を行うパターンを(S3)までの処理で抽出しておき、(S4)においてベクトル法により論理や位相の演算を行う。又同電位パターン群を抽出する場合も基本的に近傍パターンを抽出する問題に帰着でき、(S3)までの処理を繰り返す事になる。

4 設計規則チェック処理の性能

図5は1 MIPS の計算機を用いた場合のSpace演算処理時間を表している。横軸が示すベクトル数を持つ図面において、指定した一つのパターンについてチェックを行った。ベクトル数 N に対して $N^{\frac{1}{20}}$ に比例した処理時間であり、3~5 msec のCPUで処理が行え

SPACE:Interactive Mask Pattern Design System - Online Verification -

Goro Suzuki¹ Nobuhiro Hamada¹ Yoshio Okamura² Takashi Sato²

¹ Hitachi Res. Lab. ² Hitachi Device Development Center

る。又上のグラフは同電位パターン群の抽出処理時間と表している。コンタクトを含む十数個の同電位パターン群の抽出には、20～30 msecの処理時間を要している。いずれの処理でも、コマンドの応答時間は1 sec以下であり、充分高速と言える。

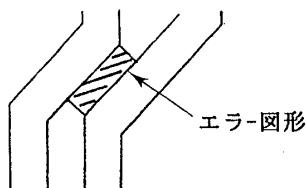
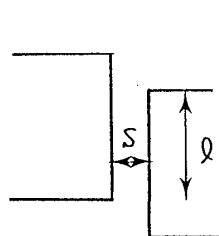
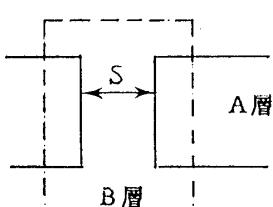


図1 エラ-図形の表示

 S : 許容距離 l : 平行長

$$S = f(l)$$

(a) 平行長



$$S = f(B\text{層パターンの有無})$$

(b) 背景パターン

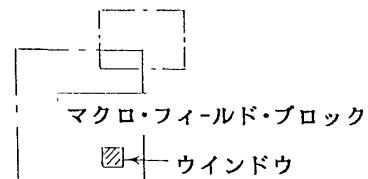
図2 条件付き設計規則

1	Space	
2	Enclosure	
3	Incursion	
4	Width	
5	Notch	

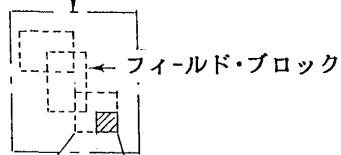
5 参考文献

[1] G.Suzuki:Practical Data Structure for Incremental Design Rule Checking and Compaction:
Proc. of ICCD87,pp.442-447,Oct. 1987

[2] 鈴木五郎:オンライン設計用フィールド・ブロック
・データ構造:昭63年春信学全大、pp.1-277



(S1) マクロ・フィールド・ブロックの抽出



(S2) フィールド・ブロックの抽出

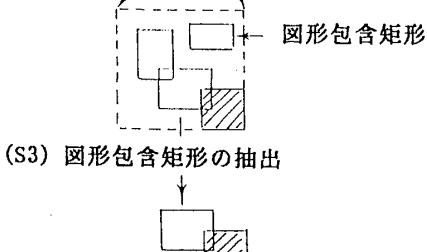


図4 処理手順

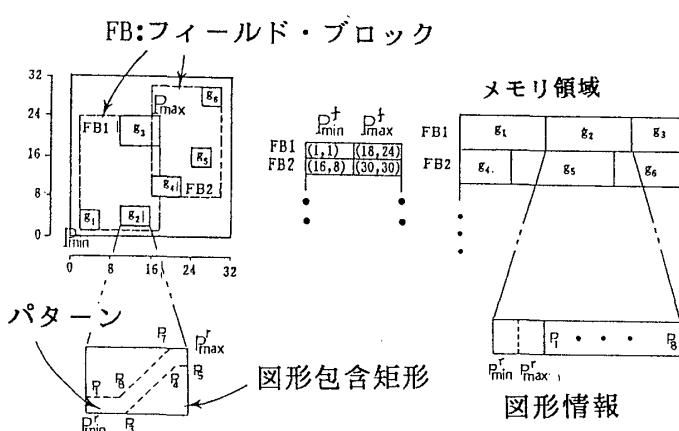


図3 フィールド・ブロック・データ構造の基本概念

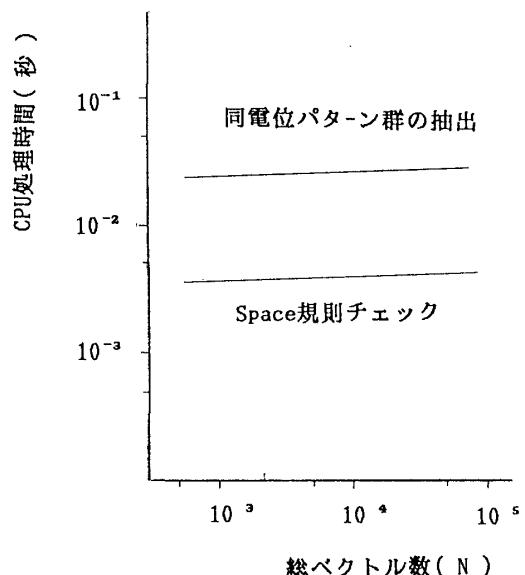


図5 処理性能