

密結合マルチプロセッサにおける

6N-4 キャッシュメモリの一致制御方式に関する一検討

塩澤 恒道

NTT 情報通信処理研究所

1. はじめに

マイクロプロセッサ(以下MPUと記す)を複数結合して、システム全体の処理能力を向上させる方法の一つとして、バス結合によるメモリ共有型マルチマイクロプロセッサシステム(密結合マルチマイクロプロセッサシステム)がある。

しかし、密結合マルチマイクロプロセッサシステムでは、結合するMPUの台数が増加するに従い、メモリアクセス競合による待ち時間が長くなり、MPU台数を増加させてもシステム全体の処理能力は向上しなくなる。

一般に、メモリアクセス競合による待ち時間を短くする方法としては、プロセッサを結合しているシステムバス性能を向上(バスの多重化、バスクロックの短縮等)させる方法、メインメモリアクセスサイクルを短縮(インタリーブ数の増加、高速記憶素子の使用等)する方法、各MPUからのメモリアクセス回数を削減(キャッシュメモリの使用等)する方法等がある。

キャッシュメモリを用いる利点は、以下の通りである[1]。

(1)システムバスおよびメインメモリの両方のアクセス競合を減少させることができる。

(2)MPUから見た実効的なメモリアクセス時間を小さくし、

MPUの性能を向上させることができる。

近年、MPU内に小容量(数キロバイト)のキャッシュメモリが内蔵可能となってきている。しかし、内蔵キャッシュメモリのみでは、メモリアクセス回数を削減するのに充分とはいえず、外部キャッシュメモリを付加する必要がある。

他方、キャッシュメモリを用いたシステムでは、キャッシュメモリ内のデータとメインメモリ内のデータが、一致するように制御を行う必要がある。

以下では、外部キャッシュメモリを付加したMPUにより構成した密結合マルチマイクロプロセッサシステムにおいて、キャッシュメモリとメインメモリとの一致制御を実現する方式について述べる。さらに、一致制御を行うため、MPUの内蔵キャッシュメモリをモニタする機能を付加した外部キャッシュメモリを提案し、他の方式と性能の比較を行う。

2. システム構成

システム全体の構成を図1に示す。システムは、システムバスに接続されたメインメモリと複数のプロセッサボードにより構成され、各プロセッサボードは、MPU、外部キャッシュメモリ、バスコントローラおよび専用チップ(浮動小数点演算ユニット等)をチップバスで接続したものとす。

MPUおよび外部キャッシュメモリは、メインメモリのデータとの一致制御を行うため、外部からアドレスを入力することにより、当該アドレスのデータがキャッシュメモリ内に存在した場合、そのデータを無効化する機能を有するものとする。

キャッシュメモリのストア制御方式は、ストアスルーとし、各プロセッサボードは、他のMPUにより書き換えられたメインメモリのアドレス(ライトアドレス)をシステムバスを介して知るものとする。

3. キャッシュメモリとメインメモリとの一致制御

一般に、マルチプロセッサシステムのキャッシュメモリにおいては、他のプロセッサにより書き換えられたメインメモリのデータをキャッシュメモリ内に持つことにより、プロセッサが誤った処理を実行しないように、キャッシュメモリとメインメモリとの一致制御を行うことが不可欠である[2]。

外部(内蔵)キャッシュメモリ内のデータが、他のMPUにより書き換えられたか否かの判定を行うためには、外部キャッシュメモリ(MPU)に、他のMPUが書き変えたメインメモリのアドレスを入力する必要がある。

外部キャッシュメモリおよびMPUの内蔵キャッシュメモリとメインメモリとの一致制御を行うために、外部キャッシュメモリおよびプロセッサにシステムバス上のライトアドレスを入力する方法として以下の2つがある。

(a)チップバスを介してライトアドレスを入力する。

(b)専用バスを介してライトアドレスを入力する。

外部キャッシュメモリおよびMPUへライトアドレスを入力する方式の組合せを表1に示す。

表1. ライトアドレスの入力方式

入力方法		マイクロプロセッサ	
		チップバス	専用バス
外部キャッシュメモリ	チップバス	○ 方式I	×
	専用バス	○ 方式II	○ 方式III

MPUには専用バス、外部キャッシュメモリにはチップバスを介してライトアドレスを入力する方式は、ライトアドレスがチップバスを介してMPUへ入力可能なので、方式Iに含まれる。ライトアドレスの入力方式を図2に示す。

本稿では、方式IIの実現手段として、以下の方法を提案する。内蔵キャッシュメモリに格納されているデータのアドレスをモニタする機能を外部キャッシュメモリに付加する。外部キャッシュメモリは、専用バスから入力されたシステムバス上のライトアドレスのデータが内蔵キャッシュメモリ内に存在した時、チップバスを介してMPUにライトアドレスを入力する。これにより、方式IIにおいて、チップバスを介して入力するライトアドレスを削減することが可能となる。以下では、シミュレーションにより、各方式の性能比較を行う。

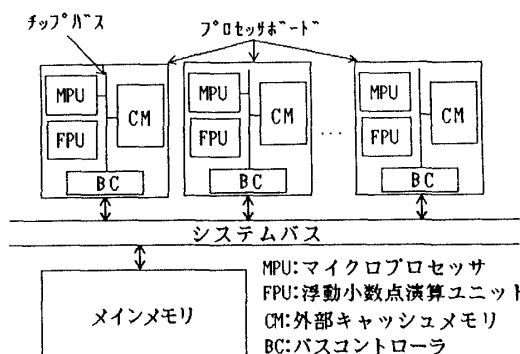


図1. 密結合マルチマイクロプロセッサシステム

A Study on Cache Coherency Control in the Tightly Coupled Multiprocessor System.

Tsunemichi SHIOZAWA

NTT Communications and Information Processing Laboratories

4. シミュレーションモデル

前節で述べた方式Ⅰ、Ⅱ、Ⅲについて、以下のモデルを用いてシミュレーションを行った。

- (1)MPUは全て同一性能で独立に動作する。
- (2)MPUはメモリからのリードアクセス待ちの間、内部処理を行わず、新たに他のメモリアccessを発生しない。
- (3)MPUおよび外部キャッシュメモリへのライトアドレスの入力と内部処理は独立に動作する。
- (4)MPUの内部処理実行時間は指数分布。
- (5)チップバス、システムバスおよびメインメモリへの要求はFIFO順に処理される。

MPUで実行される処理の動作特性(シングルプロセッサ時)を表2に示す。

表2. マイクロプロセッサの動作特性

項目	内蔵キャッシュ有り	内蔵キャッシュ無し
内部処理/命令	1.0	
命令処理/命令	1.7	2.0
チップバス使用/命令	0.9	1.1
システムバス使用/命令	0.4	
チップバス権移行/回	0.3	
読みだし回数/命令	1.0	3.0
書き込み回数/命令		

また、他のMPUにより書き換えられたデータが、内蔵キャッシュメモリ内に存在する確率は0.1とした。

5. シミュレーション結果

方式Ⅰ、Ⅱ、Ⅲおよび内蔵キャッシュメモリを使用しない場合

について、プロセッサ台数を変化させた時の相対性能を図3に、チップバスおよびシステムバスの使用率を図4、5に示す。

- (1)一般に、内蔵キャッシュメモリ内に他のMPUにより書き換えられたデータが存在することは少ないので、方式Ⅱと方式Ⅲとの性能の差は小さい。
- (2)方式Ⅱは、専用バスによりチップバスのトラフィックを削減することで、方式Ⅰと比べ、1.1(内蔵キャッシュメモリ有り)~1.4(内蔵キャッシュメモリ無し)倍の性能となる。

6. おわりに

以上、密結合マルチマイクロプロセッサシステムにおいて、キャッシュメモリとメインメモリとのデータの一致制御を行う方式について提案し、シミュレーションによる性能評価を行った。本稿で提案した方式は、チップバスにおける、MPUからのメモリアccessと他MPUからのライトアドレスとの競合を削減するのに有効である。

今後の課題としては、外部キャッシュメモリによる内蔵キャッシュメモリのモニタ方法、およびMPU、キャッシュメモリ、バス、メモリ性能を考慮したマルチマイクロプロセッサシステムの最適構成法等の検討を行う。

参考文献

- [1]Smith, A., J. "Cache Memories", ACM Comput. Surveys, Vol. 14, Sept. (1982).
- [2]Frank, S. J. "Tightly Coupled Multiprocessor System Speeds Memory-access Times", Electronics, Jan. 12 (1984).

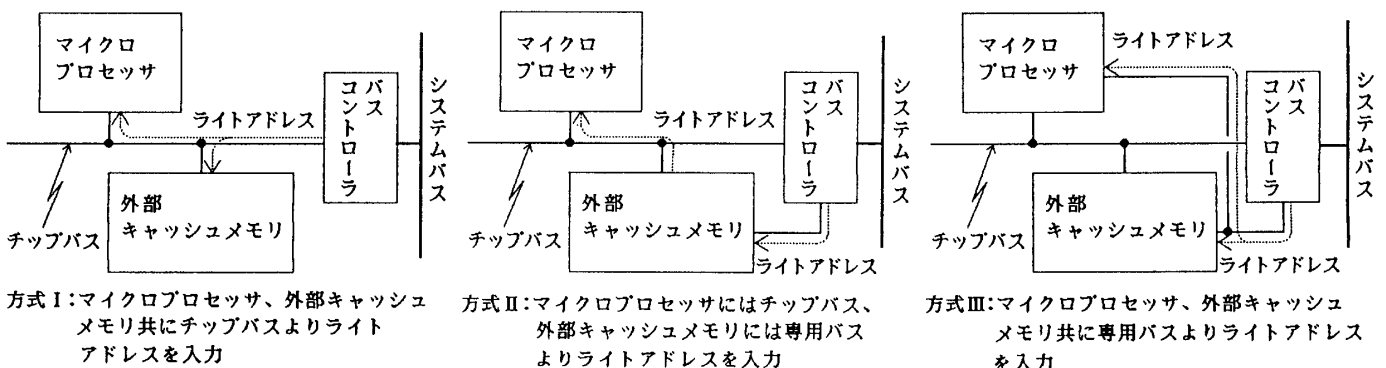


図2. ライトアドレス入力方式

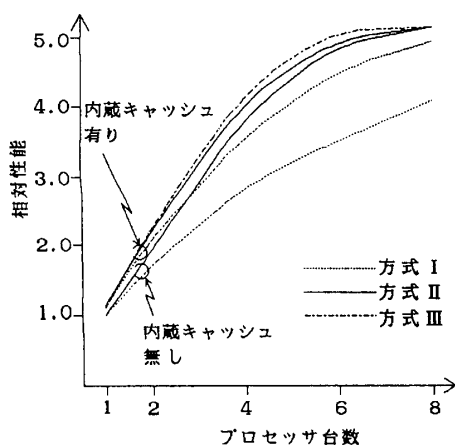


図3. 各方式による性能比較

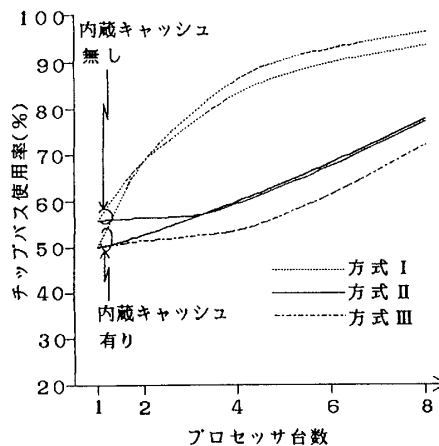


図4. 各方式によるチップバス使用率の比較

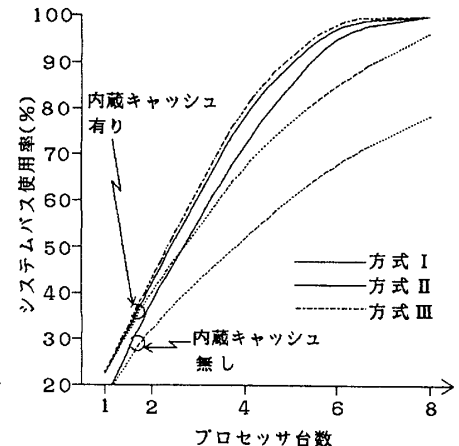


図5. 各方式によるシステムバス使用率の比較