

PIE64上でのFLENG実行方式

5N-6

島田健太郎, 小池汎平, 清水剛, 田中英彦
(東京大学 工学部)

1. はじめに

我々は、並列推論マシンPIE64[1]の設計を行っている。PIE64では三種のゲートアレイを開発して使用する。また基本言語として、並列論理型言語FLENG[2]を用いる。本論文では、このFLENGの処理系の機構について述べ、その並列マシンでの実装に関する問題を論じ、PIE64での実現の可能性を明らかにする。更にゲートアレイの一つであるFLENG処理用の専用機能を提供するUNIRED(UNify-REDuser)について、その機能を示す。

2. FLENG実行モデル

PIE64でのFLENGの実行はリテラル単位のゴール書換えモデルによる。FLENGではゴールリ

テラルの独立性が特に高いことを利用し、各ゴールを並列に独立に書換えていく。実行の様子を図1に示す。

3. 並列処理の方式

PIE64では、2種のネットワークで結合された64台のIU(Inference Unit)が並列に動作して処理を行う(図2)。

(1) 単一化の並列実行

ゴールと定義節頭部との単一化は、基本的にそれぞれのIUが各ゴールについて並列に行う。ゴールの分配及びリモートデータのアクセスは、図2のネットワークを通じて行われる。

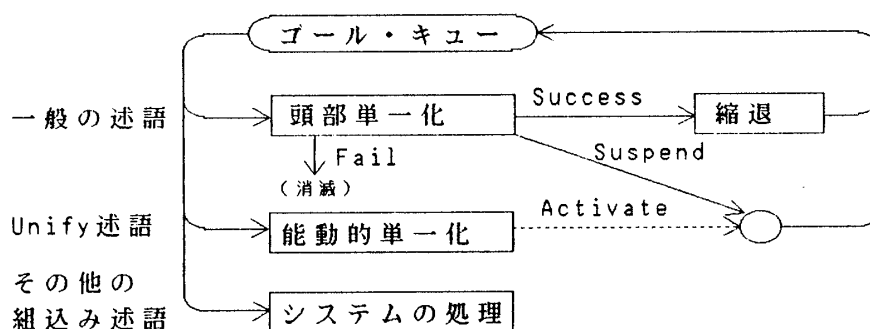


図1 FLENG実行モデル

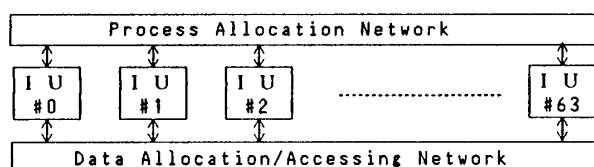


図2 PIE64のマシン・モデル

unify述語による能動的単一化も、これを割り当てられたIUが並列に実行する。一方が未束縛変数であった時、その具体化では変数にロックを掛けて無矛盾性を維持する。また双方とも未束縛変数であった時には、並列実行時にはそのままでは図3のような変数参照のループ構造が生成されてしまう可能性がある。しかし、これを避けるために両方の変数とも

FLENG execution mechanism of PIE64

Kentaro SHIMADA, Hanpei KOIKE, Takeshi SHIMIZU, Hidehiko TANAKA
University of Tokyo

ロックを掛けてしまうと、デッド・ロックの危険性を招く。そこで一方の変数にのみロックを掛け、その束縛には変数の‘IU内アドレス’等による方向性を設けてループ構造を回避する。

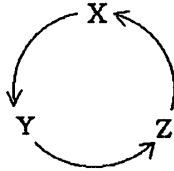


図3 変数参照のループ構造

(2) サスペンド

定義節頭部との単一化では、ゴール側の未束縛変数の値が必要になると、他のゴールの実行で値が定まるのを待ってサスペンドする（ストリームAND並列処理）。このサスペンドの登録は、そのゴール側変数から参照される専用の構造体(Suspension Record)によって行う。このSuspension Recordにはサスペンドした定義節の位置、変数に要求されている値などの付加情報をつけて、単一化の再開（アクティベート）を効率化する。また未束縛変数どうしの能動的単一化では、二つの変数のSuspension Recordのマージを行う。

(3) アクティベート

未束縛であった変数に値が束縛されると、その変数でサスペンドしていたゴールはすべてアクティベートされて処理が再開される。このとき自IU内のゴールはそのまま処理されるが、他のIUにあるゴールに対してはそのIUにネットワークを介してアクティベートコマンドを送出する。

以上のような機能はUNIREDの基本処理機能として用意される。UNIREDは各IUに於て別のゲートアレイであるNIP(Network Interface Processor)と協調動作して、これらの機能を果たす。

4. 実装上の課題

(1) マルチ・コンテキスト処理[3]

UNIREDは高速化のため、内部は多数段のパイプラインで構成される。しかし図2のようなマシンでは一般にリモートデータのアクセ

スはパイプラインサイクルに比べて大きな時間がかかるなど、そのままではパイプラインに空白が生じる場合がある。そこでそのような場合には、処理を別のコンテキスト（ゴールと定義節のペア）に切り替えてパイプラインの効果を維持する。UNIREDはこのようなマルチ・コンテキスト処理を実現するため、セルレベルのインターリーブを行う機能を有する。

(2) ガベージ・コレクション

FLENGのような論理型言語の並列実行では、一般に使用済みデータのメモリ領域の解放の順序を決定できない。従ってスタック型のメモリアロケーションは使用できないので、ヒープとして利用し、ガベージ・コレクションを行う必要がある。この処理は実用的なマシンとする上では特に効率的にサポートする必要がある。そこでUNIREDには、分散一括型ガベージ・コレクションのための同期、マーキング、スライディング・コンパクションを行う機能を入れる予定である。

5. おわりに

並列論理型言語FLENGの処理系の機構を論じPIE64への実装上の問題を検討した。また三種のゲートアレイの内UNIREDについて、その機能を示した。現在、UNIREDの具体的な設計を進めている。年内に設計を終える予定である。

<参考文献>

- [1] Koike, Takahashi, Yamauchi, Tanaka: "The High Performance Interconnection Network of Parallel Inference Machine PIE64" コンピュータアーキテクチャシンポジウム, 情報処理学会, May, 1988.
- [2] Nilsson, M. and Tanaka, H.: "FLENG Prolog - The language which turns Supercomputers into Prolog Machines" Proc. Japanese Logic Prog. Conf. '86. ICOT, June, 1986.
- [3] 小池, 島田, 朝海, 田中: "高並列推論エンジン実験環境PIEEE上へのFLENGの実装" 第36回情報処理学会全国大会 1D-7. March, 1988