

2N-5

ORION アーキテクチャの概要

阿部 雅彦 来住 晶介 三井 正樹 瀬賀 明雄

(沖電気工業(株) コンピュータシステム開発本部)

1. はじめに

近年、RISCアーキテクチャをとる計算機が発表されている。これらの計算機では、実行速度の向上、開発期間の短縮等の効果が強調されている。

今回我々は、ORIONと呼ぶRISC指向アーキテクチャをとる32ビット計算機を設計し、試作を行った。本論文では、試作機アーキテクチャを説明する。

2. 基本アーキテクチャ

2.1 命令セット

試作機の基本命令は約75種で、以下に挙げる特徴をもつ。

- ・命令長は32ビット単一語長
- ・演算命令は1サイクルで実行
- ・メモリ参照命令はロード/ストアのみ
- ・レジスタ演算は3オペランド指定
- ・絶対分岐で 2^{30} (ワードアドレス)指定可

2.2 レジスタ

大きく分けて3種のレジスタを持つ。

- ・汎用レジスタ
32ビット長のレジスタを32本持つ。ただし、一部のレジスタはスタックポインタ等の用途に使用される。
- ・特権レジスタ
特権モードでのみアクセス可能なレジスタ群である。割り込み/例外のマスク、ページテーブルのベースの指定等、ハードウェアの動作を制御するために使用する。汎用レジスタとの間の転送命令によってアクセスする。

・コプロセッサレジスタ

コプロセッサ内に存在するレジスタである。汎用レジスタとの間の転送命令によりアクセスする。

2.3 アドレス空間

次の3種のアドレス空間が存在する。

- ・論理アドレス空間
 2^{32} バイトの大きさを持つ。この空間は256MB単位に分割され、各分割単位をリージョンと呼ぶ。
- ・仮想アドレス空間
 2^{48} バイトの大きさを持つ空間で、システムに唯一の空間である。仮想アドレス空間は、256MB単位のリージョンに分割され、さらに4KB単位のページに分割される。
- ・実アドレス空間
 2^{32} バイトの大きさを持つ空間である。実際にメモリアクセスを行う際のアドレスを与える。

これら3つの空間の間でのアドレス変換は、図1のように行う。

論理アドレスから仮想アドレスへの変換は、16本のリージョンレジスタを用いてリージョン単位で行う。仮想アドレスから実アドレスへの変換は、ソフトウェアによって作られるページテーブルを基にページ単位で行う。

2.4 キャッシュ制御方式

高速処理実現のために以下に示すキャッシュ制御方式を採用した。

- ・命令キャッシュ/データキャッシュの分離
- ・ページ毎にCacheable/Non Cacheableの指定およびCopy Back/Write Through指定可
- ・2-Way Set Associative Cache
- ・論理アドレスによるCache Bankの選択指定可

2.5 仕様諸元

本アーキテクチャの仕様をまとめ表1に示す。

表1 仕様諸元

基本思想	RISC指向
基本処理単位	32ビット
命令数	75
命令長	32ビット単一語長
命令形式	8種
アドレッシングモード	5種
メモリ参照	ロード/ストアのみ
汎用レジスタ	32ビット32本
その他のレジスタ	PC、PS、特権レジスタ、ファームウェアレジスタ、他
アクセスモード	7レベル
浮動小数点データ	IE ³ 754準拠
コプロセッサ	4種
アドレス空間	256TB/システム 4GB/プロセス
アクセス保護	ページ単位にアクセスレベル設定(R/W/E)

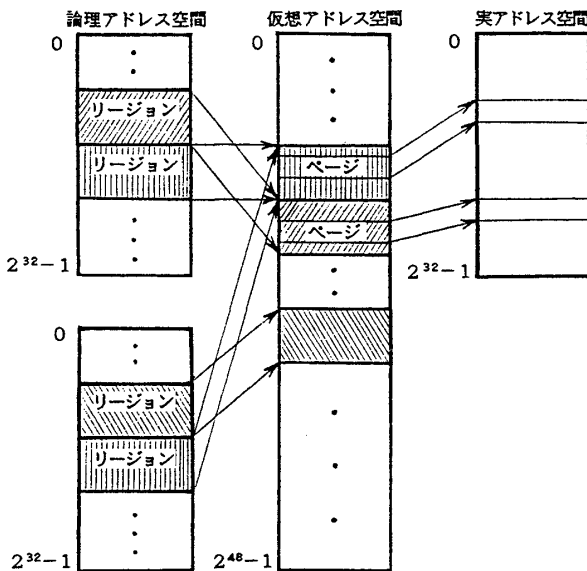


図1 アドレス変換

ORION Architecture
Masahiko ABE, Masasuke KISHI, Masaki MITSUI, Akio SEGA
OKI Electric Industry Co., Ltd.

3. システムアーキテクチャ

3.1 構成

システムは、図2に示すように複数のプロセッサモジュール(PM)と共有メモリモジュール(MM)をシステムバス(K-BUSと呼ぶ)で結合した、密結合マルチプロセッサシステムである。全てのPMはホモジニアスであり、特別なマスターは存在しない。
I/Oコントローラ(IOC)は、K-BUSとは独立のI/Oバス(J-BUSと呼ぶ)に接続する。これらのIOCの制御はI/Oバスに接続されているPMのうちの一が行う。IOCの下には、ターミナル、ディスク等種々のデバイスが接続される。

3.2 ローカルメモリとメインメモリ

各プロセッサモジュールでの固有の処理を高速化するために各プロセッサ毎にローカルメモリが用意されている。ローカルメモリは実アドレス空間のうち、0~7fffffffに割り付けられ、共有メモリは80000000~fffffffに割り付けられる。PMは、共有メモリ、ローカルメモリそれぞれに対して、独立にページングを行うため2つのページテーブルを持っている。このように、ローカル空間はPM毎に独立しており、この空間内で動作する限り、各PMは互いに干渉することなく並列に動作する。

3.3 プロセッサ間通信

プロセッサ間での通信の機構としては、以下の機構を有する。

- ・PM間での1対1のメッセージ付割り込み機構
- ・全PMに対して同時に割り込みをかけるブロードキャスト機能
- ・PM間でのDMA転送の機能

3.4 その他の機構

マルチプロセッサにおける耐故障性を高めるために各PMでのCPUの2重化によるプロセッサ障害検出機能と、複数PMによるI/Oバスの排他的な共有機構を有している。また、PMに障害が発生した場合に障害PMを切り離す機構を有する。

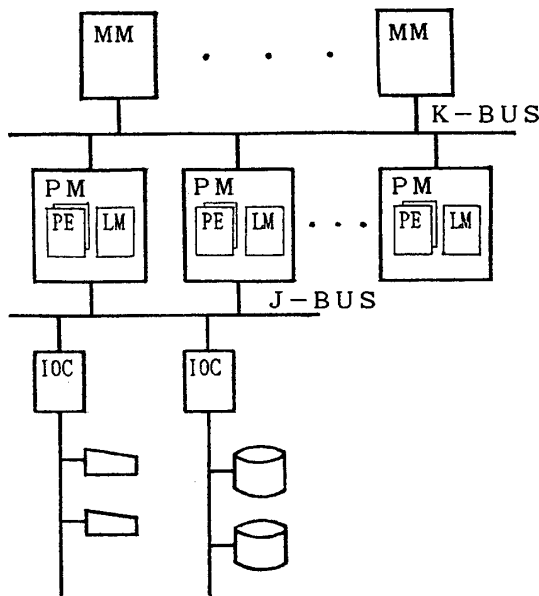


図2 システム構成

4. 考察

ハードウェアの複雑化と性能向上のトレードオフを考慮してアーキテクチャの設計を行った。本アーキテクチャをRISC指向と呼ぶのは、性能の向上が十分に望めるならば、ハードウェアの複雑化を認めるためである。

以下に、アーキテクチャ上の特徴についていくつか述べる。

◇遅延分岐を行わない

RISCプロセッサでは遅延分岐を採用することが多いが、本CPUでは採用しなかった。これは、CPUに分岐先プリフェッチの機能を持たせたためである。

分岐先命令のプリフェッチを行った場合、遅延分岐を採用しても、ハードウェアの複雑化に比較して効果は小さいと判断した。

◇分岐予測ビットの採用

条件分岐命令に対して分岐予測ビットを埋め込んでいる。これは、その分岐命令が分岐する可能性が高いか、分岐しない可能性が高いかを示すもので、分岐先命令のフェッチを早期に起動することを目的としている。この機構はループなどのように、分岐しやすさが静的に予測可能な場合に有効に働き、性能向上を実現している。

◇3オペランド形式

レジスタ演算命令については、3オペランド形式を採用した。これは演算のソースとデスティネーションを独立に指定できるようにしたものである。この結果演算に先立ってレジスタ間転送をするようなオーバーヘッドを減らし、レジスタを無駄なく利用できるようになった。

◇高級言語をサポートする演算ルーチンを用意

高級言語においては、ストリング処理や10進演算などがしばしば使われる。これらを効率よく実行することは重要だが、命令レベルでサポートすることはRISCの思想には合わない。そこで我々は、ストリング処理や10進演算などは、呼び出しにオーバーヘッドがかからないように特別に作成したサブルーチンとして実現することとした。

◇コプロセッサ

浮動小数点演算等の高度で特別な機能はコプロセッサで実現することとした。本アーキテクチャではCPUとコプロセッサが並列に動作し、かつコプロセッサからの例外通知が適切な時点で行われるようにプロトコルを設定した。またコプロセッサアクセスによってエミュレーションルーチンが起動できるような機構を設けることにより、コプロセッサがない場合にも同一の処理が行えるようにした。

5. おわりに

ORIONアーキテクチャに基づいた試作機は動作検証が終了し、現在はUNIX相当のOSの開発段階にある。このOSにはマルチプロセッサをサポートするための種々の機構を組み込んでいる。

今後はOS、コンパイラ等も含めて試作機の評価を行い、また他のマシンの動向などを踏まえて、高速性と、耐故障性に優れたシステムを開発していく予定である。

参考文献

[1] 阿部 富沢 来住 三井: RISCプロセッサの性能評価、情報処理学会 第36回全国大会 5C-5
[2] J. A. DeRosa and H. M. Levy: An Evaluation of Branch Architectures, IEEE Proc. 14th Annual Symposium on Computer Architecture, June 1987, pp10-16