

4R-8

大規模マスタスライス用配置手法

小林俊一 児島征也 関光穂
 ㈱日立製作所 日立研究所

田久保宗廣
 日立エンジニアリング㈱

1. はじめに

LSIの高集積化、高機能化に伴い、ゲートアレイで実現できる回路規模は、増加の一途を辿っており実装設計をサポートする自動レイアウト・システムは、ますます複雑なものとなっている。自動配置プログラムにおいても、大規模回路を対象とした場合は、セルを処理の基本単位にした構成では、計算機の主記憶容量不足、計算時間の増大と言う問題が挙げられる。

本報告では、セルの上位概念であるモジュール、チップの簡略表現である理想基板と言う概念を導入し、大規模な配置問題を一度小規模な配置問題に置き換えて、大規模な配置問題を効率良く解く自動配置プログラムの処理概要及びアルゴリズムについて述べる。

2. 大規模化に対する考え方

ゲートアレイでは、配線容量が予め決まっているために自動配置プログラムは、配線の集中が起こらないようにセルの割り付け位置を決定することが課題となる。一般に配置結果の良否は、初期解に依存することが知られている。大規模を対象とする場合は、計算時間の増大と言う観点から初期解を求める初期配置処理は、自動配置プログラムの性能を左右する重要な要素である。

本プログラムでは、大規模化に対処するため初期配置処理に配置制約条件を2次元情報として取り込み高品質な初期解を得られるようにした。

3. レイアウト・モデル

本プログラムが対象とするレイアウト・モデルには、チップ・モデルとセル・モデルの2種類がある。チップ・モデルを図1に示す。チップの周囲には、I/Oセルが配置されている。チップ内部は、ゲート列が規則正しく並べられている。チップの中央には、電源補強線がメタル2層で設けられているために、ゲート列と交差する斜線部分は、セルの配置禁止領域となる。ゲート列間は、配線チャンネルとして自動配線で使用される。セル・モデルを図2に示す。セル・モデルは、縦幅は、固定(ゲート列と同じ)で横幅は、可変である。端子位置は、上下の辺上に有り等電位端子を持っている。

4. 処理概要

本プログラムの構成を図3に示す。初期配置処理は、セルからモジュールを作成する論理分割、理想基板を用いモジュール間の相対位置を決定するモジュール層

配置、モジュールの相対位置を基準にチップにセルを展開するセル層配置の3段階より構成される。配置改善処理は、総配線長の改善を目的とした2次元配置改善、配線混雑度の緩和を目的とした1次元配置改善より構成される。

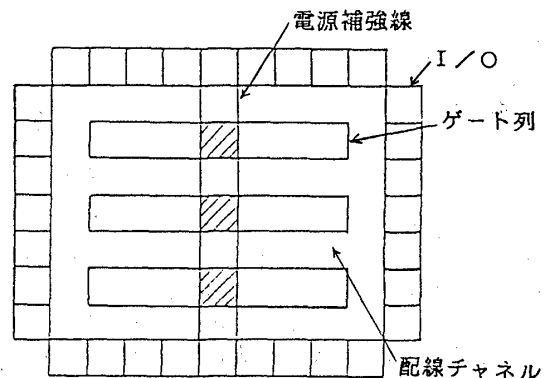


図1 チップ・モデル

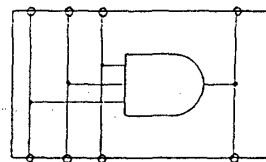


図2 セル・モデル

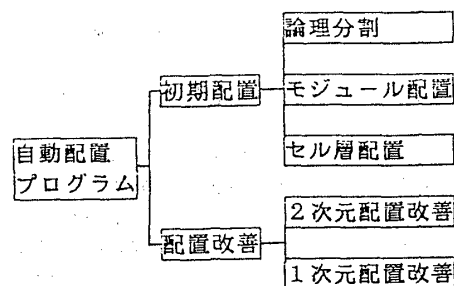


図3 自動配置プログラム構成

5. 初期配置アルゴリズム

初期配置アルゴリズムを説明する前に今回新たに導入した理想基板とモジュールについて説明する。

(1) 理想基板の定義

理想基板とチップの対応関係を図4に示す。理想基板は、 $M \times N$ の格子状で構成され格子に囲まれた部分をスロットと呼ぶ。各スロットは、大きさが等しくゲート列と1:nの関係を持ち、スロット領域は重複することはない。理想基板は、スロットとゲート列との対応関係に基づいてチップ上の配置制約条件をスロットに反映させる。反映させる配置制約条件は、I/Oセル情報、配置禁止情報の2種類がある。

(2) モジュールの定義

モジュールの概要を図5に示す。モジュールは、数十個のセルから構成され、大きさは持つが、形状は不定であり、モジュール内のセル間を接続するセル信号と、モジュール間を接続するモジュール信号を持つ。

5.1 論理分割

論理分割では、配置制約条件(I/Oセル、配置禁止領域等)を考慮せずに論理接続関係をもとに個々のモジュールを作成する。モジュールの作成方法は、論理結合度を評価し2つのセルの合併操作を繰り返すクラスタリング手法を用いている。論理結合度は、Schuler-Ulrichが提案した論理結合度評価式(図6)を用いた。この式は、信号端子レベルまでの包含関係が評価できるため、作成されるクラスタは、結線密度の高いセルの集合体となる。

5.2 モジュール層配置

モジュール層配置では、論理分割で作成したモジュールと理想基板を用いて次に示すような仮定を設けて配置問題に定式化し、モジュール間の相対位置を決定する。

- (1) 各モジュールは、同一サイズである。
- (2) モジュールの端子位置は、モジュールの中央にある。
- (3) 1スロットには、1モジュールが配置される。

モジュール層配置は、初期配置と配置改善とから構成されている。モジュール間の評価には、モジュール信号を用いる。初期配置は、配置済モジュールに着目した組立配置を採用し理想基板の周囲から配置する。配置改善は、最小カット法を用いている。カットラインの発生手順は、ゲートアレイの構造を考慮し横方向配線数が最小となるように縦ラインを中心に発生させている。

5.3 セル層配置

モジュールの選択は、理想基板の左端に配置されたモジュールから順に選びゲート列の左端からモジュール内のセルをゲート列上に展開する。展開するゲート段は、理想基板とチップとの対応関係で決定される。セルの展開順は、モジュール内の配線順が最小となる一次元配列をもとめ、その順位を展開順とする。

6. 結果

本プログラムを約7000ゲートのゲートアレイに適用した結果、計算時間は約30分(M280H)であった。

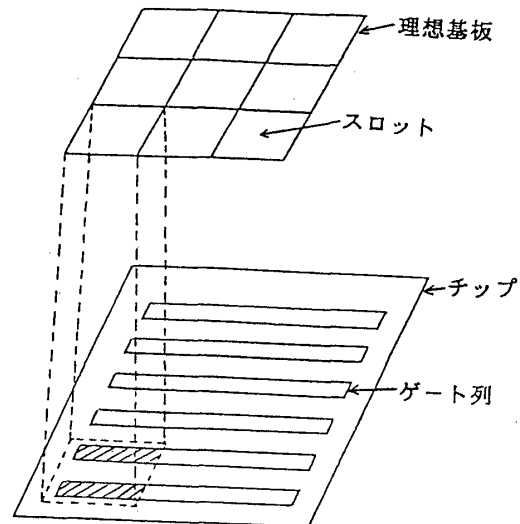


図4 理想基板とチップの対応

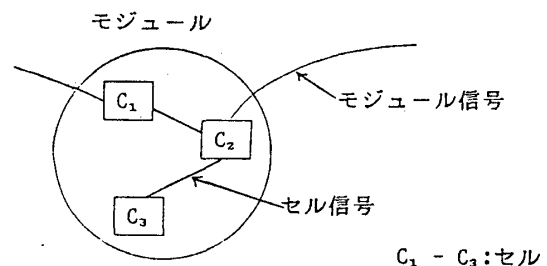


図5. モジュールの概要

$$CV_{ij} = f(S_i) \frac{C_{ij}}{T_i - C_{ij}} + f(S_j) \frac{C_{ij}}{T_j - C_{ij}}$$

$$C_{ij} = \sum \frac{i \cup j \text{ に接続する } n \text{ の端子数}}{n \text{ の全端子数}} \\ n \in \{i, j \text{ の共通ネット}\}$$

$$f(x) = x^\alpha$$

S_k : クラスタkの大きさ

T_k : クラスタkの全端子数

α : パラメータ

図6 論理結合度評価式

参考文献

- [1] D.M.Schuler et al., Proc. DAWS, 1972, PP50-56
- [2] 三浦他 昭和57年信学総全大、347(57.3)