

4B-12

テスト生成専用マシン：PARAM

大森健児

法政大学工学部

1. はじめに

VLSI技術の進歩は著しく、集積度は、年々増加している。これにともなって、開発にともなう計算機の使用時間は飛躍的に増加し、深刻な問題となっている。CAD処理の多くは、ゲート数の2乗から3乗に比例する処理時間を必要とするため、少しのゲート数の増加でも、膨大な計算機時間の増加となる。このため、論理シミュレーション、ルーティング等並列性に富んだ分野を対象に、専用マシンがいくつか出現し、その中のいくつかは実際の現場に於て威力を発揮している。しかし、並列性が陽に現れていない分野においては、専用マシンの開発は進んでいない。本論分では、故障検査系列生成のための並列ハードウェアアルゴリズムとその専用マシンについて述べる。

2. AND並列とOR並列

故障検査系列生成とは、組合せ論理回路に於て、ある箇所、縮退故障が発生したと仮定したとき、その故障の影響を出力端子に伝播されるような、入力端子での入力信号を選ぶことである。この問題に対して、Dアルゴリズム、PODEMアルゴリズム、FANアルゴリズム等が開発され、実用に供している。本論文の並列ハードウェアアルゴリズムは、PODEMアルゴリズムを並列化したものである。PODEMアルゴリズムは、およそ次のような働きによって、故障検査系列を生成する。まず、故障箇所へ接続された後段のゲートに対して、故障を伝播させることを考える。通常は、この様なゲートは複数存在するので、その中の一つを適当に選ぶ。そして、このゲートに対して故障を伝播させるような入力信号があるかを調べる。もしあれば、このゲートの後段ゲートの一つに対して、更に、故障を伝播させることを試みる。これは同様の処理により行われる。もし、この処理を続けた結果、出力端子に到達したならば、このときまでに定まった入力端子での値が求めるものである。しかし、故障を伝播させるような入力信号が存在しないときは、他の後段のゲートを選んで同様なことを行う。もし全ての後段のゲートについて失敗したときは、バックトラックを行い、その前段のゲートに戻って、他の選択をするということを行う。この様な動きをするPODEMアルゴリズムから、OR並列とAND並列と呼ばれる並列性を引き出すことが出来る。例えば、故障を後段のゲートに伝播させるためには、複数のゲートの中の少なくとも1つで成功すればよいので、これはOR並列として扱える。

またあるゲートに故障を伝播させ、ある入力信号を仮定したとき、それに関わりのあるゲートの全てにおいては、論理的に正当であることを検証しなくてはならないのでこれはAND並列として引き出せる。

OR並列は計算機アーキテクチャ上は、プロセスをフォークすることで実現出来るので、マルチプロセッサ構成のシステムでは、ソフトウェアの作成だけが問題になる。

AND並列は、これに対して、ゲートの論理検証という小さな処理単位に対して並列性が実現でき、高速化を狙えるが、バックトラック処理、同期処理などいくつかの計算機アーキテクチャ上の問題が存在する。

以下ではAND並列を生かしたハードウェアアルゴリズムと、それを實現した専用マシンについて説明する。

3. 並列アルゴリズム

イ) ランクオーダ

全てのゲートに対して、信号の伝播順序に従ってランクオーダが付けられる。処理は、ランクオーダに従って進められるが、同一のランクオーダのゲートに付いては、同時処理を行う。

ロ) 深度

並列処理アルゴリズムでは、OR木に沿って分岐しながら処理を行うが、値あるいはマークが決まったとき、そのときの深さを示す深度を一緒につける。

ハ) ゲート含意操作

ゲート含意操作は、入力ピンあるいは出力ピンに対して、新たに値が決まったとき、その値が妥当であるか、また、これによって、新たに値の決まる入力ピンあるいは出力ピンがあるかを求める。もし、その様なものが存在したときは、そのピンに値を設定するとともに、そのピンに接続された信号線に対して、信号線含意操作を要求する。なお、値が妥当でなかったときは、バックトラックを起こす。ゲート含意操作は、含意要求マークのついたゲートに対してのみ、選択的に行われる。

ニ) 信号線含意操作

信号線含意操作は、信号線のあるピンで値が決まったとき、この信号線の他のピンに対してこの値を設定するものである。なお、並列処理のため、同一信号線上の2つ以上のピンに対して同時に値が決まるときがあるが、この場合、一致しているときは正当であるが、そうでないときは不当であるのでバックトラックを起こす。

A PARALLEL MACHINE FOR TEST PATTERN GENERATION

KENJI OHMORI

HOUSEI UNIVERSITY

ホ) 後方操作

後方操作は、あるゲートに於て出力ピンの値は定まってしまったが、その値を保証する値が入力ピンに与えられていないとき、その値を定めうる入力端子を求めるために行う処理である。これは、ゲート合意操作とは反対の方向にランクオーダを進めることによって、並列に処理される。なお、この様なゲートには、正当化要求マークが付いている。

ハ) Dフロンティアの選択

合意要求マーク、正当化要求マークの付いているゲートが存在しなくなったとき、故障の影響を後段のゲートに進める処理である。このとき、選ばれたゲートには、合意操作要求マークが付き、ゲート合意操作のきっかけを作る。なお、このとき深度を1つ上げる。Dフロンティアを選択できないときは、バックトラック処理に移る。

ト) バックトラック処理

現在の深度で定まった値を全て無効にし、新しい選択肢をとる。それも不可能なときは、深度を1つ戻し、1つ上位での選択肢の1つを取る。それでも不可能なときは、更に上位へと進む

4. アーキテクチャ

並列アルゴリズムにもとずいた故障検査生成の専用マシンPARAMは、511台のプロセッサモジュールと1台のメインコントローラで構成される。プロセッサモジュールはテストパターン生成の処理を行うもので、また、メインコントローラは、テストパターン生成の全体制御を行うためのものである。

イ) プロセッサモジュール

プロセッサモジュールは、コントロールパート、テーブルパート、デコーダパートの3つの部分からなっている。コントロールパートは合意操作、後方操作、バックトラック処理などのテストパターン生成のための並列アルゴリズムを処理する部分である。

テーブルパートはテストパターン生成に必要な各種のデ

ータを記憶するためのものである。テストパターン生成の対象となっている回路は、前処理の段階で、各プロセッサモジュールに割り当てるために分割される。従って、テーブルパートには、このプロセッサモジュールに割り当てられたゲートについての情報が書き込まれる。テーブルパートは、入力ピンテーブル、出力ピンテーブル、接続テーブル、マークテーブルから成り立つ。入力ピンテーブルには、各ゲートの入力ピンの値が、出力ピンテーブルには各ゲートの出力ピンの値が記憶される。また、接続テーブルでは、各ゲートの入力ピンに対してはそれに信号を与えるゲートの出力ピンがどこにあるかを、また、各ゲートの出力ピンに対してはそれにつながっているゲートの入力ピンがどこにあるかを示す。

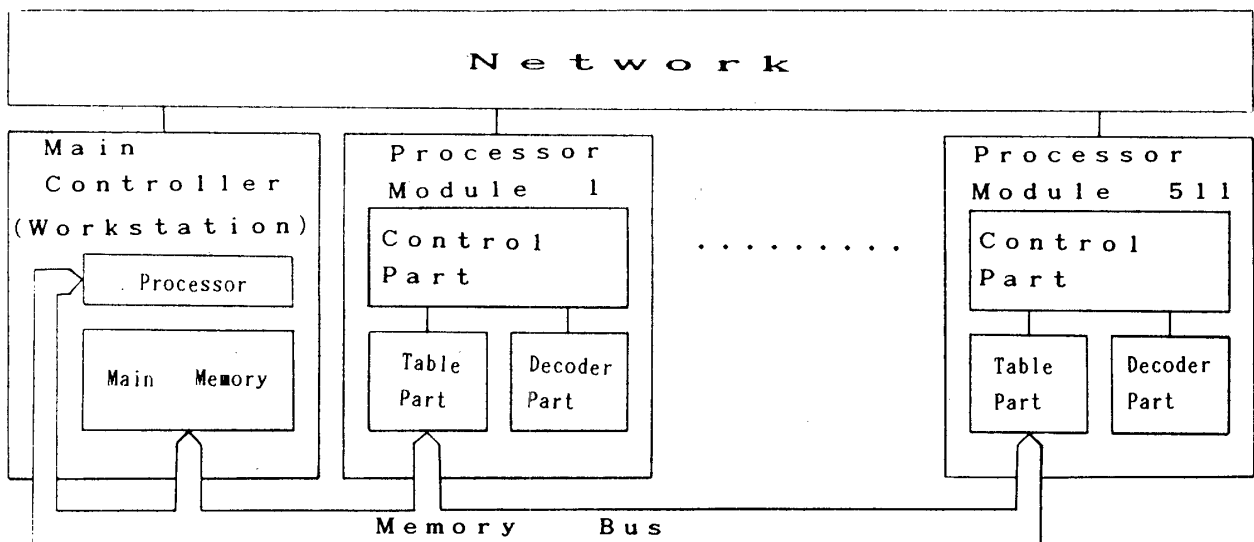
デコーダパートは、ゲート合意操作を行う部分である。デコーダパートは、メモリデコーダで実現されていて、ゲートの種類と入出力ピンの値とを与えると、これによって決まるピンの値が出力されるような仕組みとなっている。

ロ) メインコントローラ

メインコントローラは、各種処理のきっかけを作るための信号値の設定と各種操作の実行制御を主要な役割として、信号値の設定では、例えば目的とするゲートのピンに縮退故障を挿入するためのデータの設定や、Dドライブされるゲートへの信号値の設定や、正当化のための入力端子への信号値の設定などがある。また、Dドライブに成功しなかったゲートに対して、再度Dフロンティアとして選ばれることを避けるための操作もある。実行制御にはゲート合意操作や後方操作を順番に行わさせるための制御が含まれている。これらの制御はメインコントローラとプロセッサモジュールの間の通信によって行われる。

5. おわりに

実験システムとして、3台構成の専用マシンを作成中である。性能については、このシステムで評価を得たときに発表したい。なお、本研究の一部は、法政大学の特別研究助成金を得て行ったものである。



PARAMの構成図