4A-6

QTAT Timing Analysis for ECO with Random Walk

竹田　隆太郎　鈴木　五郎
北九州市立大学 情報メデイア工学科

1 はじめに

現在、VLIS の高速化 deep sub-micron 化により、post layout 時の timing error が多発し、従って Engineering Change Order(ECO)が頻繁に行われる。ECO とは timing error が発生した場合、回路の小規模な変更を意味する。例えば、gate drivability の変更、buffer の挿入、配置配線の変更などである[1]。変更を加えた回路と、変更を加えていない inter-connect を組み合わせて再度 timing 解析を行う。このような解析を頻繁に行うため、ECO による timing 解析の高速化が急務となっている。

我々は、Random Walk 法[2]を用いて、ECO による timing 解析の高速化、つまり QTAT 化を図る技術の開発を行う。本論文では、新たに開発した技術と、その評価結果について述べる。

2 Random Walk 法を用いた TR 解析

確率 game を行う Monte Carlo 法の一手法である Random Walk 法は、変更を加えていない inter-connect の解析の負担を軽減する事が可能となるが、本章では Random Walk を用いた Transient(TR)解析の基本について説明する。

Fig.1 に示した interconnect 等価回路に関して、KCL と差分近似を用いた node 方程式は式(1)及び式(2)となり、変形すると式(3)及び式(4)が得られる。

$$(G_1+G_2+\frac{C_2}{\Delta t})V_2^i = G_1E^1+G_2V_3^i+C_2\frac{V_2^{i-1}}{\Delta t} \quad (1)$$

$$(G_2+\frac{C_3}{\Delta t})V_3^i = G_2V_2^i+C_3\frac{V_3^{i-1}}{\Delta t} \quad (2)$$

$$V_2^i = P_1^2E^i+P_{2-1}^2V_2^{i-1}+P_{3-1}^3V_3^{i-1} \quad (3)$$

$$V_3^i = P_1^2E^i+P_{2-1}^2V_2^{i-1}+P_{3-1}^3V_3^{i-1} \quad (4)$$

よって

$$V_3^i = \frac{P_2^3P_1^2}{1-P_2^3P_3^2}E^i+\frac{P_2^3P_2^2}{1-P_2^3P_3^2}V_2^{i-1}+\frac{P_3^3}{1-P_2^3P_3^2}V_3^{i-1} \quad (5)$$

ここで

$$P_1^2=\frac{G_1}{G_1+G_2+\frac{C_2}{\Delta t}},\ P_3^2=\frac{G_2}{G_1+G_2+\frac{C_2}{\Delta t}},\ P_{2\text{-}1}^2=\frac{\frac{C_2}{\Delta t}}{G_1+G_2+\frac{C_2}{\Delta t}}$$

$$P_2^3=\frac{G_2}{G_2+G_3+\frac{C_3}{\Delta t}},\ P_3^3=\frac{\frac{C_3}{\Delta t}}{G_2+G_3+\frac{C_3}{\Delta t}}$$

また i は解析 step を表し、V_2^0 及び V_3^0 は各 capacitor の初期値を表す。P_n^m を node m から node n への遷移確率として、branch の属性とする Marcov Chain Fig.2 を考える。Random Walk を用いて node3 の電圧を計算するには、node3 において乱数を発生させ、枝の持つ遷移確率から遷移先 node を決定する。遷移先 node で再び乱数を発生させて同様の操作を行うが、遷移先 node が goal の場合は遷移を止め、node3 に戻り上記の操作つまり game を繰り返す。game 回数を k とすると、node3 における解析 step 1 の電圧は式(6)とする。

$$V_3^1=\frac{1}{k}\left\{N_1^2E^1+N_2^2V_2^0+N_3^3V_3^0\right\} \quad (6)$$

ここで N_n^m は node m から node n への遷移回数。n が無限回の場合、式(5)と式(6)が一致することが分っている[3]。解析 step 2 以降では Markov Chain 上の注目点を V_3^i i≧2 に移して操作を行う。

3 TR 解析の QTAT 化

Fig.2 の代わりに Fig.3 に示す縮約された Markov Chain を考える。解析 step i-1 で求めた電圧 V_2^{i-1} および V_3^{i-1} を goal 電圧として解析 step i での計算を行う。この時、各 node への遷移回数 N_n^m は解析 step1 で得られたものを再利用する。

$$V_3^i=\frac{1}{k}\left\{N_1^2E^i+N_2^2V_2^{i-1}+N_3^3V_3^{i-1}\right\} \quad (7)$$

(1) 解析対象となる Markov Chain size の小規模化
(2) 解析 step 1 での計算のみ Random Walk を行う

以上の理由から解析の QTAT 化を図る事ができる。

4 遅延解析 ECO への適応法

システム構成図を Fig.4 に示す。

(Step1) Interconnect net list file から goal となる node を認識する。
(Step2) 遷移回数/game 数 file 及び driver output wave file の情報より式(7)を用いて、該当解析 Step における電圧を計算し receiver input wave file に出力する。
(Step3) (Step1),(Step2)を解析 Step 数まで繰り返す。

5 提案手法の評価

Fig.5 に示す funout 4 の tree 回路を用いて、開発

QTAT Timing Analysis for ECO with Random Walk
Ryutaro Takeda Goro Suzuki
University of Kitakyushu

Copyright ©2013 Information Processing Society of Japan.
All Rights Reserved.

手法による ECO 時遅延解析の評価を行った。driver output wave 及び receiver input wave を Fig6 に示す。対 Spice® 誤差 は平均 1.2(%), 50%遅延時 1.6(%)であった。ECO として driver gate の drivability を変更した例を Fig7 に示す。対 Spice® 誤差は平均 1.2(%),50%遅延時 2(%)であった。

また、ECO として以下のような回路修正と timing 解析の繰り返しを想定した。timing error のため、回路修正と timing 解析を 10 回繰り返す。回路修正の内訳は、gate の drivability 変更 4 回、interconnect 修正 2 回、F/F 配置修正 3 回、buffer 挿入 1 回とした。開発手法および Spice®を用いた処理時間を Table.1 に示す。Spice®と比べて 1/12 に QTAT 化された。ここで、提案手法の評価では interconnect に関して縮約を行っている。縮約無しの Spice®と比べると 1/350 に QTAT 化された。

Table 1 Evaluation results

		iteration	Proposed (ms)	Spice w/ MOR (ms)	Spice w/o MOR (ms)
MOR		18	70.6	3.3	
Gate		101		813	24660
Inter connect	MC + RW @ step 1	18			
	Ana. step cal.	111			
	Receiver side inter.	11			

6 まとめ

Random Walk 法を用いて、ECO による timing 解析の QTAT 化を図る技術の開発を行った。Spice®との比較を行った結果、精度を含めて開発技術の有効性を確認した。

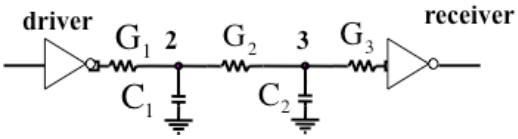

Fig.1 Interconnect circuit

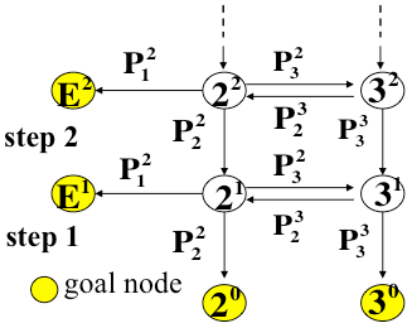

Fig.2 Markov Chain

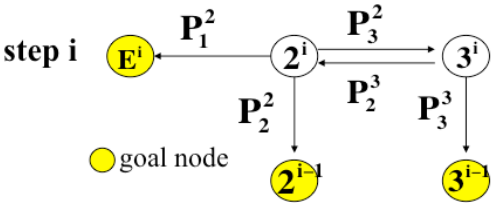

Fig.3 Reduced Markov Chain

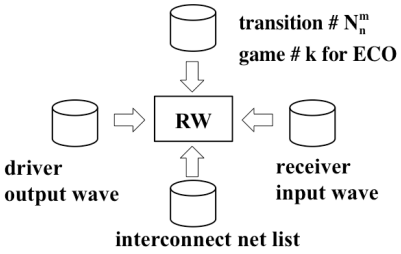

Fig.4 System configuration for ECO

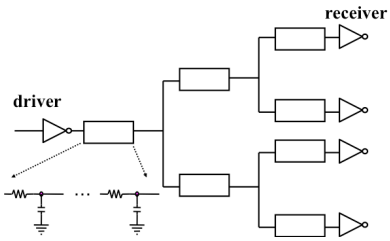

Fig.5 Evaluation circuit

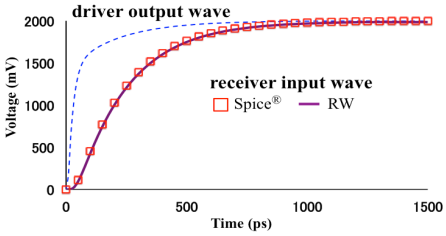

Fig.6 Pre-ECO receiver input wave

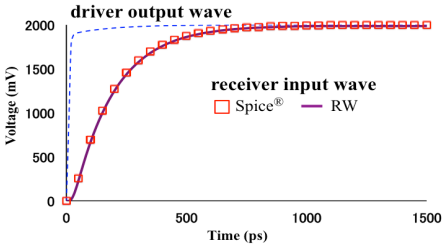

Fig.7 Post-ECO receiver input wave

[1] 鈴木五郎,"システム LSI 設計入門",コロナ社,2003.
[2] Qian, H., Nassif, S.R, and Sapatnekar, S.S. "Random Walks in a Supply Net work", Proc. ACM/IEEE 40th Design Automation Conference, Anaheim,USA,pp.93-98,2003.
[3] 三輪仁,鈴木五郎, "ランダムウォーク法を用いた過渡解析高速化に関する一提案",情報処理学会論文誌,Vol.52,No.10,pp2882-2891,2011.

Copyright ©2013 Information Processing Society of Japan.
All Rights Reserved.